

CENTRO UNIVERSITÁRIO FEI
NILTON GRAZIANO JUNIOR

NBTI EM TRANSISTORES SEM JUNÇÕES FABRICADOS NA TECNOLOGIA SOI

São Bernardo do Campo

2022

NILTON GRAZIANO JUNIOR

NBTI EM TRANSISTORES SEM JUNÇÕES FABRICADOS NA TECNOLOGIA SOI

Tese de doutorado, apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Doutor em Engenharia Elétrica. Orientado pelo Prof. Dr. Rodrigo Trevisoli Doria.

São Bernardo do Campo

2022

Graziano Junior, Nilton.

NBTI EM TRANSISTORES SEM JUNÇÕES FABRICADOS NA
TECNOLOGIA SOI / Nilton Graziano Junior. Sao Bernardo do Campo,
2022.

151 f. : il.

Tese - Centro Universitário FEI.

Orientadora: Prof.^a Dra. Rodrigo Trevisoli Doria.

1. Transistores MOS sem junções JNTs. 2. Degradação por NBTI. 3.
Densidade de armadilhas Nit. 4. Tensão de limiar VTH. 5. Variação da
temperatura. I. Trevisoli Doria, Rodrigo, orient. II. Título.

Aluno: Nilton Graziano Junior

Matrícula: 518304-1

Título do Trabalho: NBTI EM TRANSISTORES SEM JUNÇÕES FABRICADOS NA TECNOLOGIA SOI.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Rodrigo Trevisoli Doria

Data da realização da defesa: 17/03/2022

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Rodrigo Trevisoli Doria	Ass.: _____
Profª. Dra. Marcilei Aparecida Guazzelli	Ass.: _____
Prof. Dr. Renato Camargo Giacomini	Ass.: _____
Prof. Dr. Gilson Inácio Wirth	Ass.: _____
Prof. Dr. José Alexandre Diniz	Ass.: _____

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO ☒

REPROVADO ☐

VERSÃO FINAL DA TESE

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este estudo ao corpo docente do Centro Universitário FEI, que cuja a dedicação de seus Professores, me muniu de conhecimento e de inspiração para realização desse trabalho.

AGRADECIMENTOS

Agradeço ao corpo docente do Centro Universitário FEI, que com sua extrema competência, profissionalismo, dedicação e apreço pela ciência, nos conduz de forma brilhante, até o objetivo almejado. Essas características são impares, principalmente nos dias atuais.

Gostaria de registrar aqui, todos os meus professores. Assim segue: Prof. Dr. Marcelo Antonio Pavanello, Prof. Dr. Marcilei A. Guazzelli, Prof. Dr. Michelly de Souza, Prof. Dr. Renan Trevisoli Doria, Prof. Dr. Renato Giacomini, Prof. Dr. Rodrigo Trevisoli Doria, Prof. Dr. Rudolf T. Bühler, e Prof. Dr. Salvador Pinillos Gimenez

O brilhantismo dos professores aqui nomeados, iluminou meu caminho durante o Mestrado e Doutorado.

Com especial deferência, agradeço a meu orientador, Prof. Dr. Rodrigo Trevisoli Doria, que com sua grande dedicação, paciência e atenção, é corresponsável por toda minha produção acadêmica.

RESUMO

Aqui apresenta-se o estudo do efeito *Negative Bias Temperature Instability* (NBTI) em dispositivos *Junctionless Nanowire Transistors* (JNTs). Primordialmente, dispositivos JNTs se diferem de dispositivos implementados em tecnologia metal óxido semiconductor (MOS) modo inversão convencionais ou mesmo de dispositivos modo inversão implementados em tecnologia *Silicon-On-Insulator* (SOI) mais notoriamente, por apresentarem o mesmo tipo de dopagem para canal, fonte e dreno. É de se destacar que essa concepção implique em diversas diferenças entre o funcionamento de dispositivos experimentais JNTs em comparação às tecnologias mais presentes no mercado. Esse diferencial redundava em um comportamento ímpar quando se aborda a degradação pelo efeito NBTI. Tal efeito é decorrente da existência de átomos de hidrogênio dispersos na interface entre o óxido de porta e o silício do canal. A consequência mais relevante do NBTI consiste no deslocamento da tensão de limiar (V_{TH}) dos dispositivos ao longo do tempo. Para elucidar o mecanismo de ação do efeito NBTI, empreenderam-se diversos estudos de parâmetros que se relacionam a este fenômeno. Insta citar a variação do comprimento no canal, o campo elétrico, a densidade de armadilhas de interface, densidade de lacunas, potencial de superfície, temperatura, entre outros, e como estes se relacionam. Ainda foi considerado o aspecto característico com que a corrente flui pelo canal dos dispositivos JNTs, ou seja, a maior parte flui pelo centro do canal. A premissa que valida o aprofundamento do estudo do efeito NBTI em dispositivos JNTs, vem de trabalho anterior, que demonstrou que dispositivos JNTs apresentam menor degradação NBTI que dispositivos FinFET com características semelhantes. Os resultados colhidos, demonstram de forma bastante incisiva que dispositivos JNTs operando em depleção parcial estão menos sujeitos ao NBTI. Os dados obtidos, também apontam que o campo elétrico vertical que em dispositivos mais comuns, impactam de maneira bastante direta o NBTI, já em dispositivos JNTs, essa relação depende do regime de operação. Ainda é possível afirmar que a qualidade do óxido de porta que se reflete na densidade de armadilhas de interface, é bastante significativa para o NBTI. Por outro lado, a variação da temperatura, tem importância relativamente menor, e em certas condições, vem até a mitigar esse efeito deletério. Há ainda, diversos aspectos e variáveis aqui estudados que incidem na maneira que o NBTI influencia o comportamento dos dispositivos JNTs, Essas particularidades e suas implicações, faz com que essa pesquisa resulte em uma tese com características interessantes.

Palavras-chave: Transistores MOS sem junções JNTs. Degradação por NBTI. Densidade de armadilhas N_{it} . Tensão de limiar V_{TH} . Variação da temperatura.

ABSTRACT

Here we present the study of the Negative Bias Temperature Instability (NBTI) effect in Junctionless Nanowire Transistors (JNTs) devices. Primarily, JNT devices differ from devices implemented in conventional metal oxide semiconductor (MOS) inversion-mode technology or even from inversion-mode devices implemented in Silicon-On-Insulator (SOI) technology, most notably, because they present the same type of doping for channel, source and drain. It is worth noting that this conception implies several differences between the operation of experimental JNTs devices compared to the most present technologies on the market. This differential results in a unique behavior when addressing degradation by the NBTI effect. This effect is due to the existence of hydrogen atoms dispersed at the interface between the gate oxide and the channel silicon. The most relevant consequence of the NBTI is the displacement of the threshold voltage (V_{TH}) of the devices over time. To elucidate the mechanism of action of the NBTI effect, several studies of parameters related to this phenomenon were undertaken. It is urged to mention the variation of the channel length, the electric field, the interface trap density, gap density, surface potential, temperature, among others, and how they are related. The characteristic aspect with which the current flows through the channel of the JNT devices was also considered, that is, most of it flows through the center of the channel. The premise that validates the in-depth study of the NBTI effect on JNT devices comes from previous work, which demonstrated that JNT devices present less NBTI degradation than FinFET devices with similar characteristics. The results collected demonstrate in a very incisive way that JNT devices operating in partial depletion are less subject to NBTI. The data obtained also point out that the vertical electric field that in most common devices impacts the NBTI in a very direct way, whereas in JNT devices, this relationship depends on the operating regime. It is still possible to state that the quality of the gate oxide, which is reflected in the density of interface traps, is quite significant for the NBTI. On the other hand, temperature variation is relatively less important, and under certain conditions, it even mitigates this deleterious effect. There are also several aspects and variables studied here that affect the way the NBTI influences the behavior of JNTs devices. These particularities and their implications make this research result in a thesis with interesting characteristics.

Keywords: MOS Junctionless Transistors JNTs. Degradation by NBTI. Density of N_{it} traps. Threshold voltage V_{TH} . Temperature variation.

LISTA DE FIGURAS

Figura 1 - Diagrama ilustrado da Lei de Moore.....	26
Figura 2 - Evolução da tecnologia FET.....	27
Figura 3 - Trânsitor MOS padrão.....	29
Figura 4 - Curva característica $I_{DS} \times V_{GS}$	31
Figura 5 - Comportamento das cargas em função do V_{GS}	32
Figura 6 - Curvas da corrente de dreno em função de V_{GS} e V_{DS} indicando os regimes de operação do transistor.....	33
Figura 7 - Extração da tensão de limiar pelo método da segunda derivada.....	35
Figura 8 - Extração da tensão de limiar pelo método g_m/I_{DS}	36
Figura 9 - Extração da inclinação de sublimiar a partir da curva da corrente de dreno em função de V_{GS} de um transistor MOS.....	36
Figura 10 - Curva característica da Transcondutância em função de V_{GS}	38
Figura 11 - Dispositivo SOI.....	40
Figura 12 - Lâminas de silício MOS e SOI.....	40
Figura 13 - Cavidade NWELL do dispositivo MOS em comparação com o SOI.....	41
Figura 14 - Diagrama de bandas para dispositivos PDSOI.....	42
Figura 15 - Diagrama de bandas para dispositivos FDSOI.....	43
Figura 16 - Transistor SOI de porta dupla.....	44
Figura 17 - Dispositivos SOI com diferentes portas: (A) SOI planar, (B) porta dupla horizontal, (C) porta tripla, (D) Pi-gate, (E) ômega gate e (F) GAA.....	45
Figura 18 - Secção longitudinal de transistores JNTs tipos N e P planares.....	51
Figura 19 - Modos de condução de transistores modo inversão, acumulação e JNTs indicados na secção transversal dos dispositivos.....	53
Figura 20 - $\text{Log}(I_{DS}) \times V_{GS}$ para transistores com diferentes modos de operação: (A) modo inversão, (B) modo acumulação (C) transistor sem junções.....	54
Figura 21 - Comportamento do I_{DS} no canal ao se incrementar o V_{GS}	55
Figura 22 - Diagrama de bandas para dispositivo JNTs.....	56
Figura 23 - Efeito de Elétrons Quentes esquematizado no interior de um transistor SOI.....	60
Figura 24 - Esboço de uma curva $I_{DS} \times V_{DS}$ de um transistor MOS sob efeito do auto-aquecimento.....	61
Figura 25 - Efeito de Canal Curto em dispositivos MOS convencionais e SOI, (A) sem o efeito de Canal Curto e (B) com o efeito de Canal Curto.....	62

Figura 26 - Curvas da energia potencial para os elétrons ao longo do comprimento de canal, representando o efeito DIBL.....	64
Figura 27 - Esboço das curvas de $I_{DS} \times V_{GS}$, perante o estresse NBTI.....	66
Figura 28 - Representação das ligações atômicas na interface do dispositivo, indicando o processo de geração de armadilhas de interface.....	67
Figura 29 - Esquema do efeito de reação e difusão utilizado como base para o modelo de degradação por NBTI.....	68
Figura 30 - Esquemático da difusão do hidrogênio no óxido.....	69
Figura 31 - Diagrama indicando os estados metaestáveis em um processo de degradação por NBTI.....	70
Figura 32 - Curva da variação de V_{TH} em função do tempo demonstrando o ciclo típico de estresse e relaxamento NBTI.....	73
Figura 33 - Fotografia de uma lâmina com transistores JNTs.....	76
Figura 34 - Analisador de dispositivos semicondutores <i>Keysight</i> B1500A.....	77
Figura 35 - Tela de configuração do <i>Keysight</i> B1500 para obtenção de curvas $I_{DS} \times V_{GS}$	78
Figura 36 - Tela do software <i>EasyExpert</i> em que são apresentadas as curvas $I_{DS} \times V_{GS}$	78
Figura 37 - Curvas $I_{DS} \times V_{GS}$ em escalas linear e logarítmica para dispositivos JNTs tipo P com dopagem de $5 \times 10^{18} \text{ cm}^{-3}$ e V_{DS} de -0.05 V.....	79
Figura 38 - Valores de $V_{TH} \times L$ para dispositivos JNTs tipo P com N_A de $5 \times 10^{18} \text{ cm}^{-3}$	80
Figura 39 - Valores de $V_{TH} \times L$ para dispositivos JNTs tipo P com N_A de $1 \times 10^{19} \text{ cm}^{-3}$	80
Figura 40 - Tela de configuração do <i>Keysight</i> B1500 para análise da degradação por efeito NBTI.....	81
Figura 41 - Ciclo de estresse NBTI.....	82
Figura 42 - ΔV_{TH} em função do comprimento de canal para os dispositivos experimentais.....	83
Figura 43 - Curvas $I_{DS} \times V_{GS}$ para dispositivos JNTs experimentais e simulados com diferentes comprimentos e de canal N_A de $1 \times 10^{19} \text{ cm}^{-3}$ e V_{DS} de -50 mV.....	88
Figura 44 - Curvas experimentais de $\Delta V_{TH} \times V_{GT}$ para dispositivos de aleta única com diferentes W e L em $V_{DS} = -50 \text{ mV}$ e -1 V.....	89
Figura 45 - Curvas experimentais de $\Delta V_{TH} \times L$ para dispositivos com 50 aletas paralelas com diferentes W, L e N_A para $V_{DS} = -50 \text{ mV}$ e -1 V.....	90
Figura 46 - Curvas $I_{DS} \times V_{GS}$ simuladas para JNTs com diferentes W e L com $V_{DS} = -50 \text{ mV}$	91
Figura 47 - Curvas $\Delta V_{TH} \times L$ simuladas para JNTs com diferentes W e dopagem para $ V_{GS} - V_{TH} = 0,7 \text{ V}$ e $V_{DS} = -50 \text{ mV}$ e -1 V.....	92

Figura 48 - Perfil de campo elétrico simulado ao longo do canal (x) extraído no centro da camada de silício para JNTs com $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ e $V_{DS} = -50 \text{ mV}$	93
Figura 49 - Campo elétrico extraído no centro da camada de silício em função do $V_{GS}-V_{TH}$ para dispositivos com diferentes N_A , W, L e $V_{DS} = -50 \text{ mV}$	94
Figura 50 - Campo elétrico extraído na superfície da camada de silício em $x = 0$ em função do $V_{GS}-V_{TH}$ para dispositivos com diferentes N_A , W e L com $V_{DS} = -50 \text{ mV}$	95
Figura 51 - Campo elétrico na superfície da camada de silício em função de L para dispositivos com diferentes W e concentração de dopagem e com $V_{DS} = -50 \text{ mV}$ e $V_{GS} - V_{TH} = -0,7 \text{ V}$	96
Figura 52 - $\Delta V_{TH} \times V_{GT}$ para dispositivos experimentais e simulados com diferentes W polarizados com $V_{DS} = -50 \text{ mV}$ e $-1,0 \text{ V}$	98
Figura 53 - ΔV_{TH} em função de N_0 para dispositivos simulados com diferentes W e N_A de $5 \times 10^{18} \text{ cm}^{-3}$	100
Figura 54 - ΔV_{TH} em função de N_0 para dispositivos simulados com diferentes W e N_A de $1 \times 10^{19} \text{ cm}^{-3}$	101
Figura 55 - $\Delta V_{TH} \times V_{GS}$ para dispositivos simulados com diferentes valores de W, para dois diferentes valores de V_{GT} e V_{DS} e para N_A de $5 \times 10^{18} \text{ cm}^{-3}$	102
Figura 56 - $\Delta V_{TH} \times V_{GS}$ para dispositivos simulados com diferentes valores de W, para dois diferentes valores de V_{GT} e V_{DS} e para N_A de $1 \times 10^{19} \text{ cm}^{-3}$	102
Figura 57 - Carga espacial em função de N_0 para dispositivos simulados com diferentes W polarizados em dois V_{DS} diferentes e para V_{GT} de $-0,3 \text{ V}$	104
Figura 58 - Carga espacial em função de N_0 para dispositivos simulados com diferentes W polarizados em dois V_{DS} diferentes e para V_{GT} de $-0,8 \text{ V}$	104
Figura 59 - Densidade de lacunas em função de N_0 para dispositivos simulados com diferentes W e N_A de $5 \times 10^{18} \text{ cm}^{-3}$, baseado em diferentes valores de V_{GT} e V_{DS}	105
Figura 60 - Densidade de lacunas em função de N_0 para dispositivos simulados com diferentes W e N_A de $1 \times 10^{19} \text{ cm}^{-3}$, baseado em diferentes valores de V_{GT} e V_{DS}	106
Figura 61 - Densidade de lacunas em função de V_{GS} para dispositivos simulados com diferentes W e N_A de $5 \times 10^{18} \text{ cm}^{-3}$ baseado em diferentes V_{GT} e V_{DS}	107
Figura 62 - Densidade de lacunas em função de V_{GS} para dispositivos simulados com diferentes W e N_A de $1 \times 10^{19} \text{ cm}^{-3}$ baseado em diferentes V_{GT} e V_{DS}	107
Figura 63 - Φ_S em função da tensão de porta para dispositivos com diferentes W, V_{DS} , V_{GT} e N_A de $5 \times 10^{18} \text{ cm}^{-3}$	110
Figura 64 - Φ_S em função da tensão de porta para dispositivos com diferentes W, V_{DS} , V_{GT} e N_A de $1 \times 10^{19} \text{ cm}^{-3}$	111

Figura 65 - Densidade de lacunas em função do Φ_S para diferentes valores de W , N_0 e N_A de $5 \times 10^{18} \text{ cm}^{-3}$	112
Figura 66 - Densidade de lacunas em função do Φ_S para diferentes valores de W , N_0 e N_A de $1 \times 10^{19} \text{ cm}^{-3}$	112
Figura 67 - ΔV_{TH} em função de Φ_S para dispositivos com diferentes W , N_0 e N_A $5 \times 10^{18} \text{ cm}^{-3}$	113
Figura 68 - ΔV_{TH} em função de Φ_S para dispositivos com diferentes W , N_0 e N_A $1 \times 10^{19} \text{ cm}^{-3}$	114
Figura 69 – Variação do V_{TH} pela temperatura sem se considerar o NBTI para diferentes valores de W , N_A e V_{DS}	116
Figura 70 – Degradação de NBTI para dispositivos com W de 10 nm, $N_A = 5 \times 10^{18} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}	117
Figura 71 – Degradação de NBTI para dispositivos com W de 20 nm, $N_A = 5 \times 10^{18} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}	118
Figura 72 – Degradação de NBTI para dispositivos com W de 10 nm, $N_A = 1 \times 10^{19} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}	119
Figura 73 – Degradação de NBTI para dispositivos com W de 20 nm, $N_A = 1 \times 10^{19} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}	120
Figura 74 – Degradação de NBTI para dispositivos com $W = 10$ e 20 nm , N_A de $5 \times 10^{18} \text{ cm}^{-3}$ para diferentes condições de polarização.....	121
Figura 75 – Degradação de NBTI para dispositivos com $W = 10$ e 20 nm , N_A de $1 \times 10^{19} \text{ cm}^{-3}$ para diferentes condições de polarização.....	122
Figura A1.1 - Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de $-0,05 \text{ V}$	139
Figura A1.2 - $V_{TH} \times L$ para V_{DS} de $-0,9 \text{ V}$	140
Figura A1.3 - Curvas de $I_{DS} \times \text{tempo}$ para dispositivos submetidos a degradação NBTI.....	141
Figura A1.4 - Curvas de $\Delta V_{TH} \times L$ para dispositivos sem junções e FinFETs com V_{DS} de $-0,05$ e $-0,9 \text{ V}$	142

LISTA DE TABELAS

Tabela 1 - Valores da tensão de limiar e de faixa plana antes do estresse.....	97
--	----

LISTA DE SÍMBOLOS

A_i	Fator de ionização por impacto para elétrons
A_V	Ganho de tensão de malha aberta
B_i	Fator de ionização por impacto para elétrons
C_D	Capacitância na região de depleção por unidade de área
C_{ox}	Capacitância do óxido
C_{ox1}	Capacitância do óxido da primeira interface
C_{ox2}	Capacitância do óxido da segunda interface
C_{Si}	Capacitância do silício por unidade de área
C_{Si1}	Capacitância do silício da primeira interface por unidade de área
C_{depl}	Capacitância da depleção por unidade de área
d	Extensão da região de depleção
D_H	Coefficiente de difusão média para o hidrogênio
d_{max}	Máxima profundidade da região de depleção
E_C	Nível de condução
E_F	Nível de Fermi
E_{FM}	Nível de Fermi do metal
E_{SP}	Energia de ativação para processos SP
E_V	Nível de valência
$E_{Vácuo}$	Nível de energia do vácuo
E_I	Nível intrínseco
fp_{it}	Probabilidade de ocupação da lacuna
g_D	Transcondutância de dreno
g_{Dsat}	Transcondutância de dreno na saturação
g_m	Transcondutância
$g_{m_{max}}$	Ponto de máxima transcondutância
I_{DS}	Corrente entre fonte e dreno
l_c	Comprimento característico
I_{Dsat}	Corrente de dreno na saturação
K	Constante de Boltzmann
k_f	Taxa de ligações quebradas do S_i com o hidrogênio
$K_{SP}(r, E_{SP})$	Taxa de reação para processos (SP)
k_r	Taxa recuperação

L	Comprimento do canal
M	Fator de multiplicação devido a ionização por impacto
n	Fator de corpo
N_A	Número de átomos de dopantes aceitadores
N_H	Densidade do hidrogênio na interface
N_{IT}	Número de armadilhas de interface por unidade de área
N_0	Densidade dos precursores de vacância de oxigênio próximos à interface
P_{SP}	Probabilidade de gerar defeitos pelos processos da densidade de interceptação de interface de partícula única (SP)
S	Inclinação de sublimar
s_2	Centros de ligações pendentes em óxidos amorfos
s_4	Carga positiva fixa em centros pouco recuperáveis.
T	Temperatura
t	Tempo
t_{ox}	Espessura do óxido
t_s	Espessura da região de silício do canal
W	Largura do canal
V_{CH}^{sat}	Valor fixo para tensão efetiva do canal
V_{EA}	Tensão de Early
V_{DS}	Tensão entre fonte e dreno
V_{DS1}	Tensão de dreno no limiar
V_{DS2}	Tensão de dreno em saturação
V_{FB}	Tensão de faixa plana
V_{G1}	Tensão aplicada a primeira camada
V_{G2}	Tensão aplicada a e segunda camada
V_{GS}	Tensão ente porta e dreno
V_{GS1}	Tensão ente porta e dreno da primeira interface
V_{GS2}	Tensão ente porta e dreno da segunda interface
V_{GT}	Diferença entre tensão de porta e tensão de limiar
V_{TH}	Tensão de limiar
V_{TH1}	Tensão de limiar para V_{DS1}
V_{TH2}	Tensão de limiar para V_{DS2}
$V_{TH1,inv2}$	Tensão de limiar para segunda interface em inversão
$V_{TH1,acc2}$	Tensão de limiar para a segunda interface em acumulação

$V_{TH1,depl2}$	Tensão de limiar para segunda interface em depleção
q	Carga elementar do elétron
Q_{depl}	Carga da região de depleção por unidade de área
Q_{inv}	Carga da região de inversão por unidade de área
Q_{ox1}	Cargas fixas no óxido da primeira interface
Q_{ox2}	Cargas fixas no óxido da segunda interface
Q_{ss}	Densidade de carga de interface do óxido de silício
W	Largura do canal
x	Espessura da camada de silício
X_{d1}	Espessura da região de depleção da primeira camada
X_{d2}	Espessura da região de depleção da segunda camada
x_{dmax}	Espessura da depleção máxima da camada de silício
x_1	Ponto de mínimo potencial na camada de silício
α	Fator de acoplamento capacitivo de acordo com a condição de polarização da segunda interface
ΔV_{TH}	Variação da tensão de limiar
ϵ_{si}	Permissividade do silício
λ	Comprimento natural
μ_0	Mobilidade de baixo campo
μ_n	Mobilidade dos elétrons
μ_{max}	Máxima mobilidade dos elétrons
ξ	Campo elétrico
ξ_{S1}	Campo elétrico da primeira interface
τ	Tempo de vida do dispositivo
ϕ_F	Potencial de Fermi
Φ_M	Função trabalho do metal
ϕ_{MS}	Diferença da função trabalho entre o metal e o semicondutor
Φ_{MS1}	Diferença de função trabalho entre o metal e o semicondutor para a primeira interface
Φ_{MS2}	Diferença de função trabalho entre o metal e o semicondutor para a segunda interface
Φ_{OX1}	Potencial do óxido na primeira camada
Φ_{OX2}	Potencial do óxido na segunda camada
Φ_{SiB}	Função trabalho do silício

Φ_{S1}	Potenciais de superfície da primeira camada
Φ_{S2}	Potenciais de superfície da segunda camada

LISTA DE ABREVIATURAS

1D	Uma dimensão
2D	Duas dimensões
3D	Três dimensões
AC	Corrente alternada
ALWG	<i>Arbitrary linear waveform generator</i>
BTI	<i>Bias Temperature Instability</i>
CEA-Leti	Comissão de Energia Atômica - <i>Laboratoire d'électronique des technologies de l'information</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DC	Corrente contínua
DELTA	<i>Fully Depleted Lean-channel Transistor</i>
DIBL	<i>Drain-Induced Barrier Lowering</i>
EOT	<i>Effective Oxide Thickness</i>
FinFET	<i>Finfield-Effect Transistor</i>
FDSOI	<i>Fully Depleted Silicon On Insulator</i>
GAA JNT	<i>Gate all around Junctionless Nanowire Transistor</i>
GAA-FET	<i>Gate all around- Effect Transistor</i>
GaAs-HEMT	<i>High Electron Mobility Transistor</i> a base de Arceneto de Gálio
GaN-HEMT	<i>High Electron Mobility Transistor</i> a base de Nitreto de Gálio
GIDL	<i>Gate-Induced Drain Leakage</i>
GUI	<i>Graphical user interface</i>
JNT	<i>Junctionless Nanowire Transistor</i>
HALO	Implantação iônica no substrato de silício
MOS	<i>Metal-Oxide-Semiconductor</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MuGFETs	<i>Multi-Gate Field Effect Transistor</i>
NBTI	<i>Negative Bias Temperature Instability</i>
NMP	<i>Non-radiative Multiphonon Process</i>
NWELL	Cavidade tipo N
PBTI	<i>Positive Bias Temperature Instability</i>
RD	Reação-difusão
RTN	<i>Random Telegraph Noise</i>

SCEs	Efeitos de canal curto
SiC	Carbeto de Silício
SMU	<i>Source Monitor Unit</i>
SOI	<i>Silicon-On-Insulator</i>
SOI FD	<i>Fully Depleted SOI</i>
SOI PD	<i>Partially Depleted SOI</i>
SOI MOSFET	<i>Silicon-On-Insulator Metal Oxide Semiconductor Field Effect Transistor</i>
SOS	Silício sobre safira
SRH	<i>Shockley Read Hall</i>
SPGU	<i>Semiconductor pulse generator unit</i>
TDDS	<i>Time-Dependent Defect Spectroscopy</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
UTB	MOSFETs de corpo ultrafino
UTBB	MOSFETs de corpo e óxido enterrado ultrafinos
XMOS	SOI MOSFET de porta dupla em geometria planar

SUMÁRIO

1 INTRODUÇÃO.....	23
1.1 OBJETIVOS.....	25
1.2 LEI DE MOORE.....	26
1.3 ESTADO DA ARTE.....	26
2 REVISÃO BIBLIOGRÁFICA.....	28
2.1 TECNOLOGIA MOS.....	28
2.1.1 Transistor MOSFET.....	28
2.1.2 Parâmetros elétricos do transistor MOS.....	33
<i>2.1.2.1 Extração da tensão de limiar.....</i>	<i>33</i>
<i>2.1.2.2 Inclinação de sublimiar.....</i>	<i>36</i>
<i>2.1.2.3 Transcondutância.....</i>	<i>37</i>
<i>2.1.2.4 Mobilidade de baixo campo.....</i>	<i>38</i>
<i>2.1.2.5 Tensão de Early.....</i>	<i>38</i>
<i>2.1.2.6 Ganho de tensão de malha aberta.....</i>	<i>39</i>
2.2 TRANSISTOR SOI.....	39
2.2.1 Fabricação de inversores MOS e SOI.....	40
2.2.2 Distinção entre dispositivos PDSOI e FDSOI.....	41
2.2.3 Transistor SOI de múltiplas portas.....	43
2.2.4 Características elétricas dos dispositivos SOI.....	45
<i>2.2.4.1 Tensão de porta.....</i>	<i>46</i>
<i>2.2.4.2 Tensão de limiar.....</i>	<i>46</i>
<i>2.2.4.3 Corrente de dreno.....</i>	<i>47</i>
<i>2.2.4.4 Campo elétrico.....</i>	<i>48</i>
<i>2.2.4.5 Mobilidade dos elétrons no canal.....</i>	<i>49</i>
<i>2.2.4.6 Inclinação de Sublimiar.....</i>	<i>50</i>
2.2.4 Dispositivos UTB e UTBB SOI.....	50
2.3 TRANSISTOR JNT.....	51
2.3.1 Modo de condução nos dispositivos JNT.....	52
2.3.2 Comportamento das cargas em dispositivos JNTs.....	54
2.3.3 Corrente de dreno para JNTs.....	56
2.3.4 Potencialidades dos dispositivos JNTs.....	57
2.4 EFEITOS DE SEGUNDA ORDEM.....	58

2.4.1 Degradação por Elétrons Quentes.....	58
2.4.2 Efeitos de Auto-Aquecimento.....	60
2.4.3 Efeitos de Canal Curto.....	61
2.4.4 <i>Drain Induced Barrier Lowering</i> (DIBL).....	63
2.4.5 <i>Negative Bias Temperature Instability</i> (NBTI).....	65
2.4.5.1 Degradação do V_{TH}	65
2.4.5.2 Difusão do hidrogênio.....	66
2.4.5.3 Equacionamento do NBTI.....	67
2.4.5.4 Multiestados.....	69
2.4.5.5 Ciclo de Estresse e Relaxamento.....	72
2.4.5.6 Degradação do NBTI em JNTs.....	73
3 DEGRADAÇÃO POR EFEITO NBTI EM DIPOSITIVOS JNTs.....	75
3.1 CARACTERÍSTICAS DOS DISPOSITIVOS EXPERIMENTAIS.....	75
3.2 KEYSIGHT B1500.....	76
3.3 ENSAIOS EXPERIMENTAIS PRÉVIOS.....	77
3.3.1 Curvas I_{DS} x V_{GS}	77
3.3.2 Extração da tensão de limiar.....	79
3.3.3 Método para obtenção da degradação NBTI em dispositivos experimentais.....	81
3.3.4 Degradação por NBTI para os dispositivos experimentais.....	83
3.4 SIMULADOR <i>SENTAURUS</i>	84
3.4.1 Funcionalidade do simulador <i>Sentaurus</i>	84
3.5 CARACTERÍSTICAS DOS DISPOSITIVOS SIMULADOS.....	85
3.6 ESTUDOS APROFUNDADOS DO NBTI EM JNTs.....	85
3.7 CORRELAÇÕES ENTRE O CAMPO ELÉTRICO E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNT.....	86
3.7.1 Características e medições dos dispositivos.....	87
3.7.2 Curvas I_{DS} x V_{GS}	87
3.7.3 Degradação por efeito NBTI em dispositivos experimentais.....	88
3.7.4 Análises do NBTI através de simulações numéricas.....	90
3.7.5 Campo elétrico.....	92
3.7.6 Avaliações a respeito do estudo do campo elétrico.....	96
3.8 CORRELAÇÕES ENTRE A DENSIDADE DE ARMADILHAS DE INTERFACE E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNT.....	97
3.8.1 Análises experimentais x Simuladas.....	98

3.8.2 Tensão de limiar antes do estresse.....	99
3.8.3 Influência do N_{IT} na degradação NBTI.....	99
3.8.4 Análises a partir das Cargas de Interface.....	103
3.8.5 Avaliações a respeito do estudo da densidade de armadilhas de interface.....	108
3.9 CORRELAÇÕES ENTRE O POTENCIAL DE SUPERFÍCIE E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNT.....	108
3.9.1 Potencial de superfície em dispositivos JNTs.....	109
3.9.2 Influência de Φ_s na degradação por NBTI.....	109
3.9.3 Avaliações a respeito do estudo do potencial de superfície.....	114
3.10 CORRELAÇÕES ENTRE A TEMPERATURA E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNT.....	115
3.10.1 Variação do V_{TH} x temperatura sem considerar a influência do NBTI.....	115
3.10.2 Variação do V_{TH} x temperatura considerando a influência do NBTI.....	117
3.10.3 Avaliações a respeito do estudo da variação da temperatura.....	122
4. CONCLUSÕES.....	123
5. PUBLICAÇÕES.....	125
REFERÊNCIAS.....	127
APÊNDICE 1 – INFLUÊNCIA DA VARIAÇÃO DO COMPRIMENTO DE CANAL NO EFEITO NBTI EM TRANSISTORES MODO INVERSÃO E SEM JUNÇÕES.....	138
A1.1 CURVAS I_{DS} X V_{GS} NATIVAS.....	138
A1.2 EXTRAÇÃO DO V_{TH} ANTES DO ESTRESSE POR EFEITO NBTI.....	139
A1.3 I_{DS} X TEMPO EM DISPOSITIVOS SIMULADOS.....	140
A1.4 VARIAÇÃO DE V_{TH} DEVIDO AO EFEITO NBTI EM DISPOSITIVOS SIMULADOS.....	141
APÊNDICE 2 – ARQUIVO DE SIMULAÇÃO DE ESTRUTURA.....	143
APÊNDICE 3 – ARQUIVO DE SIMULAÇÃO DO DISPOSITIVO.....	148

1 INTRODUÇÃO

A velocidade com que a eletrônica avança é estimulante e desafiadora. Os pesquisadores, professores e desenvolvedores são privilegiados por observar, e mesmo, participar de um momento tão singular. A eletrônica hoje é uma indústria de base e permeia praticamente todos os aspectos oriundos à evolução humana e, certamente se constitui de uma interface para todos os tipos de relações. É evidente que a cada dia sua importância se torna mais relevante e em relativamente pouco tempo, tudo indica, que se tornará um ente simbiótico com os organismos vivos [1]. Como exemplos, é possível citar, desde as próteses inteligentes até o desenvolvimento de implantes cerebrais que já estão em testes em animais [2]. As implicações desse estado da arte são difíceis de prever, no entanto, este é um processo contínuo. O começo dessa evolução, se comparado com a história da humanidade é bastante recente. Seus primeiros passos e principais artífices são notórios, com seus trabalhos e proposta, implementaram grandes saltos.

Nos dias atuais, há tantos pesquisadores, profissionais e empresas envolvidas e o nível de complexidade é tão grande e são tantas as contribuições que é difícil separar um único indivíduo ou grupo, ou mesmo uma única linha evolutiva. Como Newton declarou certa vez, “meus passos são largos, pois estou sobre ombros de gigantes” [3]. Parafraseando; se chegamos aqui foi por sermos carregados por gigantes.

Para compreender como se deu a evolução da eletrônica, é necessário conhecer suas origens e motivações, assim como para entender os aspectos desse trabalho, faz-se necessário explorar os principais parâmetros que caracterizam os dispositivos eletrônicos e os elementos fundamentais relacionados a dispositivos Metal-Óxido-Semicondutor (MOS), tecnologia Silício Sobre Isolante (*Silicon-On-Insulator* – SOI) e Transistores Sem Junções (*Junctionless Nanowire Transistors* – JNTs).

Não parece haver uma tecnologia única ou mesmo principal tendência para o futuro da nano-eletrônica. Existem várias propostas e possibilidades. Qual será preponderante e mesmo por quanto tempo será utilizada, envolve inúmeras questões que vão muito além das meramente técnicas. É necessário remeter-se também, às econômicas e de recursos naturais, por exemplo [4]. Cabe ao pesquisador propor e explorar caminhos, e observar se isso frutificará.

Atualmente, dispositivos desenvolvidos em silício são os mais amplamente utilizados. Para os nós tecnológicos atuais, como os dispositivos comerciais abaixo de 7 nm, a dopagem é uma questão sensível. Concentrações de dopantes usadas até recentemente, com valores da ordem de 10^{17} cm^{-3} , não garantem a isonomia de funcionamento para todos os dispositivos em

um circuito de uma mesma lâmina, pois o canal desses teria que conter um número de átomos de dopante bastante coeso, condição improvável em dimensões tão diminutas. O que se observa, no entanto, é que, nesses casos, os dispositivos terão números diferentes de átomos de dopantes [5]. Duas estratégias opostas podem ser adotadas para sanar esse problema, ou trabalhar-se com o silício intrínseco, o que significa que o número de átomos de dopantes é desprezível, (claro que há de se considerar que lâminas de silício sem impurezas não existem comercialmente), ou em uma outra abordagem, pode se aumentar bastante a quantidade de átomos do dopante, algo em torno de 10^{19} cm^{-3} . Isso garantirá que haverá uma quantidade relevante desses no canal. Um exemplo de dispositivo que adota essa perspectiva é o JNT [6]. Essa tecnologia é objeto do presente estudo.

Efeitos deletérios, de uma forma geral, se agravam conforme se reduz o comprimento do canal [7], excetuando é claro, em haver estratégias para delimitá-los. Em nós tecnológicos pouco acima dos 100 nm o efeito da Instabilidade de Temperatura decorrente da Polarização Negativa de Porta (*Negative Bias Temperature Instability* – NBTI) ainda não é efetivo. Porém, com a redução do comprimento de canal, esse efeito ganha importância [8]. Ele provoca primordialmente uma redução da corrente de fonte/dreno (I_{DS}) e a degradação da tensão de limiar (V_{TH}), incidindo na perda da confiabilidade do dispositivo e, até mesmo, na inversão do seu estado lógico [9].

Uma característica importante dos dispositivos JNTs é que as cargas fluem de forma preponderante pelo centro do canal. Entretanto o efeito NBTI se dá em função das armadilhas presentes na interface entre o óxido de porta e o silício do canal. Com isso, elencadas as características de funcionamento dos dispositivos JNTs confrontadas às do efeito NBTI, é de se esperar uma menor degradação se comparado a dispositivos modo inversão.

A pesquisa que se apresenta resumida no Apêndice 1, compara dispositivos JNTs e MOS modo inversão de múltiplas portas fabricados em tecnologia SOI, também denominados FinFETs. Ali, está evidenciado, que o primeiro tipo de dispositivo está menos sujeito ao NBTI. Posteriormente, foram implementados diversos estudos que aprofundaram o entendimento de como se dá esse fenômeno em dispositivos JNTs. Foram examinados parâmetros como a densidade de armadilhas de interface, o campo elétrico no canal, o potencial de superfície, a densidade de lacunas e a variação da temperatura. Foi abordado como essas variáveis se relacionam com o efeito NBTI e, em última instância, como essas entidades afetam a degradação da tensão de limiar (ΔV_{TH}). Para tanto, lançou-se mão tanto de simulações implementadas no simulador *Sentaurus*, utilizando um arquivo que foi testado em trabalho anterior [10] e descreve fielmente os dispositivos experimentais, como também de dispositivos

físicos submetidos a estresse. A análise dos dados levantados nesses ensaios, possibilitou uma melhor compreensão do efeito NBTI em dispositivos JNTs.

1.1 OBJETIVOS

A prioridade dessa Tese de Doutorado é a de aumentar a compreensão sobre o comportamento dos dispositivos JNTs perante à degradação por efeito NBTI. Para tanto, realizaram-se estudos tanto em dispositivos experimentais como em simulados. Frisa-se que características ímpares como as dos transistores JNTs somadas ao efeito deletério NBTI, são uma empreitada desafiadora e é uma grande oportunidade para desenvolvimento de pesquisas.

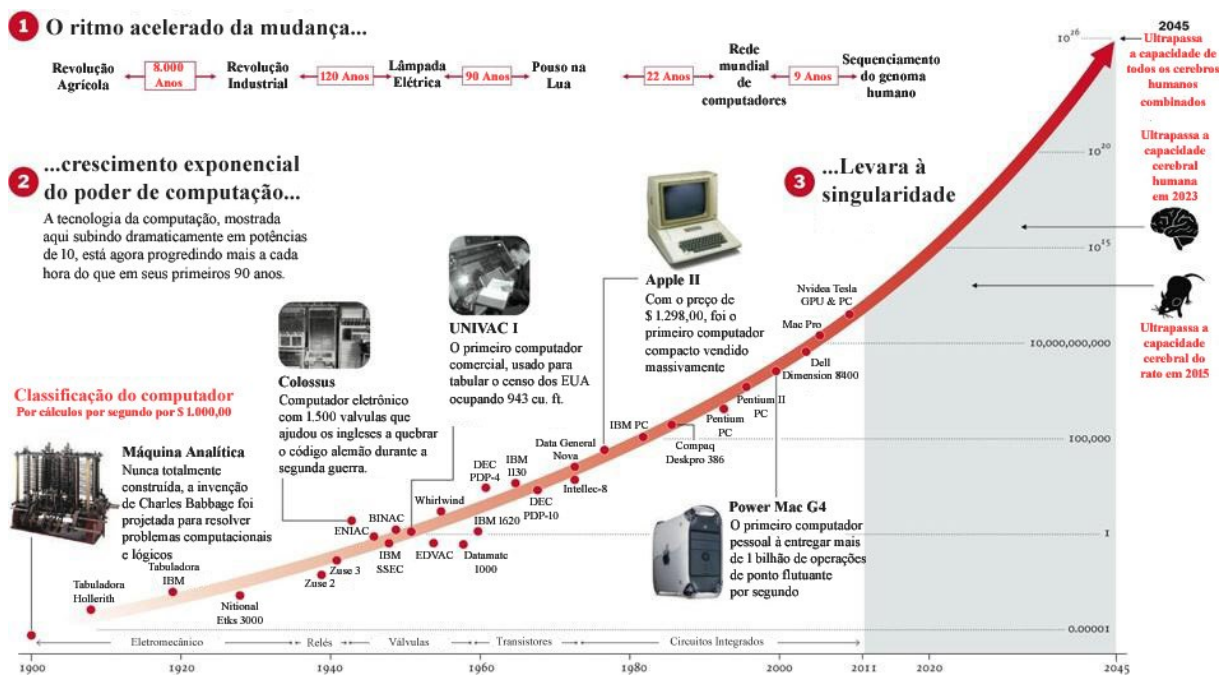
Para trilhar os caminhos impostos por esse trabalho, foi necessário exercitar vários conceitos como: caracterização de dispositivos, estudos detalhados sobre efeitos de segunda ordem, processos de simulação e metodologia de ensaios em laboratório.

Mais especificamente, o que se procura é compreender fenômenos relacionados ao funcionamento singular do dispositivo experimental JNT que opera de forma diversa de outros dispositivos mais comumente utilizados, sobretudo dos dispositivos modo inversão. Este apresenta, dentre outras, uma característica particular, que é o fato de a maior parte das cargas fluírem pelo centro do canal e uma parte minoritária segue junto às portas [11]. Esse evento se relaciona de forma peculiar com o efeito NBTI, pois este último existe graças às armadilhas de interface presentes na região entre o silício do canal e o óxido de porta [12]. Inicialmente, se constatou a existência e as consequências do evento, sendo a mais notável a degradação da tensão de limiar. Uma vez que se chegou a essa conclusão, é necessário responder o porquê isso ocorre, quais as consequências e como as propriedades físicas ali presentes se envolvem nesse processo. Certamente o conteúdo desse trabalho está muitíssimo longe de encerrar o tema, mas aqui se revelam dados de interesse que podem ser úteis para o entendimento ou mesmo para alavancar novos estudos ou ainda, estudos paralelos pois o mesmo método empregado para elucidar o efeito NBTI em dispositivos JNTs pode ser utilizado como roteiro de estudo para outras tecnologias.

1.2 LEI DE MOORE

A lei de Moore foi proposta em 1965 através de um conceito estabelecido por Gordon Earl Moore. Reza a lei que o número de transistores dos chips teria um aumento de 100%, pelo mesmo custo, a cada período de 18 meses [13]. Sua evolução e projeções podem ser observadas na Figura 1.

Figura 1 - Diagrama ilustrado da Lei de Moore



Fonte: Adaptado de Moore's Law Illustrated [14]

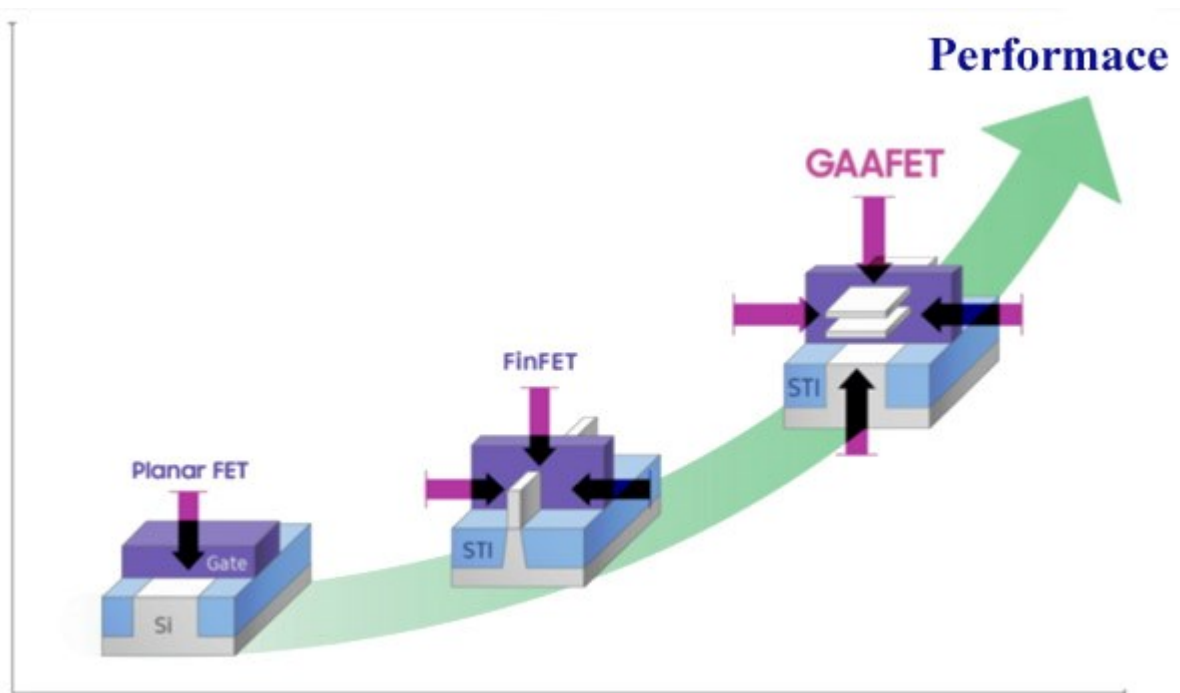
Na verdade, esta lei cobre uma elevada gama de dispositivos digitais. Não há como garantir que ela vá se perpetuar por muito mais tempo, mas até agora ela tem sido válida, mesmo porque, em certa medida, sua premissa é abraçada como uma meta para indústria. Essa velocidade de desenvolvimento não encontra precedentes em nenhuma outra atividade oriunda de iniciativas humanas, com inúmeras consequências em todas as áreas da sociedade e certamente, ainda outras mais virão [15].

1.3 ESTADO DA ARTE

O silício anda é o elemento mais amplamente utilizado na confecção de dispositivos eletrônicos. Seus limites são levados a pontos que há poucos anos pareciam improváveis. Tecnologias estão migrando dos trabalhos de pesquisa para as linhas de produção em um tempo

verdadeiramente diminuto [16]. Muitos artigos previram o fim da primazia dos dispositivos sobre silício [17]. Por outro lado, tecnologias como FinFET de 7 nm estão em produção desde 2017 e mais que isso, a empresa TSMC por exemplo, anunciou que os chips de 2 nm baseados no *Gate-All-Around* FET (GAA-FET) entrarão em produção em massa em 2023 [18, 19]. A Figura 2 demonstra a evolução da tecnologia FET e indica que esta ainda continuará a evoluir.

Figura 2 - Evolução da tecnologia FET



Fonte: Samsung [20]

Dispositivos JNTs apresenta comportamentos peculiares como, por exemplo, em relação ao NBTI. E como a nano eletrônica é um campo muito amplo, dinâmico e com variadas facetas, muitas aplicações demandam dispositivos especiais como, por exemplo, a indústria aeroespacial, que precisa que os equipamentos suportem condições bastante adversas, como nos satélites que estão sujeitos a radiação. Assim é plenamente justificável o estudo de tecnologias alternativas. O comportamento e arquitetura desses dispositivos experimentais vem diferir das tecnologias mais preponderantes, o que demanda novos e variados conhecimentos, consequentemente há cada vez mais a necessidade de pesquisadores dispostos a superar renovados desafios para entre outras coisas, atender por mais tempo as premissas da lei de Moore.

2 REVISÃO BIBLIOGRÁFICA

Continuando com a mesma perspectiva do capítulo anterior e ao mesmo tempo, se aproximando mais do foco principal dessa tese, nesse tópico serão descritos alguns aspectos básicos inerentes aos dispositivos construídos sobre silício, passando pelo MOS padrão, pela tecnologia SOI e, finalmente, chegando ao dispositivo JNT, de forma a enfatizar as semelhanças e diferenças entre as tecnologias.

2.1 TECNOLOGIA MOS

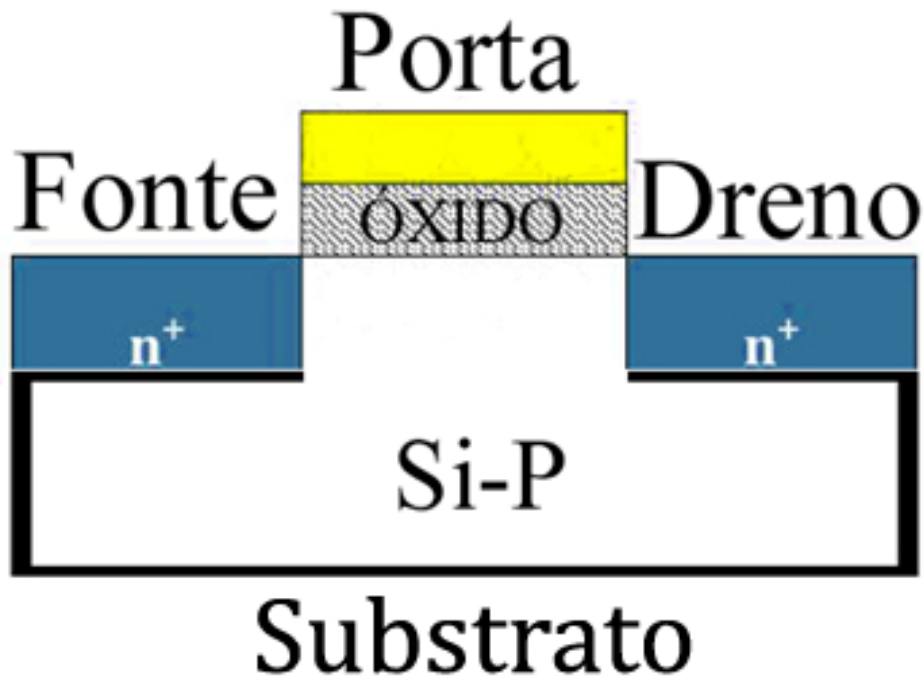
O transistor de efeito de campo tipo Metal-Óxido-Semicondutor (MOSFET) foi arquitetado por Lilienfield, em 1926 [21]. No entanto, a sua efetiva implementação só se deu em meados de 1960, com os avanços das tecnologias de oxidação e dopagem. O principal desafio foi a depuração da qualidade do óxido de porta [22]. Uma verdadeira revolução na eletrônica pautou-se nesse aperfeiçoamento.

Aspectos funcionais e características básicas desenvolvidas durante o aprimoramento dessa tecnologia em certa medida se propagam para os dispositivos SOI e JNTs que são, por assim dizer, uma evolução dos dispositivos MOS modo inversão concebidos inicialmente.

2.1.1 Transistor MOSFET

O transistor Metal-Óxido Semicondutor de Efeito de Campo (*Metal Oxide Semiconductor Field Effect Transistor* - MOSFET) é o transistor mais comumente utilizado até os presentes dias, tanto para aplicações analógicas quanto digitais [23]. A Figura 3 apresenta um modelo simplificado de um transistor MOSFET.

Figura 3 - Trânsitor MOS padrão



Fonte: Autor

Um transistor MOS se caracteriza por apresentar uma estrutura de porta, que é composta por um dielétrico seguido de um metal disposta sobre um substrato semiconductor como exibido na Figura 3. Uma vez que uma tensão de porta é aplicada, as cargas do canal são atraídas para junto da interface com o óxido, como se dá nos capacitores. Além disso, este dispositivo apresenta regiões denominadas como fonte e dreno, que são dopadas com o tipo oposto ao do substrato, ou seja, se o substrato está dopado com material P, fonte e dreno estarão com N e vice-versa. Uma vez que o dispositivo esteja conduzindo, as cargas fluem da fonte para o dreno [24]. Na Figura 3, o transistor é do tipo N de modo que quando está conduzindo, se estabelece um fluxo de elétrons entre fonte e dreno. Já, em um transistor do tipo P, fonte e dreno seriam do tipo P e o substrato do tipo N e o fluxo seria de lacunas.

É evidente que a porta do transistor MOS se constitui de um capacitor e, como tal, apresenta suas características. É importante destacar que, ao se aplicar uma tensão na porta, é induzido no canal um campo elétrico e um potencial e, ao se aplicar a equação de Poisson no interior do canal, obtém-se as expressões a seguir.

O campo elétrico no interior da camada de silício (ξ) é representado pela equação [25]:

$$\xi(x) = \frac{q \cdot N_A}{\epsilon_{si}} \cdot (-x + d) \quad (1)$$

E o potencial (Φ) pela equação:

$$\phi(x) = \frac{q \cdot N_A}{\epsilon_{si}} \cdot \left(\frac{x^2}{2} - x \cdot d + \frac{d^2}{2} \right) \quad (2)$$

onde N_A é a densidade de átomos de dopantes aceitadores, ϵ_{si} é a permissividade do silício, d é a extensão da região de depleção e x é a posição na camada de silício em que se deseja determinar o campo elétrico ou o potencial

Ainda, ao se elevar a tensão de porta (V_{GS}), e ao se chegar a uma dada intensidade dessa tensão, o dispositivo passa para o estado ligado. Esse ponto em particular recebe o nome de tensão de limiar (V_{TH}) [26]. De forma bastante primária, a partir dessa tensão, se forma junto à porta uma camada de cargas de inversão, o que permite a ocorrência de uma corrente entre fonte e dreno (I_{DS}).

As equações (3) e (4) [25], são expressões simplificadas que podem ser utilizadas para obter-se a corrente entre fonte e dreno (I_{DS}) tanto quando o dispositivo opera em triodo como em saturação, respectivamente.

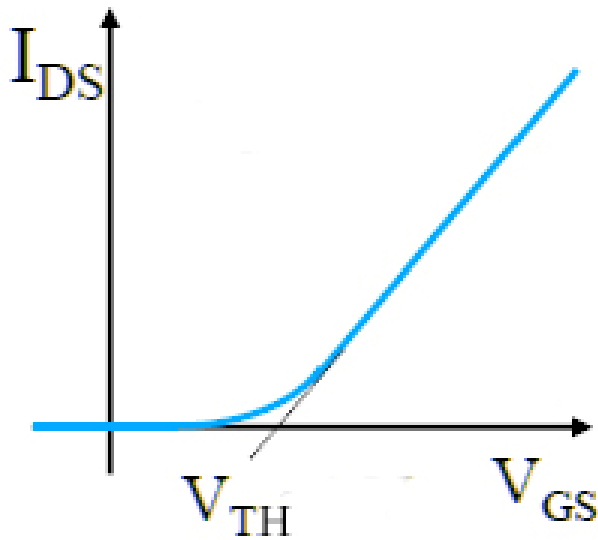
$$I_{DS} = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3)$$

$$I_{DS} = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot \frac{(V_{GS} - V_{TH})^2}{2} \quad (4)$$

onde μ_n é a mobilidade dos elétrons, C_{ox} é a capacitância do óxido, W é a largura do canal, L é o comprimento do canal e V_{DS} é o potencial aplicado entre dreno e fonte.

Ao se elevar o V_{GS} gradualmente, o dispositivo vai da acumulação para a tensão de faixa plana (V_{FB}), passa por V_{TH} e então, começa a conduzir corrente. Este comportamento acima da tensão de limiar se torna claro ao observar a curva característica $I_{DS} \times V_{GS}$ esboçada na Figura 4.

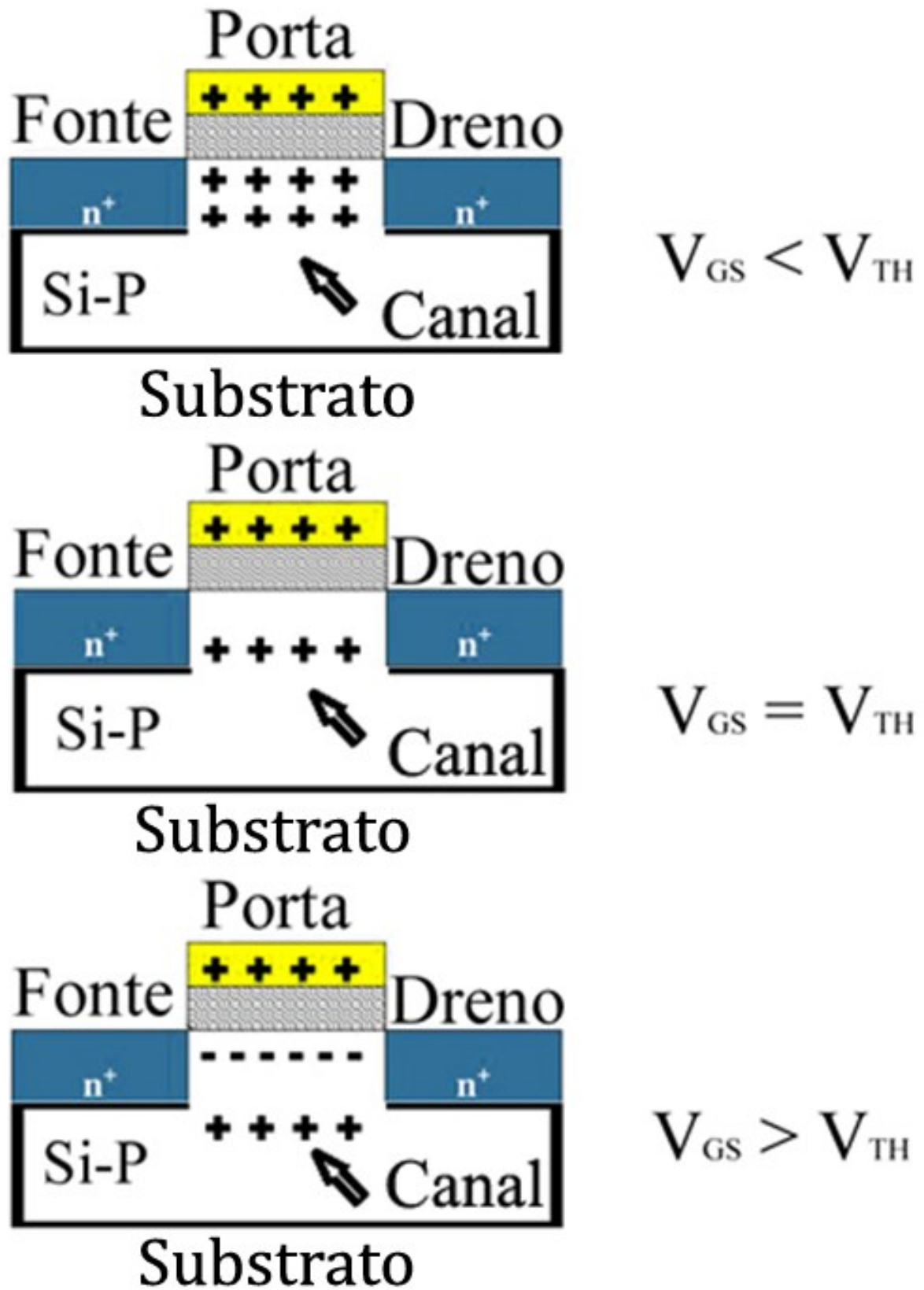
Figura 4 - Curva característica $I_{DS} \times V_{GS}$



Fonte: Autor

De forma bastante evidente, pode-se observar, na Figura 5, o comportamento das cargas com o incremento do V_{GS} , onde os sinais “-” e “+” indicam cargas móveis no canal, induzidas pela variação da tensão de porta.

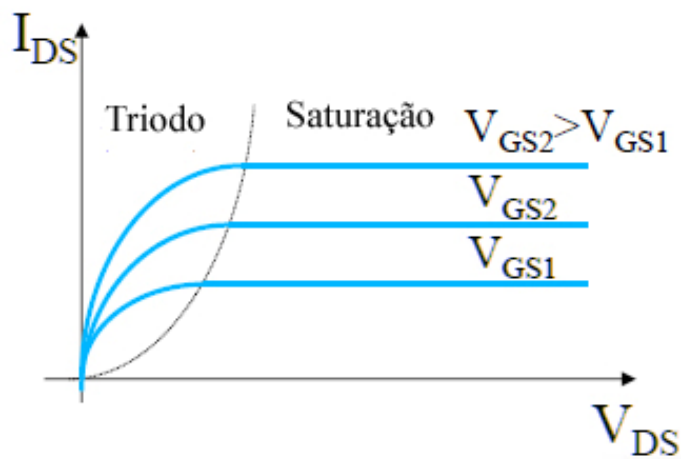
Figura 5 - Comportamento das cargas em função do V_{GS}



Fonte: Autor

A incidência de uma tensão de dreno (V_{DS}) se faz necessária para induzir uma diferença de potencial entre fonte e dreno. É possível modular os regimes de operação do transistor. A priori, o transistor estará operando em acumulação com o $V_{GS} < V_{FB}$ (tensão de faixa plana) e $V_{DS} = 0$ V. Ao se alterar V_{GS} de modo que $V_{FB} < V_{GS} < V_{TH}$, o transistor operará em depleção, enquanto que com $V_{GS} > V_{TH}$ e o transistor estará em inversão. Com $V_{GS} > V_{TH}$ e $V_{DS} < V_{GS} - V_{TH}$ o transistor estará operando em triodo e com $V_{GS} > V_{TH}$ e $V_{GS} - V_{TH} < V_{DS}$, o transistor estará em regime de saturação. As curvas características $I_{DS} \times V_{DS}$ apresentadas na Figura 6 ilustram os regimes de triodo e saturação.

Figura 6 - Curvas da corrente de dreno em função de V_{GS} e V_{DS} indicando os regimes de operação do transistor



Fonte: Autor

2.1.2 Parâmetros elétricos do transistor MOS

Diversos parâmetros, como tensão de limiar, inclinação de sublimiar, transcondutância, entre outros, são utilizados para caracterizar eletricamente os dispositivos de tecnologia MOS. Em última instância esses parâmetros representam a eficiência dos dispositivos tanto para aplicações analógicas como digitais.

2.1.2.1 Extração da tensão de limiar

A tensão de limiar é um parâmetro fundamental para se avaliar o comportamento de um dado transistor e é particularmente importante para as análises apresentadas posteriormente. Uma expressão (de primeira ordem) é apresentada a seguir [25]:

$$V_{TH} = \frac{q \cdot N_A \cdot d_{max}}{C_{ox}} + 2\phi_F - \frac{Q_{SS}}{C_{ox}} + \phi_{MS} \quad (5)$$

sendo que C_{ox} é a capacitância do óxido de porta, q é a carga do elétron, Q_{SS} é a densidade de carga de interface no óxido de silício, ϕ_{MS} é a diferença da função trabalho entre o metal e o semiconductor, N_A é a concentração de dopantes aceitadores e d_{max} é a máxima profundidade da região de depleção e segue a expressão [25]:

$$d_{max} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_A}} \quad (6)$$

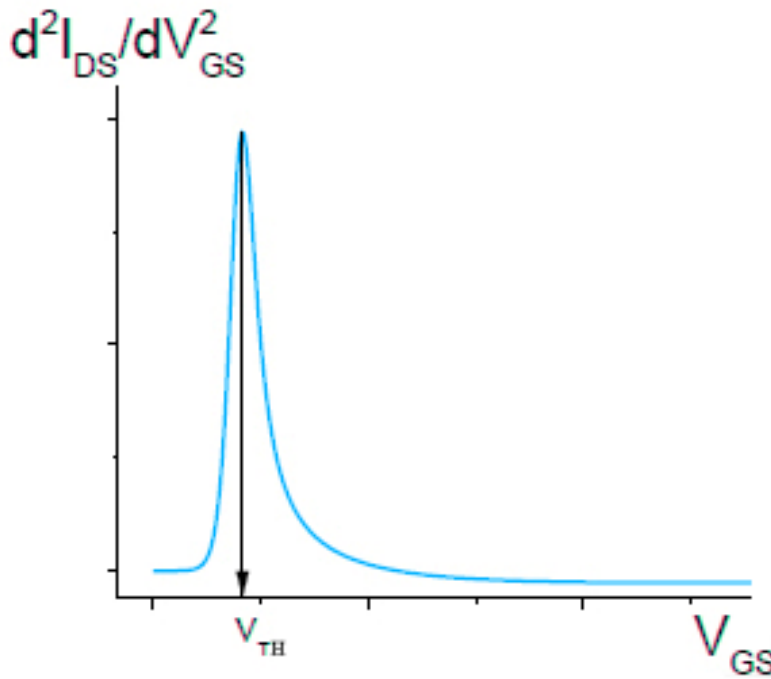
sendo o potencial de Fermi ϕ_F expresso por:

$$\phi_F = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (7)$$

onde K é a constante de Boltzmann, T é a temperatura e n_i é a concentração intrínseca de portadores.

Existem várias formas de se obter V_{TH} a partir da curva I_{DS} x V_{GS} . Talvez a mais comumente utilizada seja o método da segunda derivada, que consiste em derivar duas vezes a curva da corrente de dreno em função de V_{GS} ($\frac{d^2 I_{DS}}{d^2 V_{GS}}$). O valor de V_{GS} para o ponto de máximo corresponde ao V_{TH} , como ilustrado na Figura 7.

Figura 7 - Extração da tensão de limiar pelo método da segunda derivada



Fonte: Autor

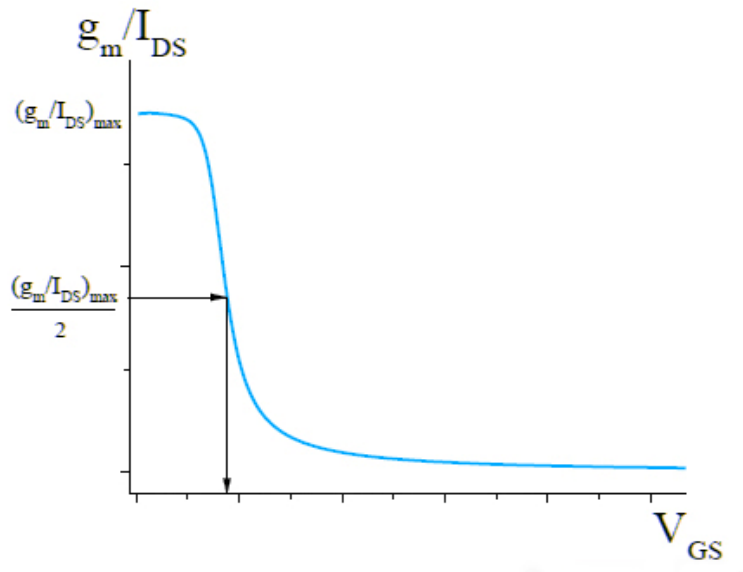
Outro método bastante confiável é o de g_m/I_{DS} . Essa razão independe da mobilidade, sendo assim, ele é eficiente para se obter o V_{TH} em transistores de múltiplas portas pois é insensível ao fenômeno da inversão de volume [27]. Esta pode ser expressa por [25]:

$$\left(\frac{g_m}{I_{DS}}\right)_{no\ limiar} = \frac{\left(\frac{g_m}{I_{DS}}\right)_{MAX}}{2} \quad (8)$$

onde g_m é a transcondutância, definida como a derivada da corrente de dreno em função da tensão de porta.

Essa condição representa o regime de inversão moderada, na qual, os componentes de difusão e deriva da corrente de dreno são iguais. Sendo assim, o V_{TH} pode ser obtido diretamente a partir da curva $\frac{g_m}{I_{DS}} \times V_{GS}$, como exposto na Figura 8:

Figura 8 - Extração da tensão de limiar pelo método g_m/I_{DS}

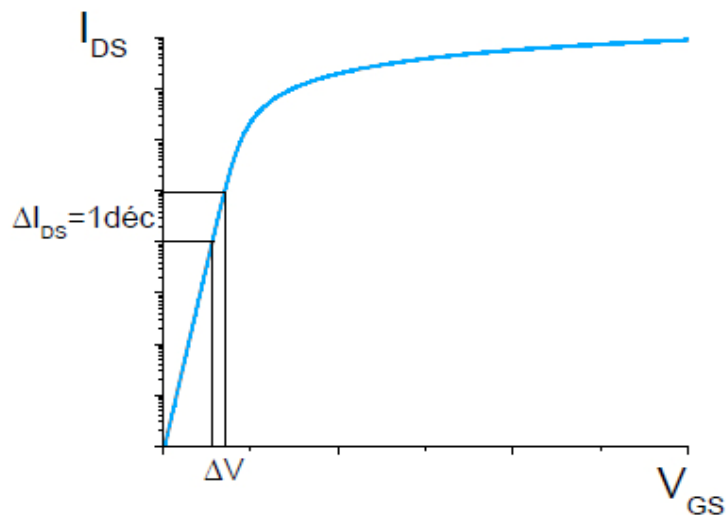


Fonte: Autor

2.1.2.2 Inclinação de sublimiar

A inclinação de sublimiar é definida como a variação da tensão de porta necessária para aumentar a corrente de dreno em uma década, como indicado na Figura 9. Ainda nessa mesma figura, é apresentado um esboço da característica $I_{DS} \times V_{GS}$ de um transistor MOS com o eixo da corrente em escala logarítmica, onde é indicada a característica de sublimiar do transistor.

Figura 9 - Extração da inclinação de sublimiar a partir da curva da corrente de dreno em função de V_{GS} de um transistor MOS



Fonte: Autor

A principal componente na região de subliminar é a corrente de difusão, que apresenta dependência exponencial com V_{GS} , conforme equação (9) [25]:

$$S = \frac{\partial V_{GS}}{\partial (\log(I_{DS}))} \quad (9)$$

O limite teórico para S é próximo de 60 mV/déc [28] e pode ser obtido a partir da expressão (10) [25], a se considerar o fator de corpo (n) igual à unidade.

$$S = n \frac{kT}{q} \ln 10 \quad (10)$$

onde o fator de corpo, tem limite mínimo de 1, k é a constante de Boltzmann, T é a temperatura e q é a carga do elétron.

2.1.2.3 Transcondutância

A transcondutância é a medida da efetividade do controle da corrente de dreno pela tensão de porta. Determina-se o valor da transcondutância, derivando-se a equação da corrente de dreno (I_{DS}) em relação ao potencial de porta (V_{GS}) como na equação (11) [25]:

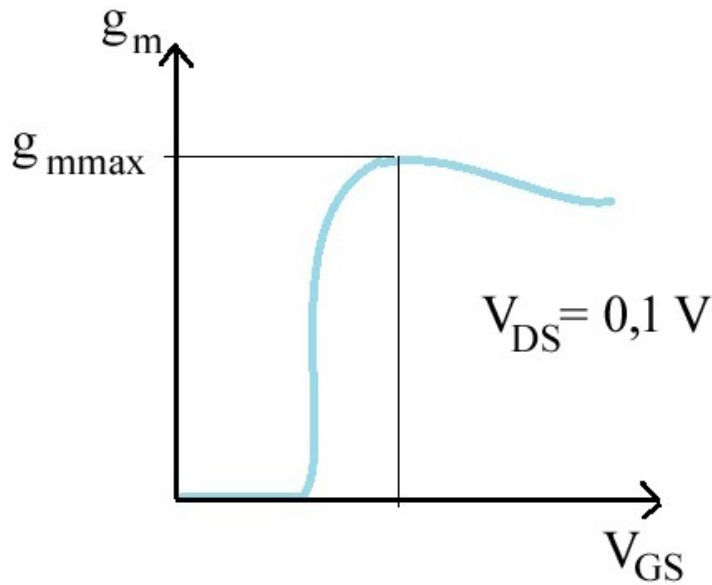
$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (11)$$

Utilizando-se a relação linear entre a mobilidade e a transcondutância para baixos valores de V_{DS} , é possível se obter a expressão (12) [25]. Conceitualmente, tal expressão é válida utilizando-se um transistor de comprimento de canal elevado no ponto de máxima transcondutância. A Figura 10 mostra o comportamento da curva de transcondutância que após seu ponto de máximo, exibe uma degradação.

$$g_m = \frac{W \cdot C_{ox} \cdot V_{DS}}{L} \cdot \mu_N \quad (12)$$

onde V_{DS} é a tensão de dreno, μ_N é a mobilidade das cargas, C_{ox} é a capacitância do óxido, W é a largura do canal e L o comprimento do canal.

Figura 10 - Curva característica da Transcondutância em função de V_{GS}



Fonte: Autor

2.1.2.4 Mobilidade de baixo campo

A mobilidade representa a facilidade de deslocamento de portadores de carga pelo canal do dispositivo ao se utilizar um transistor de comprimento de canal elevado, no ponto de máxima transcondutância. Com a equação (13)[25], pode-se obter a mobilidade de baixo campo.

$$\mu_0 = \frac{L}{W \cdot C_{ox} \cdot V_{DS}} \cdot g_{m_{max}} \quad (13)$$

sendo $g_{m_{max}}$ o ponto de máxima transcondutância.

A mobilidade de baixo campo somente pode ser obtida para curvas extraídas com baixos valores de V_{DS} , de modo que o campo elétrico lateral induzido por esse V_{DS} não influencie a mobilidade dos portadores.

2.1.2.5 Tensão Early

A *Tensão Early* (V_{EA}) pode ser obtida graficamente a partir do prolongamento da reta apresentada pela corrente na região de saturação em função da tensão de dreno até o ponto de cruzamento do eixo V_{DS} . Também é representada pela aproximação [25]:

$$|V_{EA}| \cong \frac{I_{Dsat}}{g_{Dsat}} \quad (15)$$

sendo I_{Dsat} a corrente de dreno na saturação e g_{Dsat} a transcondutância de dreno na saturação.

2.1.2.6 Ganho de tensão de malha aberta

O ganho de tensão de malha aberta é uma grandeza que se relaciona principalmente com transistores operando como amplificadores e obedece a relação da equação (14)[29][25]:

$$A_V = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} |V_{EA}| \quad (14)$$

onde g_D é a transcondutância de dreno e se expressa da seguinte forma:

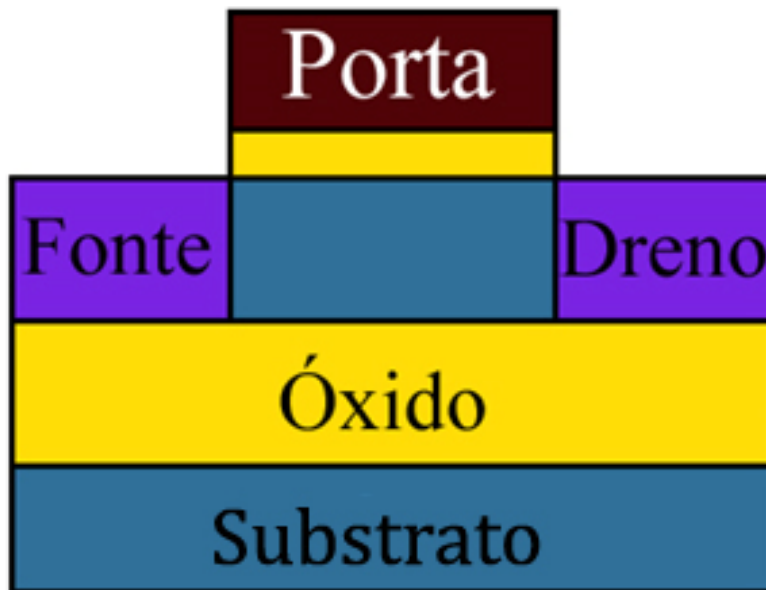
$$g_D = \frac{dI_{DS}}{dV_{DS}} \quad (15)$$

2.2 TRANSISTOR SOI

O primeiro transistor SOI MOSFET de porta única, produzido antes de 1964, foi construído utilizando a tecnologia silício sobre safira (SOS) [30]. Desde então, foram introduzidos vários avanços até que, nos anos oitenta, foi proposto o transistor SOI MOSFET totalmente depletado com uma maior transcondutância, maior corrente de saturação e uma melhor inclinação de sublimiar [31]. Em função da facilidade dos processos de fabricação em substrato SOI em detrimento do SOS, os dispositivos SOI MOSFET, passaram a ser considerados mais promissores.

A característica mais marcante de um dispositivo SOI é a camada de óxido enterrado que separa a região ativa da lâmina do substrato. Isso confere a esse dispositivo um comportamento diferenciado e em muitos pontos, melhorado se comparado aos dispositivos MOS convencionais. A Figura 11 ilustra a seção transversal de um dispositivo SOI.

Figura 11 - Dispositivo SOI



Fonte: Autor

2.2.1 Fabricação de inversores MOS e SOI

As lâminas MOS e SOI diferem, pois, a lâmina SOI apresenta uma camada de óxido enterrado. Esse fator faz com que, a princípio, a lâmina SOI seja mais cara, porém, do ponto de vista construtivo, os dispositivos SOI tem menos etapas. Os dispositivos JNTs estudados neste trabalho, também são crescidos em lâminas SOI. A Figura 12 mostra a diferença das lâminas de silício utilizadas para dispositivos MOS e SOI.

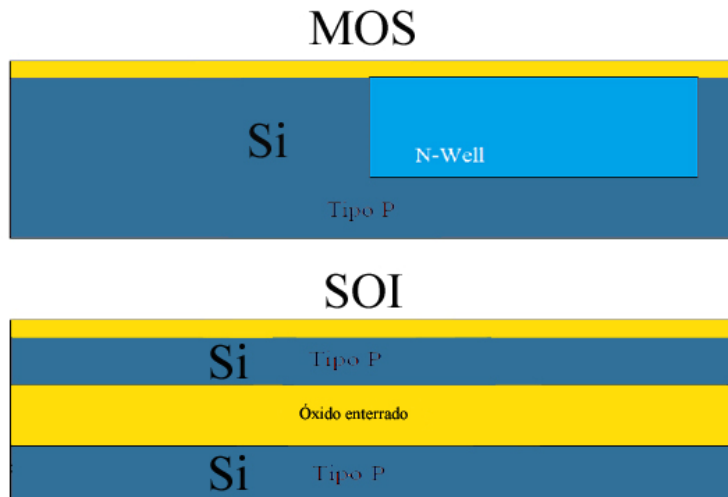
Figura 12 - Lâminas de silício MOS e SOI



Fonte: Autor

Para a implementação de dispositivo P-MOS em circuitos CMOS construído em lâminas convencionais é necessário implantar uma cavidade tipo N (NWELL). Para tanto, se realiza a oxidação térmica, a fotogração, corrosão do SiO_2 e a implantação iônica do fósforo, como indicado na Figura 13. Já para os dispositivos SOI, essa técnica não se faz necessária.

Figura 13 - Cavidade NWELL do dispositivo MOS em comparação com o SOI



Fonte: Autor

O leiaute de um inversor SOI é consideravelmente mais simples que do MOS. A parte disso, é mister destacar que a implantação *anti-punchthoronugh* [32] é utilizada para os dispositivos MOS mas não para o SOI camada fina. Para o SOI camada fina, a dopagem da região ativa é definida em uma única implantação iônica rasa e um menor número de etapas fotolitográficas são realizadas no processo de fabricação.

Com relação as especificidades da confecção de dispositivos JNTs. Sua própria estrutura, com isonomia de dopantes entre fonte, dreno e canal, demonstra maior facilidade de fabricação em relação a dispositivos modo inversão.

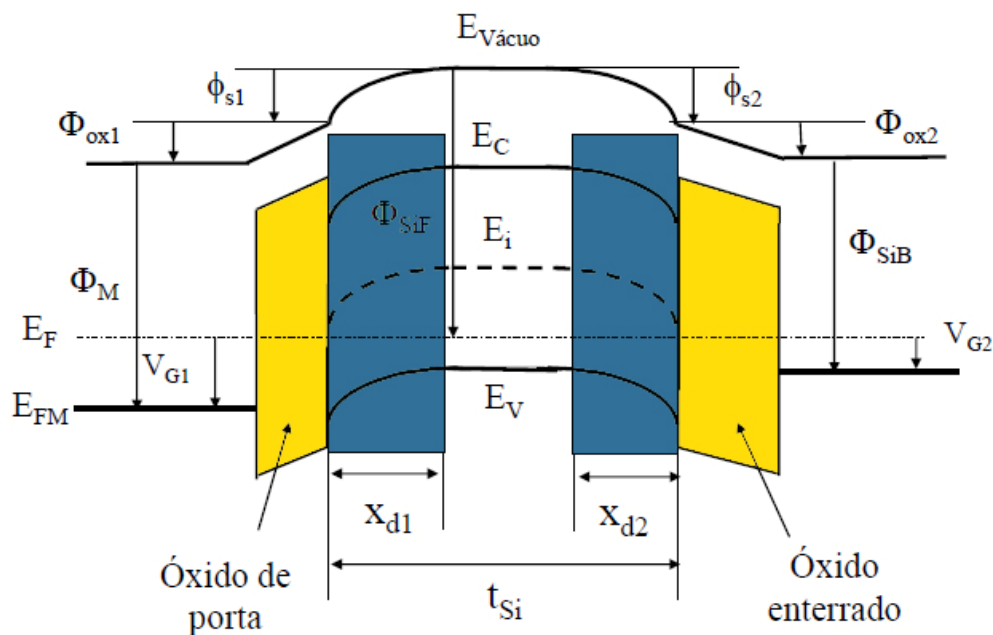
2.2.2 Distinção entre dispositivos PDSOI e FDSOI

As características mais marcantes que os dispositivos SOI apresentam são a espessura da camada de Si (t_{si}) e o óxido enterrado. Nesse contexto, existem dois tipos de transistores SOI: os parcialmente depletados (PDSOI) e os completamente depletados (FDSOI). O que difere os dispositivos SOI parcialmente depletados dos SOI totalmente depletados é a profundidade da região de depleção. Para o PDSOI, essa região nunca ocupa toda a camada de

silício ($t_{\text{si}} > 2 \cdot d_{\text{max}}$), já no FDSOI toda camada de silício apresenta depleção ($t_{\text{si}} < d_{\text{max}}$) quando o dispositivo está polarizado em regime de condução.

Se $t_{\text{si}} > 2 \cdot d_{\text{max}}$ não há interação entre as regiões de depleção da primeira e segunda interfaces, ou seja, há uma porção neutra entre as regiões de depleção. Isso proporciona que dispositivos PDSOI se comportem de forma semelhante aos dispositivos MOS, caso haja um contato na região neutra [33]. O diagrama de bandas de energia da Figura 14, que resulta do equilíbrio térmico com o canal na depleção, deixa mais claro esse comportamento.

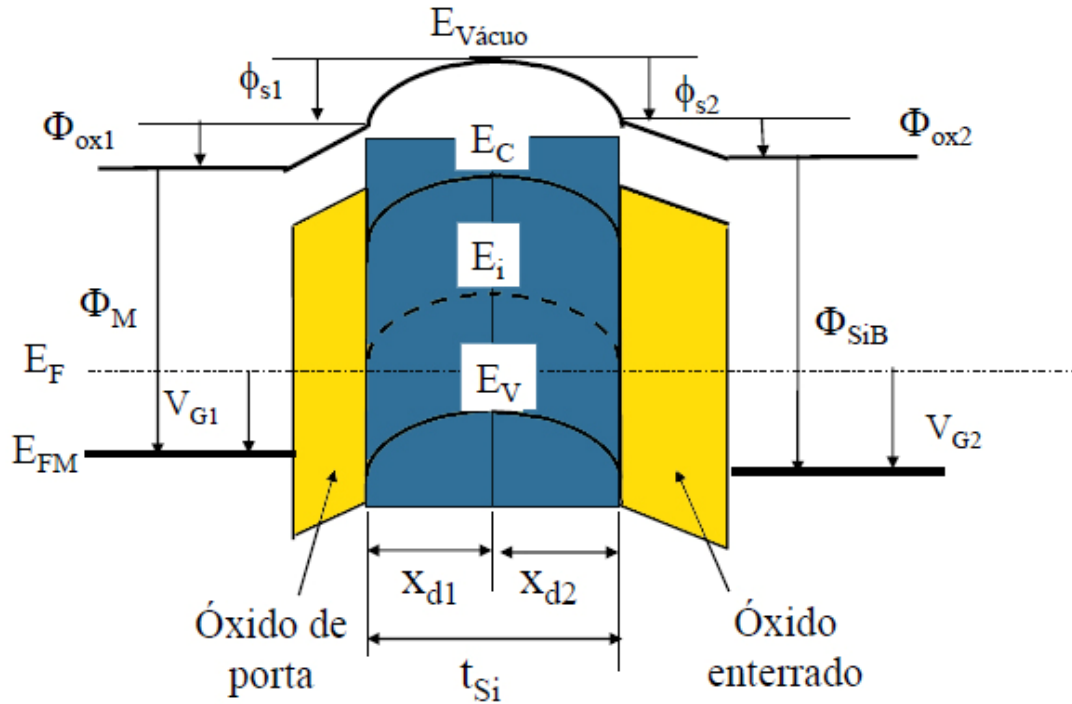
Figura 14 - Diagrama de bandas para dispositivos PDSOI



Fonte: Autor

Já, para $t_{\text{si}} < d_{\text{max}}$, o silício do canal está totalmente depletado ao se polarizar o dispositivo com $V_{\text{GS}} \geq V_{\text{TH}}$ e isso independentemente da tensão de substrato. O diagrama de bandas na condição de depleção é mostrado na Figura 15 abaixo.

Figura 15 - Diagrama de bandas para dispositivos FDSOI



Fonte: Autor

Nas Figuras 14 e 15 o t_{Si} é a espessura da região de silício no canal, E_C é o nível de condução, E_i é o nível intrínseco, E_F é o nível de Fermi, E_V é o nível de valência, E_{FM} é o nível de Fermi do metal, $E_{Vácuo}$ é o nível de energia do vácuo, X_{d1} e X_{d2} são a espessura das regiões de depleção da primeira e segunda interfaces respectivamente, V_{G1} e V_{G2} são as tensões aplicadas à porta e ao substrato, Φ_{S1} e Φ_{S2} são os potenciais de superfície da primeira e segunda interfaces, Φ_{OX1} e Φ_{OX2} são as quedas de potencial no óxido de porta e enterrado, Φ_M é a função trabalho do metal e Φ_{SiB} é a função trabalho do silício.

Ao se confrontar as características elétricas dos dispositivos PDSOI com os FDSOI, o segundo apresenta várias vantagens. Dentre elas, algumas das mais relevantes são: maior mobilidade das cargas, melhor transcondutância, menores efeitos de canal curto, menor incidência de elétrons quentes e menor inclinação de sublimar [34].

2.2.3 Transistor SOI de múltiplas portas

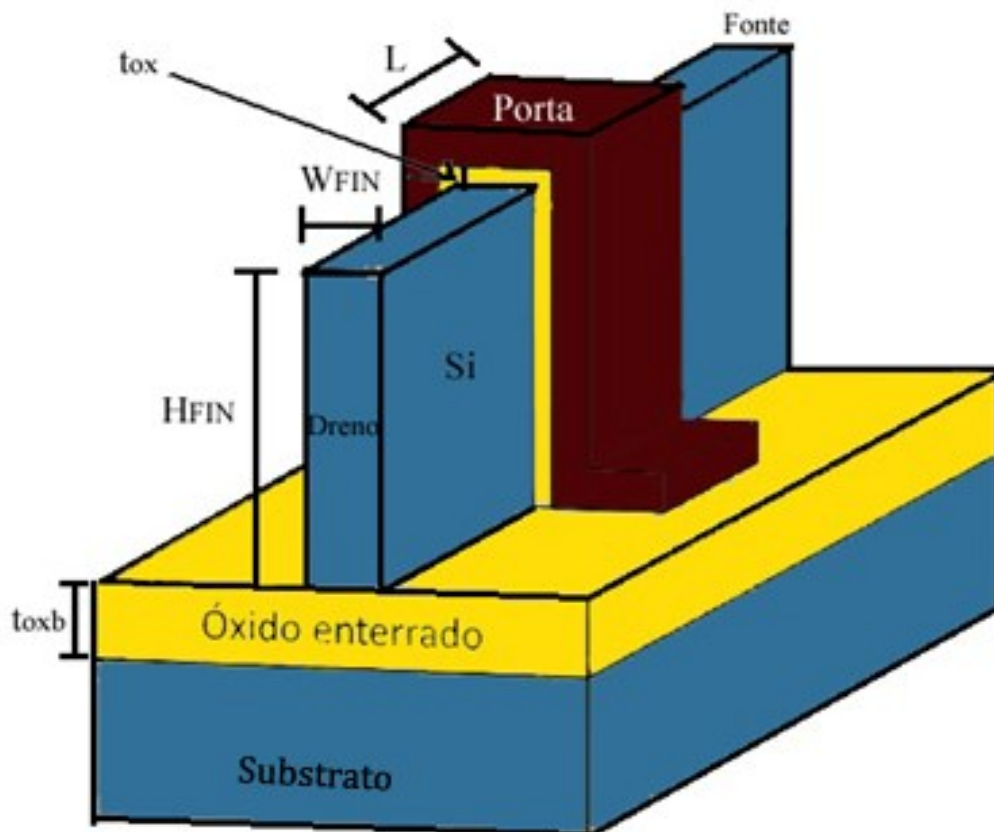
Neste ponto é oportuno introduzir o conceito dos dispositivos de múltiplas portas. É importante frisar que essa não é uma tecnologia exclusiva dos dispositivos SOI, e também se aplica a outros dispositivos.

A necessidade de promover, tanto o aumento da corrente, quanto uma melhoria na característica de canal curto, motivaram as pesquisas que desencadearam o surgimento de

dispositivos de múltiplas portas, como porta dupla, tripla e quádrupla. Os dispositivos de múltiplas portas são uma solução para aumentar a capacidade de escalamento e de integração [35], uma vez que promovem um melhor acoplamento capacitivo, aumentando o controle das cargas na região de canal pela porta, de modo a reduzir os efeitos de canal curto.

Em meados da década de oitenta, foi proposto o primeiro transistor SOI MOSFET de porta dupla em geometria planar, o XMOS [36]. No ano de 1989, foi fabricado o primeiro transistor de porta dupla utilizando uma geometria vertical, o transistor DELTA (*Fully Depleted Lean-channel Transistor*) [37] e posteriormente, surgiram os transistores de canais verticais, tais como o SOI MOSFET *triangular-wire*, FinFET [38], entre outros. A Figura 16 apresenta o exemplo de um transistor SOI de porta dupla com geometria vertical, em que a altura da camada de silício é bem superior à sua largura de modo que o efeito da porta superior pode ser desprezado.

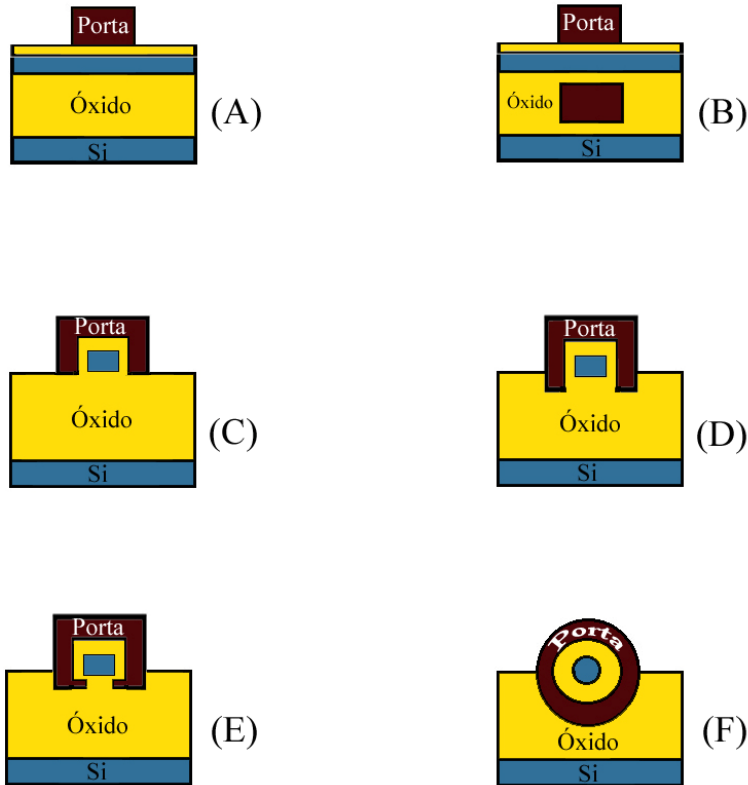
Figura 16 - Transistor SOI de porta dupla



Fonte: Autor

A Figura 17 apresenta a seção transversal de diversos dispositivos de múltiplas portas fabricados na tecnologia SOI.

Figura 17 - Dispositivos SOI com diferentes portas: (A) SOI planar, (B) porta dupla horizontal, (C) porta tripla, (D) Pi-gate, (E) ômega gate e (F) GAA



Fonte: Autor

A Figura 17 (A) corresponde a um transistor SOI de porta simples, (B) porta dupla, (C) porta tripla, (D) porta Π , (E) porta Ω e (F) GAA. Vale destacar que a tecnologia que *Gate-All-Around* (GAA-FET) está migrando da pesquisa para os chips comerciais. A SAMSUNG anunciou o lançamento de processadores com dispositivos GAA-FET com comprimento de canal de 3 nm para 2022 [39] e a TSMC de dispositivos GAA-FET de 2 nm para 2023 [40].

2.2.4 Características elétricas dos dispositivos SOI

Como já foi apontado, os dispositivos SOI diferem dos MOS convencionais por possuírem uma camada de óxido enterrado, sobretudo os dispositivos FDSOI, que, além dessa característica, têm seu canal totalmente depletado quando operam em regime de condução. Isso faz com que esse dispositivo se caracterize eletricamente de forma singular. Para enfatizar seus atributos, é importante destacar alguns pontos que serão discutidos a seguir.

2.2.4.1 Tensão de porta

Para os dispositivos SOI totalmente depletados, existe a interação entre as camadas de depleção provenientes da primeira e segunda interfaces e é preciso se considerar a influência que a tensão aplicada na primeira interface, tem sobre o potencial de superfície da segunda interface e vice-versa. O modelo de Lim e Fossum [41] define as equações que levam em conta essas características [25]:

$$V_{GS1} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \cdot \phi_{S2} - \frac{\frac{1}{2} \cdot Q_{depl} + Q_{inv}}{C_{ox1}} \quad (16)$$

$$V_{GS2} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \cdot \phi_{S1} - \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \cdot \phi_{S2} - \frac{\frac{1}{2} \cdot Q_{depl} + Q_{S2}}{C_{ox2}} \quad (17)$$

assim, Φ_{MS1} e Φ_{MS2} são a diferença de função trabalho entre o metal e o semiconductor para a primeira e segunda interface respectivamente, Q_{ox1} e Q_{ox2} são as cargas fixas no óxido da primeira e segunda interfaces, C_{ox1} e C_{ox2} são as capacitâncias do óxido na primeira e segunda interfaces por unidade de área, C_{Si} é a capacitância do silício por unidade de área, ϕ_{S1} e ϕ_{S2} são os potenciais de superfície para a primeira e segunda interfaces, Q_{depl} é a carga da região de depleção por unidade de área e Q_{inv} é a carga da região de inversão por unidade de área.

2.2.4.2 Tensão de limiar

De maneira análoga, para se obter a tensão de limiar é necessário levar em consideração as duas interfaces e suas condições de polarização: acumulação, depleção ou inversão. Para tanto, as seguintes equações podem ser utilizadas [25]:

Para segunda interface em inversão ($\phi_{S1} = \phi_{S2} = 2 \cdot \phi_F$).

$$V_{TH1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2 \cdot \phi_F - \frac{Q_{depl}}{2 \cdot C_{ox1}} \quad (18)$$

Para a segunda interface em acumulação ($\phi_{S1} = 2 \cdot \phi_F$; $\phi_{S2} = 0$).

$$V_{TH1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot 2 \cdot \phi_F - \frac{Q_{depl}}{2 \cdot C_{ox1}} \quad (19)$$

Para segunda interface em depleção ($0 < \phi_{S2} < 2 \cdot \phi_F$).

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{Si1} \cdot C_{ox2}}{C_{ox1}(C_{Si1} + C_{ox2})} \cdot (V_{GS2} - V_{GS2,acc2}) \quad (20)$$

considerando que $V_{GS2,acc2}$ é a tensão na segunda interface com a mesma em acumulação, Φ_{MS1} é a diferença de função trabalho entre o metal e o semiconductor para a primeira interface, Q_{depl} é a carga da região de depleção por unidade de área, Q_{ox1} é a carga fixas no óxido da primeira interface, ϕ_F é o potencial de Fermi, C_{Si} é a capacitância do silício por unidade de área, C_{Si1} é a capacitância do silício da primeira interface por unidade de área e C_{ox1} e C_{ox2} são as capacitâncias do oxido na primeira e segunda interfaces por unidade de área e C_{depl} é a capacitância da depleção por unidade de área.

Essas expressões são válidas para uma espessura das camadas de acumulação e inversão muito menores que t_{si} de modo que possam ser consideradas desprezíveis.

2.2.4.3 Corrente de dreno

A saber-se que os regimes de funcionamento de um transistor SOI totalmente depletado são os mesmos de um MOS convencional [42], é possível deduzir uma expressão analítica para a corrente que flui entre fonte e dreno (I_{DS}) a partir da aproximação de canal gradual. As expressões para I_{DS} , devem considerar se o dispositivo está operando como triodo ou saturação, e ainda, se a segunda interface está em acumulação ou depleção. As equações a seguir contemplam essas possibilidades [25]:

Para o dispositivo operando em triodo:

$$I_{DS} = \frac{\mu \cdot W \cdot C_{ox1}}{L} \left[(V_{GS1} - V_{TH1}) V_{DS} - (1 + \alpha) \cdot \left(\frac{V_{DS}^2}{2} \right) \right] \quad (21)$$

Para o dispositivo operando em Saturação:

$$I_{DS} = \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot \frac{(V_{GS1} - V_{TH1})^2}{2(1 + \alpha)} \quad (22)$$

A variável α representa o fator de acoplamento capacitivo de acordo com a condição de polarização da segunda interface e seus valores podem ser obtidos das expressões abaixo.

Para segunda interface em acumulação:

$$\alpha = \frac{C_{Si}}{C_{ox1}} \quad (23)$$

Para a segunda interface em depleção:

$$\alpha = \frac{C_{Si} \cdot C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \quad (24)$$

Ou ainda, é possível utilizar essas mesmas equações para transistores MOS convencionais assumindo:

$$\alpha = \frac{C_{depl}}{C_{ox}} \quad (25)$$

onde, W é a largura do canal, L é o comprimento do canal, μ é a mobilidade das cargas, C_{Si} é a capacitância do silício por unidade de área, C_{ox1} e C_{ox2} são as capacitâncias do óxido na primeira e segunda interfaces por unidade de área. Vale ressaltar que não é apresentada uma expressão para o fator de acoplamento capacitivo para a segunda interface em inversão, visto que, neste caso, a porta não tem controle sobre a formação do canal.

2.2.4.4 Campo elétrico

Outra expressão importante é a do campo elétrico da primeira interface, pois esse parâmetro será alvo de estudos no decorrer do trabalho, por ter íntima relação com a degradação por efeito NBTI [43]. Para dispositivos SOI, pode ser considerada a relação abaixo no caso de dispositivos tipo N [25]:

$$\xi_{S1} = \frac{\phi_{S1} - \phi_{S2}}{t_{Si}} + \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot \epsilon_{Si}} \quad (26)$$

sendo ϕ_{S1} e ϕ_{S2} os potenciais de superfícies da primeira e segunda interfaces respectivamente, t_{Si} a espessura do canal, q a carga elementar do elétron, N_A a concentração de purezas aceitadoras tipo P e ϵ_{Si} a permissividade do silício.

2.2.4.5 Mobilidade dos elétrons no canal

A mobilidade efetiva dos elétrons ao longo da direção do canal (y) de transistores SOI é função do campo elétrico vertical e pode ser descrita por [25]:

$$\mu(\gamma) = \mu_{max} \cdot \left[\frac{E_c}{E_{eff}(\gamma)} \right]^c \quad (27)$$

onde E_c , μ_{max} , e c são parâmetros de ajuste e dependem das propriedades físicas dos dispositivos e $E_{eff}(y)$ é descrito por:

$$E_{eff}(\gamma) = \xi_{S1}(\gamma) - \frac{Q_{inv}(\gamma)}{2\epsilon_{Si}} \quad (28)$$

sendo que $Q_{inv}(y)$ é dado a partir da expressão que define V_{GS1} e o campo elétrico na primeira interface, ξ_{S1} . Para valores baixos de V_{DS} , os potenciais de superfície ϕ_{S1} e ϕ_{S2} podem ser considerados independentes de y . Se a segunda interface estiver depletada próxima da inversão, tem-se $\phi_{S1} - \phi_{S2} \cong 0$. Sendo assim, ξ_{S1} será:

$$\xi_{S1} = \frac{q \cdot N_A \cdot t_{Si}}{2\epsilon_{Si}} \quad (29)$$

Para a situação em que a segunda interface esteja em depleção e não esteja próxima da inversão, uma boa aproximação para ξ_{S1} será então:

$$\xi_{S1} \cong \frac{q \cdot N_A \cdot x_1}{\epsilon_{Si}} \quad (30)$$

onde x_1 é o ponto de mínimo potencial na camada de silício.

Ao se considerar que $x_1 < t_{Si} < x_{dmax}$, conclui-se que o campo elétrico ξ_{S1} é menor em transistores SOI que em MOS convencionais. Portanto, é esperada uma maior mobilidade superficial em transistores SOI totalmente depletados em relação à MOS convencionais. Mormente, este aumento na mobilidade só é observado nas proximidades do limiar, já que acima de V_{TH} ocorre um rápido incremento de Q_{inv} com o aumento de V_{GS1} .

2.2.4.6 Inclinação de Sublimiar

Da mesma maneira que nos dispositivos MOS, a inclinação de sublimiar (S) é definida como o inverso da inclinação da curva $\log(I_{DS}) \times V_{GS}$ no regime de sublimiar, apresentada em um gráfico semi-logarítmico, de modo similar como já apresentado para transistores MOS convencionais.

Para os dispositivos PDSOI, a expressão adequada para obter o valor de S é [25]:

$$S = \frac{k.T}{q} \ln(10) \left(1 + \frac{C_D}{C_{ox}} \right) \quad (31)$$

onde n é o fator de corpo, com o limite mínimo 1, k é a constante de Boltzmann, T é a temperatura e q é a carga do elétron.

Esta mesma expressão pode ser aplicada também a MOS convencionais. Para FDSOI, faz-se necessário considerar a segunda interface e, para tanto, substituir $(1 + \frac{C_D}{C_{ox}})$ pelo fator $(1+\alpha)$ como explicitado para o I_{DS} . A expressão (10), descrita anteriormente, leva em conta esses fatores.

Transistores FDSOI apresentam menor fator de corpo em relação ao MOS convencional. Devido a isso, sua inclinação de sublimiar é menor. Sendo assim, os baixos valores de S , próximos ao limite teórico, permitem a utilização de dispositivos com menor V_{TH} sem que ocorra aumento na corrente de fuga.

2.2.4 Dispositivos UTB e UTBB SOI

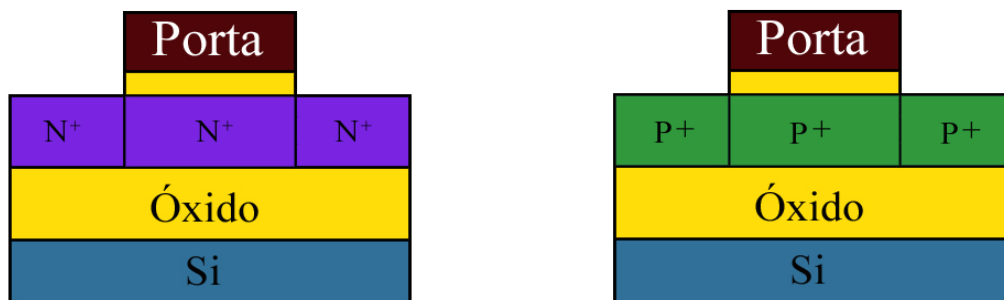
Com a miniaturização atingindo uma ordem de magnitude de algumas unidades de nanômetros, a influência indesejável das regiões de fonte e dreno na carga de depleção leva a uma perda de controle pela porta sobre a carga do canal. Deste modo, além da porta, o óxido enterrado também é alvo de bastante atenção e o resultado é a proposta do MOSFETs de corpo ultrafino (UTB) e de corpo e óxido enterrado ultrafinos (UTBB) [44, 45]. No dispositivo UTB, a redução da espessura da camada de silício (t_{Si}) tem um consequente melhor acoplamento capacitivo da estrutura, reduzindo os efeitos de canal curto (SCEs). No entanto, essa tecnologia tem a desvantagem de degradar a condutividade térmica dos dispositivos, devido à menor área de silício na região ativa [46]. Os dispositivos UTBB apresentam camadas ultrafinas de silício e óxido enterrado, onde t_{Si} é da ordem de 6 a 10 nm, enquanto a espessura da camada de óxido

enterrado gira em torno de 10 a 25 nm. Devido ao t_{box} reduzido, os transistores UTBB permitem a polarização do substrato ativo, fazendo-o funcionar como uma segunda porta que pode ser usada de forma eficiente para melhorar o desempenho do dispositivo [47].

2.3 TRANSISTOR JNT

Considerando-se a necessidade de produção de circuitos com dispositivos cada vez menores com uma taxa de integração progressivamente mais alta, observa-se que os dispositivos JNT são promissores para satisfazer esta premissa e apresentam algumas vantagens em relação a dispositivos SOI MOS. Por exemplo, ao se considerar os aspectos construtivos, uma das principais barreiras encontradas para fabricação de transistores MOS modo inversão discutidos até aqui, é o fato de que os dopantes de fonte e dreno acabam por contaminar em alguma medida o canal, pois se difundem para este durante o processo de fabricação [48]. Naturalmente, quanto menor o canal, mais significativa torna-se esta contaminação. Portanto, evitar e/ou controlar este evento danoso tem-se mostrado um grande desafio para a indústria e pesquisa [49]. Insta enfatizar que, por sua natureza, os dispositivos JNTs não enfrentam esse problema, visto que a concentração de dopantes é constante, isto é, o mesmo tipo de dopante está presente tanto na fonte e no dreno como no canal. Esta simplicidade faz com que esta tecnologia mereça uma ampla investigação de suas propriedades para se determinar sua viabilidade para atender demandas atuais e futuras. Na Figura 18, observa-se uma representação típica de um dispositivo JNT, onde é oportuno destacar a isonomia de dopantes entre fonte, dreno e canal.

Figura 18 - Secção longitudinal de transistores JNTs tipos N e P planares



Fonte: Autor

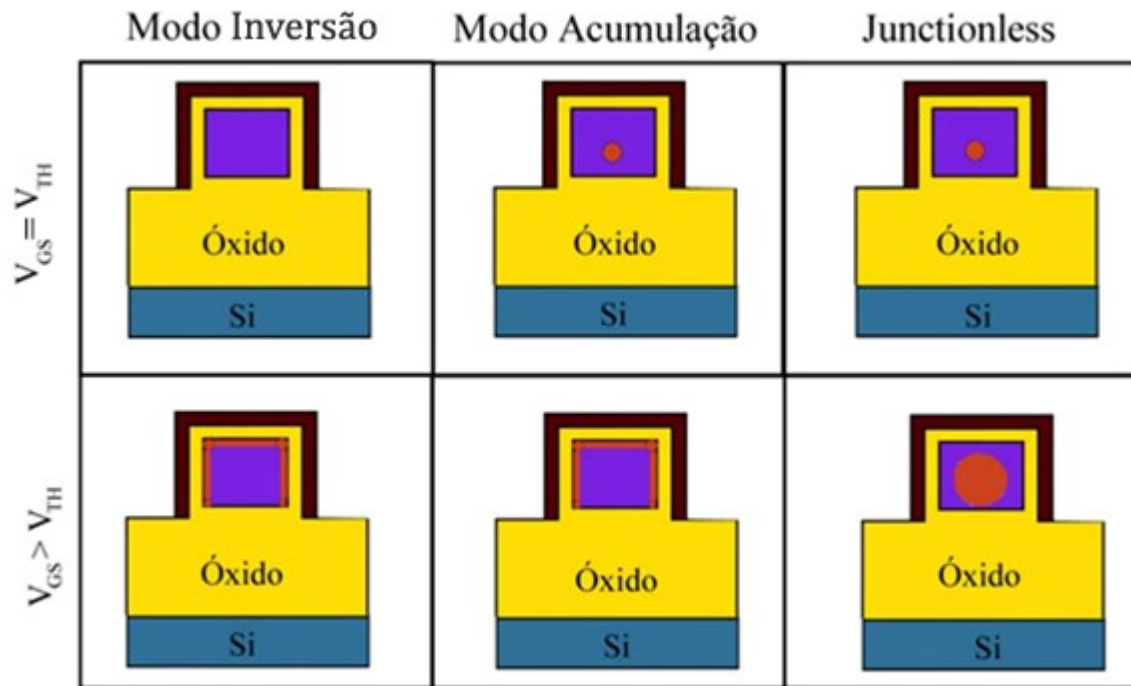
2.3.1 Modo de condução nos dispositivos JNT

Como já destacado, os dispositivos JNT apresentam o mesmo tipo de dopantes da fonte ao dreno, diferentemente dos transistores modo inversão. A concentração de dopantes é da ordem de 10^{19} cm^{-3} . Essa densidade é suficientemente grande para garantir que haverá um número considerável de átomos de dopante, mesmo para comprimentos de canais de poucos nanômetros, assim existirá um comportamento isonômico entre os diversos transistores de um circuito [50]. Por sua vez, os dispositivos modo inversão de última geração, normalmente tem uma concentração de dopantes no canal de, aproximadamente, 10^{15} cm^{-3} ou simplesmente não são dopados, pois não é possível garantir que em comprimentos de canal da ordem de 10 nm ou menores, os vários transistores tenham números semelhantes de átomos de dopantes [51].

A alta concentração de dopantes nos dispositivos JNT permite uma corrente que flui por toda a espessura da camada de silício dependendo da condição de polarização [52]. Embora a concentração de dopantes seja alta para a região de canal, ela é mais baixa que a utilizada nas regiões de fonte e dreno de transistores modo inversão. Tal fato faz com que haja uma maior influência da resistência série nos dispositivos JNT quando comparada à apresentada pelos dispositivos modo inversão [53].

Os dispositivos JNTs funcionam de maneira análoga aos dispositivos SOI modo acumulação. Porém, este não é propriamente um dispositivo modo acumulação, pois a maior parte da corrente passa pelo corpo e não pela superfície como no SOI modo acumulação [54], como evidenciado pela Figura 19, onde são comparados três modos de condução.

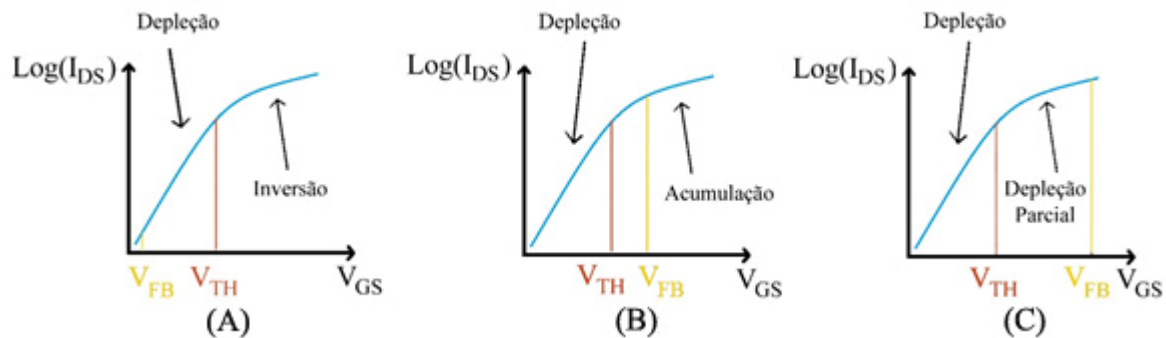
Figura 19 - Modos de condução de transistores modo inversão, acumulação e JNTs indicados na secção transversal dos dispositivos



Fonte: Autor

É importante ressaltar que os transistores sem junções e o modo acumulação diferem por conta de V_{FB} . Como no JNT V_{FB} é maior, ele opera por um maior intervalo de V_{GS} em depleção parcial. Ainda, ao se observar a Figura 18, é possível notar que, para valores de $V_{GS} = V_{TH}$, os dispositivos JNTs se comportam como outros dispositivos modo acumulação, mas para $V_{GS} > V_{TH}$, os dispositivos JNTs tem um comportamento singular. A depleção em nanofios fortemente dopado cria um grande campo elétrico, perpendicular ao fluxo de corrente quando abaixo do V_{TH} , mas acima dessa tensão, o campo elétrico cai para valores próximos de zero [55]. Este comportamento é o oposto ao observado em dispositivos de modo de inversão, onde o campo elétrico é mais alto quando o dispositivo é ligado. Na Figura 20, os mecanismos de condução do nanofio MuGFETs em modo inversão, modo acumulação e JNTs são indicados a partir de suas curvas $\log(I_{DS}) \times V_{GS}$. Nota-se que o JNT opera em depleção parcial por um intervalo de V_{GS} significativamente maior que transistores modo acumulação antes de atingir a tensão de faixa plana, enquanto o transistor modo inversão apresenta comportamento muito diferente [56].

Figura 20 - $\text{Log}(I_{DS}) \times V_{GS}$ para transistores com diferentes modos de operação: (A) modo inversão, (B) modo acumulação (C) transistor sem junções



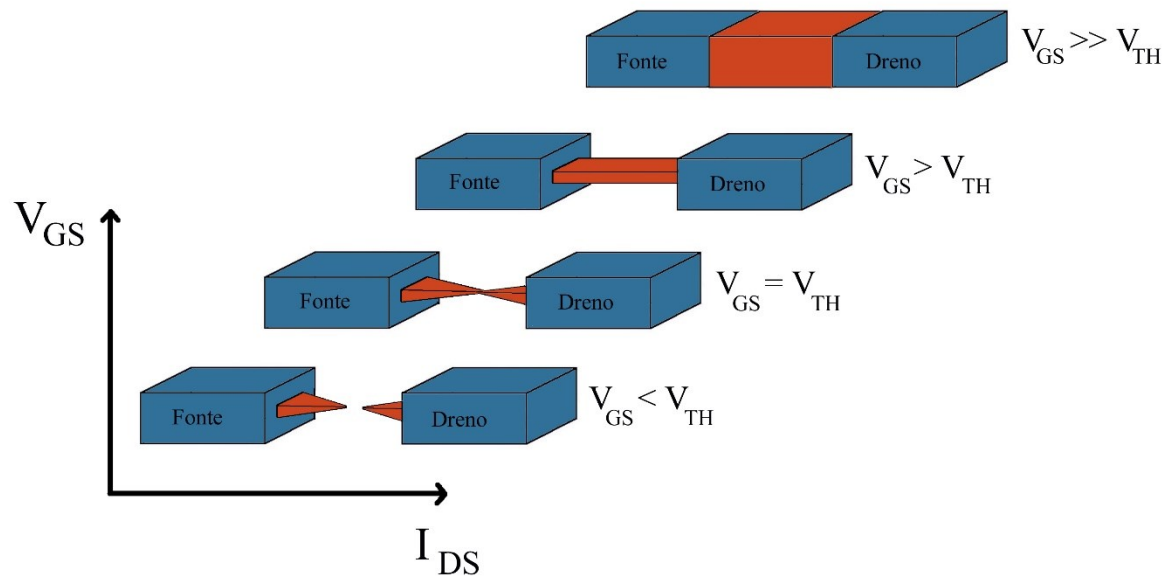
Fonte: Autor

Na figura 20, a curva da esquerda (A) se refere a dispositivos modo de inversão, a curva (B) faz referência ao modo acumulação e a (C) ao sem junções. Como pode ser observado, o JNT opera na região de depleção parcial antes de atingir o V_{FB} . Destaca-se que as posições do V_{FB} são muito diferentes entre os transistores de modo acumulação e sem junções.

2.3.2 Comportamento das cargas em dispositivos JNTs

Para melhor compreender o funcionamento dos JNTs, é importante enfatizar as características particulares dessa tecnologia. Para os dispositivos MOS sem junções, a diferença de função trabalho entre o material de porta e a camada de silício fica entre 0,5 e 1V, o que faz com que esta camada esteja totalmente depletada quando a porta é polarizada com $V_{GS} = 0$ V. Com isso, não há portadores livres para a formação de uma camada de condução. Ao se aplicar uma tensão na porta (positiva no caso de transistores tipo N e negativa no caso de tipo P), a camada de depleção terá sua profundidade diminuída e, progressivamente, uma camada não depletada surgirá com o aumento de tensão de porta até que a camada de silício deixe a depleção, permitindo o início da condução [57], que se dá longe da superfície. Ao se aumentar V_{GS} , a região neutra se expande e na tensão de faixa plana, toda a camada de silício passa a conduzir. Para tensões de porta acima da faixa plana, tem início uma componente de corrente superficial devido à acumulação de portadores junto ao óxido. Pode se observar como o canal de condução se comporta com o aumento de V_{GS} na Figura 21.

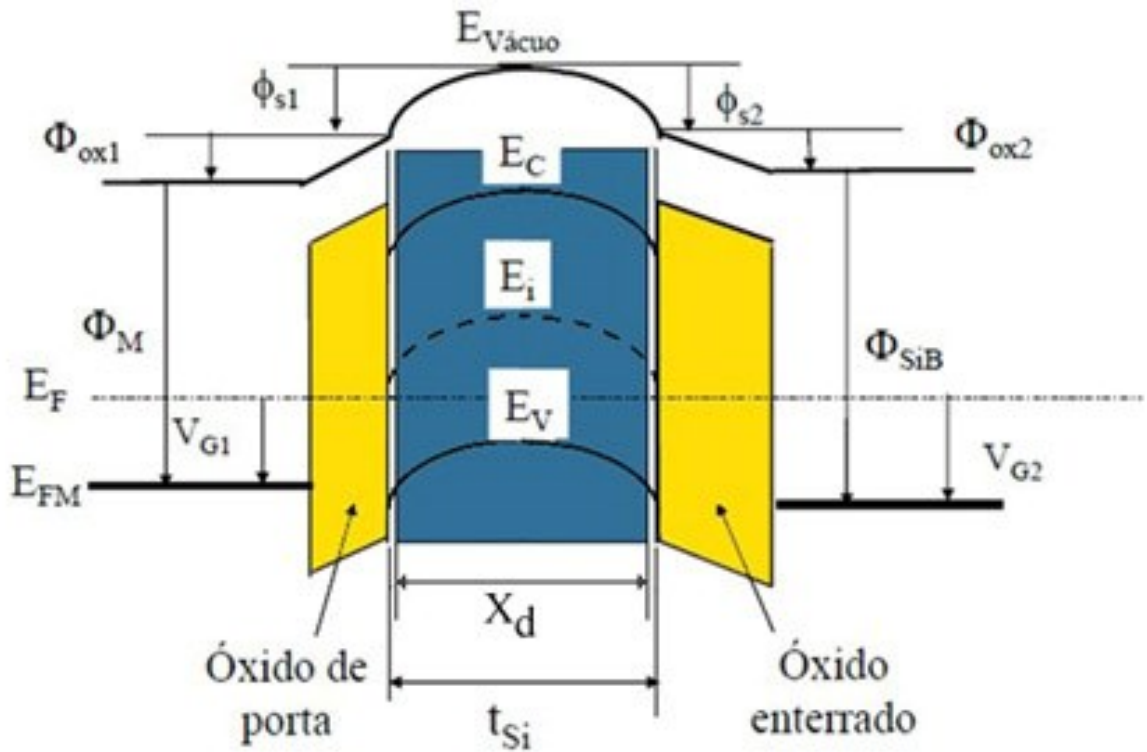
Figura 21 - Comportamento do I_{DS} no canal ao se incrementar o V_{GS}



Fonte: Autor

Os dispositivos JNTs, herdam algumas características dos FDSOI. Porém, diferentemente desses, a depleção propiciada pela porta, faz com que o dispositivo permaneça desligado. À medida que o V_{GS} aumenta, a depleção é reduzida e o canal tende a tornar-se parcialmente depletado. A Figura 22 representa o diagrama de bandas de energia para um JNT no limiar da depleção parcial.

Figura 22 - Diagrama de bandas para dispositivo JNTs



Fonte: Autor

Nas Figura 22 o t_{Si} é a espessura da região de silício no canal, E_C é o nível de condução, E_i é o nível intrínseco, E_F é o nível de Fermi, E_v é o nível de valência, E_{FM} é o nível de Fermi do metal, $E_{Vácuo}$ é o nível de energia do vácuo, X_{d1} e X_{d2} são a espessura das regiões de depleção da primeira e segunda interfaces respectivamente, V_{G1} e V_{G2} são as tensões aplicadas á porta e ao substrato, Φ_{S1} e Φ_{S2} são os potenciais de superfície da primeira e segunda interfaces, Φ_{OX1} e Φ_{OX2} , são as quedas de potencial no óxido de porta e enterrado, Φ_M é a função trabalho do metal e Φ_{SiB} é a função trabalho do silício.

2.3.3 Corrente de dreno para JNTs

A princípio, o Dr. Colinge sugeriu uma expressão para a corrente de dreno para dispositivos JNT de porta simples como postulada abaixo [58].

$$I_D \cong q \cdot \mu N_A \cdot \frac{t_{Si} \cdot W}{L} \cdot V_{DS} \quad (33)$$

onde N_A é a concentração do dopantes de semiconductor, μ é a mobilidade efetiva, q é a carga do elétron; t_{Si} , W , e L são a espessura, largura e comprimento do canal respectivamente.

Esta equação indica que o I_{DS} é controlado pela concentração de dopantes N_A e não pela capacitância de porta.

Outro exemplo de expressão para a corrente de dreno agora para dispositivos JNTs de porta dupla, também baseada em sugestões do Dr. Colinge, pode ser observada abaixo [58].

$$I_{DSat} \cong q \cdot \mu N_A \cdot \frac{t_{Si} \cdot W}{L} \cdot (V_{CH}^{sat})^2 \quad (34)$$

onde V_{CH}^{sat} é um valor fixo para tensão efetiva do canal.

Esta equação pode ser comparada com a expressão geral da corrente de dreno para MOSFETs convencionais na região de saturação ou mesmo no modo de acumulação [59].

2.3.4 Potencialidades dos dispositivos JNTs

Para se ter uma ideia do potencial dos dispositivos JNT, é interessante citar pesquisas recentes que demonstram que, para comprimentos de canal mais curtos ($L = 10$ nm), tais dispositivos apresentam inclinação de subliminar abaixo de 70 mV/década e melhores características DIBL se comparados com dispositivos modo inversão [60]. Ainda é importante notar que a corrente de desligamento é determinada unicamente pelo controle eletrostático da porta e não pela corrente de fuga de um diodo com polarização reversa. Isso torna o dispositivo menos sensível à temperatura.

Dr. A Kranti, J P Colinge e seu grupo de pesquisa detalhou as diretrizes de projeto da estrutura dos dispositivos JNTs [53]. O Comportamento analógico do transistor sem junção em temperaturas variando de 100K a 473K é apresentado em [61]. Ainda, os autores apontaram que o transistor mostra melhores propriedades analógicas do que as dos dispositivos convencionais homólogos do modo inversão [62]. Alto desempenho em uma extensa faixa de temperatura [63, 64] e reduzidos efeitos de canal curto [65, 66] dessas estruturas também foram observados. Uma extensão do trabalho desenvolvido em [61] mostrou o enorme potencial do Junctionless MOSFETs para aplicações analógicas / RF de ultrabaixa potência [67].

Ainda, se tratando de dispositivos diminutos, é possível citar o experimento com o dispositivo GAA JNT com canal de 10 nm [68], que apresentou excelente linearidade, dada a fraca dependência de g_m com a polarização. Esses resultados demonstram que há potencial para, no mínimo, aplicações específicas derivadas dessa tecnologia.

Mesmo FETs sem junções com comprimento de canal extremamente curto ($L = 3 \text{ nm}$), que foram fabricados usando corrosão úmida anisotrópica de substrato SOI, demonstraram características de transferência bastante promissoras [69]. Nesse artigo, os resultados experimentais e estudos de simulação preveem que os CMOS de voltagem ultrabaixa podem ser construídos usando JNTs dos tipos N e P com porta de metal de função de trabalho única.

2.4 EFEITOS DE SEGUNDA ORDEM

Os dispositivos eletrônicos estão, naturalmente, sujeitos a eventuais efeitos deletérios que acabam por prejudicar seu desempenho, seja do ponto de vista das características elétricas, confiabilidade ou mesmo durabilidade. Com as dimensões cada vez mais reduzidas e escalonamentos aumentando progressivamente, esses eventos se tornam cada vez mais relevantes e, mesmo efeitos que outrora não afetavam de maneira determinante dispositivos relativamente “grandes”, atualmente são uma importante preocupação, motivando inúmeras pesquisas.

2.4.1 Degradação por Elétrons Quentes

O campo elétrico horizontal de um transistor MOS aumenta com a redução de suas dimensões e quando um transistor opera no modo saturação, um alto campo elétrico pode surgir entre a região de pinçamento do canal (“*pinchoff*”) e a junção do dreno [70]. Este alto campo elétrico fornece então aos elétrons energia suficiente para torná-los elétrons quentes, e esses podem ser injetados dentro do óxido de porta, modificando sua carga efetiva. Um nível muito alto de injeção pode gerar até uma corrente de porta. Esta alta energia dos elétrons do canal também pode desencadear o surgimento de pares elétron-lacuna pela ionização por impacto.

Especificamente, nos dispositivos MOS convencionais, as lacunas criadas escoam pelo contato de substrato, geram uma corrente de substrato (τ) como sinalizado na seguinte equação [25]:

$$\tau \propto \frac{W}{I_{DS}} \cdot (M - 1)^{-m} \quad (35)$$

onde $m \approx 3$ e M é o fator de multiplicação devido a ionização por impacto.

Define-se $M-1$ pela relação da corrente de corpo dividida pela corrente de drenos na saturação. Para transatores FD SOI, $M-1$ é dado por:

$$M - 1 \cong \frac{A_i}{B_i} \cdot (V_{DS} - V_{DSsat}) e^{\frac{B_i I_c}{V_{DS} - V_{DSsat}}} \quad (36)$$

sendo que $A_i = 1,4 \times 10^6 \text{ cm}^{-1}$ e $B_i = 2,6 \times 10^6 \text{ V/cm}$ são os fatores de ionização por impacto para elétrons [71]. Já l_c é o comprimento característico e sua expressão é dada por:

$$I_c = t_{Si} \sqrt{\frac{C_{Si} \cdot \beta}{2 \cdot C_{ox1} \cdot n}} \quad (37)$$

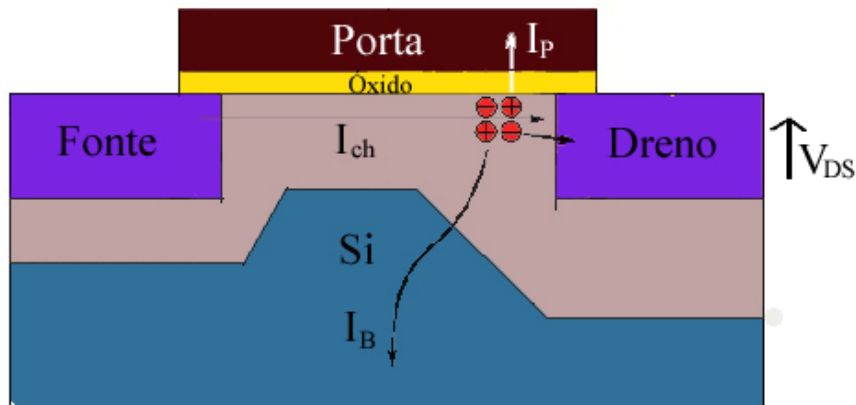
Os valores de $n=(1+\alpha)$ já foram expressos nas equações (23), (24) e (25) para as diferentes condições da segunda interface, β assume o valor 1 se a segunda interface estiver em acumulação ou:

$$\beta = 1 + \frac{C_{Si}}{(C_{Si} + C_{ox2})} \quad (38)$$

se estiver em depleção. Assim, o fator de multiplicação M-1 é menor no transistor FD SOI com a segunda interface em depleção, maior no transistor MOS convencional e ainda maior no transistor FD SOI com a segunda interface em acumulação. Apesar da menor ionização por impacto, não é consensual que os elétrons quentes prejudiquem menos os dispositivos SOI que os MOS convencionais pois, parâmetros como a qualidade do óxido e intensidade e direção do campo elétrico, fazem com que os elétrons quentes atuem de forma diferente em SOI e MOS.

A partir desse fenômeno, as lacunas geradas desencadeiam uma corrente de substrato que tem relação de dependência com o campo elétrico, que é maior junto ao dreno. Os elétrons acabam incorporados à corrente de dreno o que aumenta abruptamente I_{DS} . Por vezes elétrons adquirem energia suficiente para ultrapassar a barreira de condução e são injetados no óxido, como indicado na Figura 23.

Figura 23 - Efeito de Elétrons Quentes esquematizado no interior de um transistor MOS



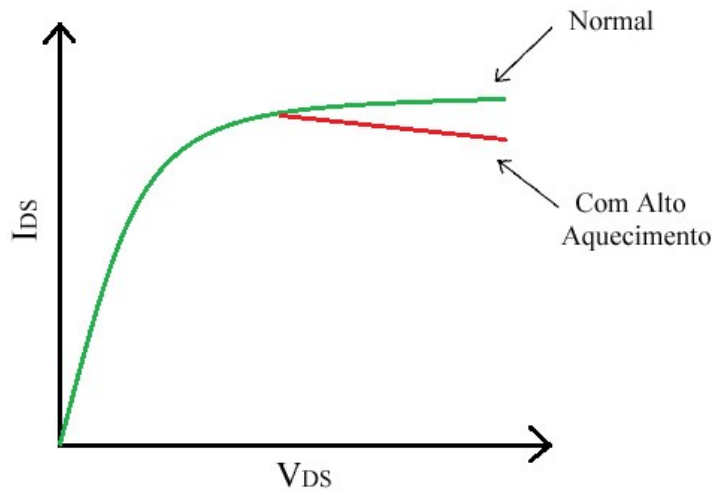
Fonte: Autor

Parte dos elétrons injetados no óxido fica aprisionada no próprio óxido aumentando a densidade de cargas fixas e de armadilhas de interface, parte pode atravessá-lo e gerar uma corrente de porta. Em consequência, ocorre o aumento na tensão de limiar e na inclinação de sublimiar e se reduz a mobilidade dos portadores no canal, o que pode levar à inutilização do dispositivo. Em transistores do tipo P, esse efeito é praticamente inócuo, pois a mobilidade das lacunas é de duas a três vezes menor que a dos elétrons.

2.4.2 Efeitos de Auto-Aquecimento

A condutividade térmica do SiO_2 é bastante menor que a do Si, assim, há uma retenção do calor gerado devido ao Efeito Joule na camada de silício para o restante do substrato. E em decorrência, há o aumento da temperatura, o que reduz a mobilidade, diminuindo a corrente I_{DS} , o que faz com que possa ser obtida uma condutância negativa. Esse relato, está ilustrado na Figura 24.

Figura 24 - Esboço de uma curva $I_{DS} \times V_{DS}$ de um transistor MOS sob efeito do auto-aquecimento



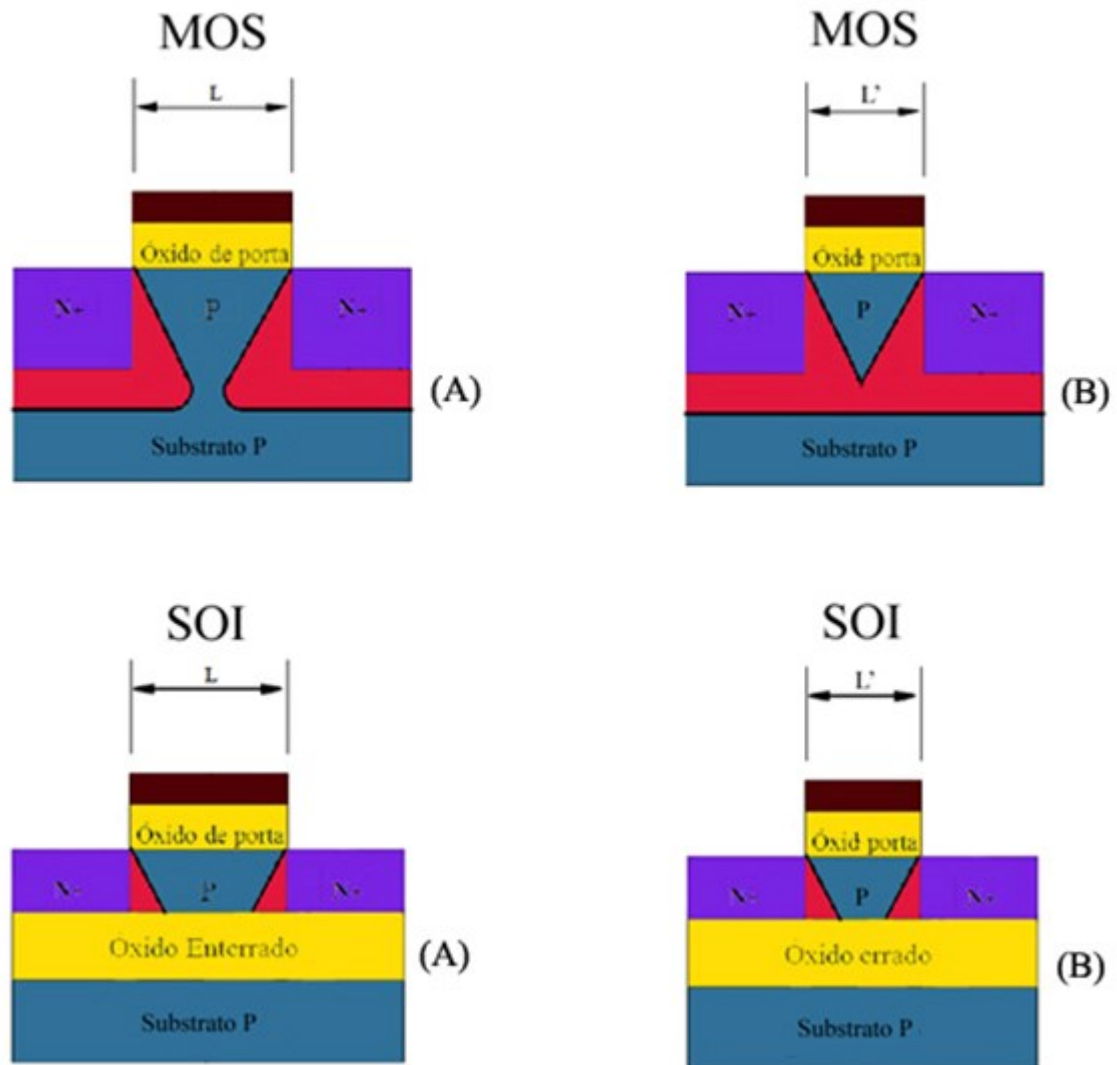
Fonte: Autor

Ainda, é interessante citar que é característico observar o auto-aquecimento quando os dispositivos são polarizados por um longo período de tempo sem chaveamento. Nos experimentos descritos no decorrer do trabalho, fica claro que essa também é a condição para o estresse do NBTI e no que tange aos dispositivos JNTs, o auto-aquecimento de transistores sem junções é praticamente desprezível [72]. Sendo assim, a influência do efeito em questão não foi considerada.

2.4.3 Efeitos de Canal Curto

Na medida que o comprimento de canal é reduzido, o campo elétrico induzido pela região do dreno compete com a porta pelo controle das cargas de depleção. Em decorrência desse fenômeno, ocorre uma degradação no sublimiar e redução em V_{TH} . Os dispositivos SOI tendem a estar menos sujeitos a esse efeito pois, seu leiaute controla de forma mais eficiente a depleção de fonte e dreno que os dispositivos MOS convencionais, como indicado na Figura 25.

Figura 25 - Efeito de Canal Curto em dispositivos MOS convencionais e SOI, (A) sem o efeito de Canal Curto e (B) com o efeito de Canal Curto



Fonte: Autor

As figuras marcadas com (A) representam o canal sem a interferência da depleção de fonte e dreno. As figuras marcadas com (B) representam o efeito de Canal Curto.

É possível prever a espessura da camada de silício em dispositivos de múltiplas portas para se evitar ou, pelo menos, minimizar efeitos de canal curto. Para tanto, é importante se obter o comprimento natural, representado por λ , que é a distância de penetração das linhas de campo do dreno no corpo do dispositivo, ou seja, o controle do dreno sobre a carga de depleção, e medir o efeito de canal curto inerente à estrutura de um dispositivo [73].

O comprimento natural pode ser utilizado para se determinar o t_{Si} máximo para se evitar a presença de efeitos de canal curto. As seguintes expressões são utilizadas para se apurar o valor de λ para portas simples, dupla ou circundante com seção quadrada ou circular [25]:

Porta simples e seção quadrada:

$$\lambda_1 = \sqrt{\frac{\varepsilon_{Si}}{\varepsilon_{ox}} \cdot t_{ox} \cdot t_{Si}} \quad (39)$$

Porta simples e seção circular:

$$\lambda_1 = \frac{1}{\pi} \cdot \left(t_{Si} + \frac{\varepsilon_{Si}}{\varepsilon_{ox}} \cdot t_{ox} \right) \quad (40)$$

Porta dupla e seção quadrada:

$$\lambda_2 = \sqrt{\frac{\varepsilon_{Si}}{2 \cdot \varepsilon_{ox}} \cdot t_{ox} \cdot t_{Si}} \quad (41)$$

Porta dupla e seção circular:

$$\lambda_2 = \sqrt{\frac{\varepsilon_{Si}}{2 \cdot \varepsilon_{ox}} \left(1 + \frac{\varepsilon_{ox} \cdot t_{Si}}{4 \cdot \varepsilon_{Si} \cdot t_{ox}} \right) \cdot t_{Si} \cdot t_{ox}} \quad (42)$$

Porta circundante e seção quadrada:

$$\lambda_3 = \sqrt{\frac{\varepsilon_{Si}}{4 \cdot \varepsilon_{ox}} \cdot t_{ox} \cdot t_{Si}} \quad (43)$$

Porta circundante e seção circular:

$$\lambda_3 = \sqrt{\frac{2 \cdot \varepsilon_{Si} \cdot t_{Si}^2 \ln \left(1 + \frac{2 \cdot t_{ox}}{t_{Si}} \right) + \varepsilon_{ox} \cdot t_{Si}^2}{16 \varepsilon_{ox}}} \quad (44)$$

onde ε_{Si} é a permissividade do silício, ε_{ox} é a permissividade do óxido, t_{Si} é a espessura do silício e t_{ox} é a espessura da camada de óxido.

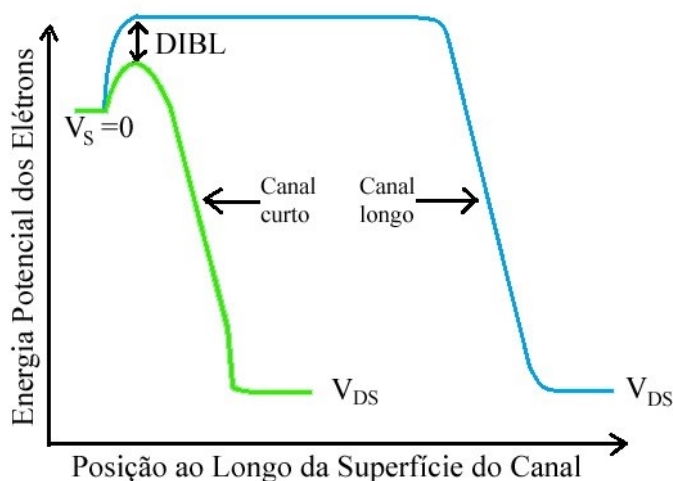
A espessura máxima da camada de Si para que se evite a presença de efeitos de canal curto aumenta conforme o número de portas e a espessura máxima de t_{Si} para dispositivos de porta tripla, π ou Ω tem valores intermediários entre os de porta dupla e de porta circundante.

O uso de camadas de Si extremamente finas se faz necessário para dispositivos de porta simples e canal curto. Entretanto, o uso de camada ultrafinas aumenta as resistências de fonte e dreno e diminui a mobilidade. Já, a utilização de dispositivos de múltiplas portas, especialmente o de porta circundante, diminui a necessidade de filmes finos.

2.4.4 Drain Induced Barrier Lowering (DIBL)

Ainda como consequência do encurtamento do canal, o DIBL é um parâmetro de grande importância e, ao se aumentar a tensão aplicada ao dreno em transistores de canal curto, as regiões de depleção entre fonte e dreno passam a interagir [74]. O aumento de V_{DS} pode causar uma redução da barreira de potencial junto à fonte e, assim, a redução na barreira de potencial faz com que a tensão de limiar também sofra redução. A Figura 26 apresenta as curvas que indicam o efeito DIBL.

Figura 26 - Curvas da energia potencial para os elétrons ao longo do comprimento de canal, representando o efeito DIBL



Fonte: Autor

Na figura, são apresentadas curvas da energia potencial em função da posição ao longo do canal para dispositivos com diferentes comprimentos de canal.

A equação utilizada para determinar o DIBL é [25]:

$$DIBL = \frac{V_{TH1} - V_{TH2}}{V_{DS2} - V_{DS1}} \quad (47)$$

onde $V_{DS2} > V_{DS1}$ sendo V_{DS1} a tensão de dreno em regime linear, V_{DS2} a tensão de dreno em saturação, V_{TH1} é a tensão de limiar para V_{DS1} e V_{TH2} é a tensão de limiar para V_{DS2} .

Para minimizar a redução de V_{TH} e o DIBL em dispositivos modo inversão com canal curto, pode-se utilizar substratos mais dopados de modo a diminuir a espessura da camada depleção presente entre fonte, dreno e canal. Outro método consiste em se fazer a implantação de HALO, que é uma implantação iônica no substrato de silício de modo a aumentar a concentração de dopantes apenas nas proximidades das regiões de depleção entre dreno, fonte e canal. Devido à maior concentração de dopantes na região de canal os transistores sem junções têm demonstrado menor suscetibilidade ao DIBL que transistores modo inversão [75].

2.4.5 Negative Bias Temperature Instability (NBTI)

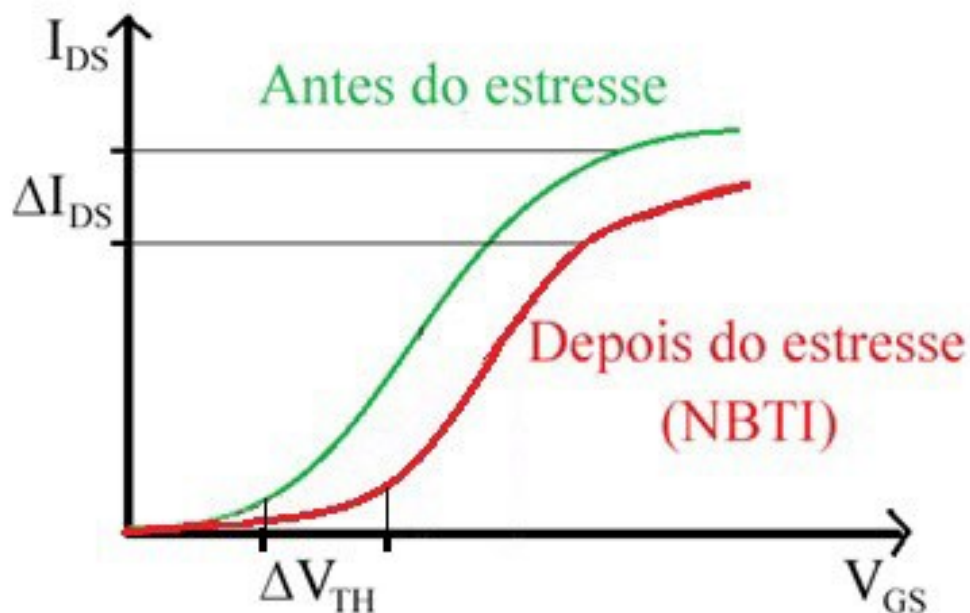
Dentre os vários mecanismos intrínsecos de desgaste que contribuem para a eventual falha ou que abreviam a vida útil de um transistor MOS, tem-se o NBTI (*Negative Bias Temperature Instability*). Este é talvez, um dos efeitos que possivelmente, possui maior potencial de degradar a resposta elétrica de novos dispositivos, pois demonstra relação direta com a diminuição do comprimento de canal. Ele causa a degradação das características de tensão de limiar e corrente de um dispositivo, devido à acumulação de cargas positivas na interface entre o canal e o dielétrico da porta e a geração de estados de interface carregados positivamente. Este mecanismo é termicamente ativado e não linearmente dependente do campo elétrico no óxido de porta [76].

2.4.5.1 Degradação do V_{TH}

O efeito NBTI que ocorre em dispositivos pMOS e é mais relevante que o PBTI, efeito análogo, apresentado por transistores nMOS, pois a difusão do hidrogênio do substrato quebra as ligações do boro (usado como dopante nos transistores pMOS) com o hidrogênio [77]. Por outro lado, em transistores modo inversão, em que o canal dos dispositivos é dopado com arsênio, o NBTI também é um problema. Ou seja, o NBTI está mais relacionado à “criação” de estados positivamente carregados e à presença de lacunas no canal do que propriamente ao tipo de átomo dopante.

O hidrogênio é implantado nos dispositivos durante o processo de fabricação com o objetivo de passivar as ligações Si-SiO₂ incompletas próximas da interface. Com o aumento do campo elétrico devido a V_{GS} , estas ligações de passivação são quebradas, dando origem a armadilhas. Após o rompimento das ligações, os átomos de hidrogênio se difundem para o interior do óxido. O que se faz notar de maneira mais auspiciosa nos dispositivos sujeito a estresse do NBTI, é a redução de corrente I_{DS} e a consequente degradação do V_{TH} [78], como pode ser observado na Figura 27, que apresenta as curvas $I_{DS} \times V_{GS}$ antes e depois do estresse NBTI.

Figura 27 - Esboço das curvas de $I_{DS} \times V_{GS}$, perante o estresse NBTI

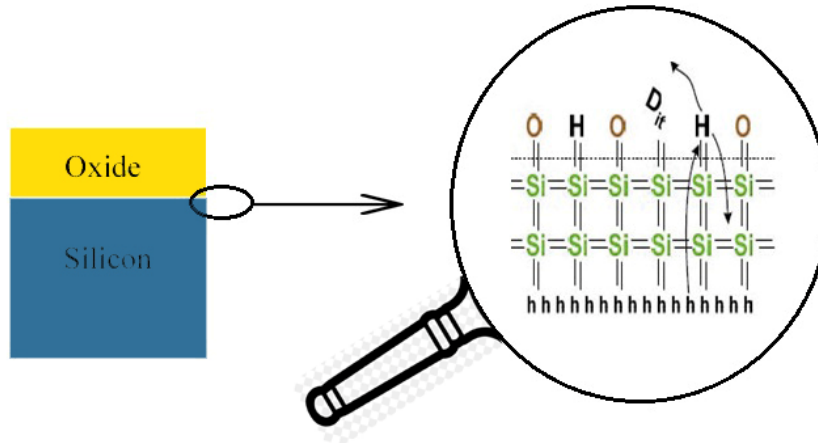


Fonte: Autor

2.4.5.2 Difusão do hidrogênio

A ocorrência do efeito NBTI se centra do fato de que existem átomos de hidrogênio na interface dielétrica da porta de silício, como mostrado na Figura 28. Como já citado, esses átomos são insertados no silício ao longo do processo de fabricação, a fim de passivar a interface, melhorando sua qualidade. Quando a tensão da porta é aplicada por um longo período de tempo, haverá a quebra de ligações do hidrogênio com átomos de silício [77]. Nesse caso, átomos de hidrogênio livres se difundem no interior do dispositivo, formando armadilhas, que acabam por alterar o V_{TH} .

Figura 28 - Representação das ligações atômicas na interface do dispositivo, indicando o processo de geração de armadilhas de interface



Fonte: Autor

Durante o estresse, a presença de lacunas na interface somada ao aumento da temperatura leva a uma liberação dos átomos de hidrogênio. As ligações pendentes de silício restantes tornam-se armadilhas eletricamente ativas. De acordo com o modelo disposto em [79], a passivação e a repassivação de ligações pendentes na interface alcançam o equilíbrio em um curto espaço de tempo e é o fluxo constante de átomos de hidrogênio longe da interface que determina a evolução temporal da degradação. Por causa dos dois estágios, a reação eletroquímica na interface e a difusão subsequente do hidrogênio, tem-se a reação-difusão (RD). Os atores centrais desse processo são a densidade de ligações pendentes do silício na interface (N_{it}) e a concentração de hidrogênio no óxido.

3.4.5.3 Equacionamento do NBTI

A formação de armadilhas de interface e a difusão de átomos de hidrogênio são descritos pelas equações diferenciais (48) e (49)[80].

Reação:

$$\frac{dN_{it}}{dt} = kf(N_0 - N_{IT}I) - k_r N_h N_{it} \quad (48)$$

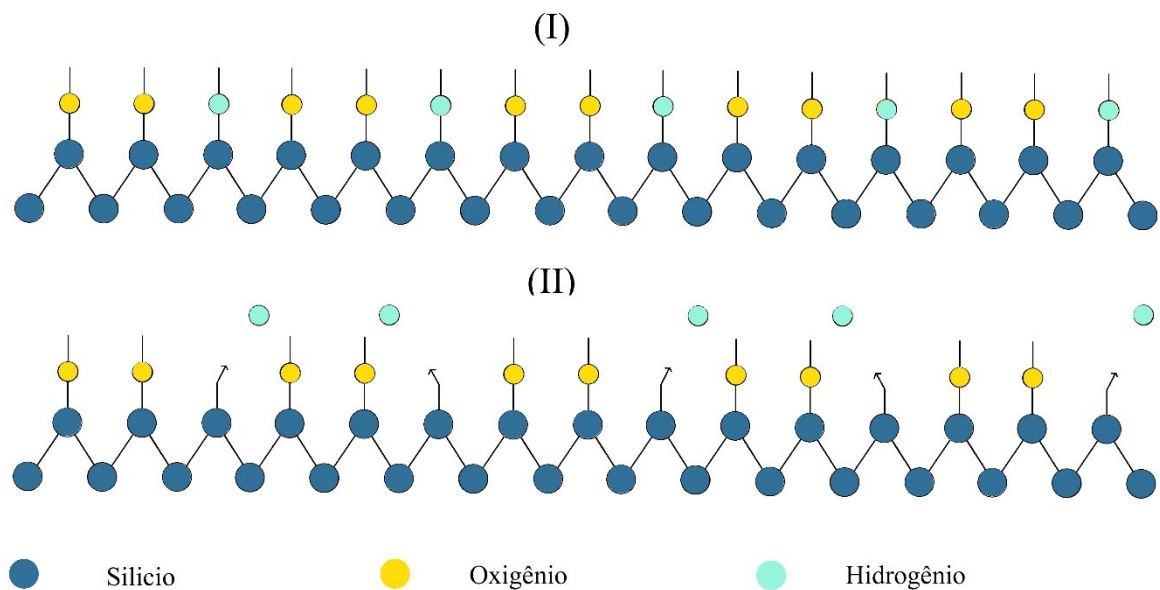
Difusão:

$$\frac{dN_{it}}{dt} = \frac{D_H d^2 N_H}{dx^2} \quad (49)$$

onde N_{IT} é o número de armadilhas de interface por unidade de área, N_0 número de ligações iniciais de Si-H. k_f é a taxa de ligações quebradas do S_i com o H, k_r é a de taxa recuperação, N_H densidade do hidrogênio na interface e D_H é o coeficiente de difusão média para o hidrogênio.

O conceito básico por trás do modelo de reação-difusão para NBTI é apresentado nas Figuras 29 e 30 abaixo:

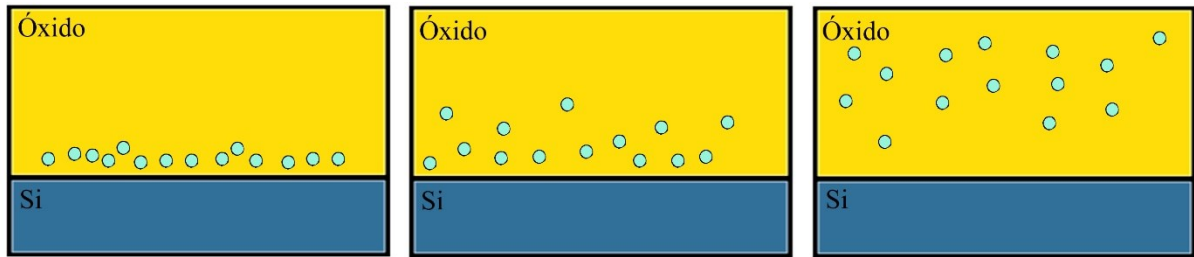
Figura 29 - Esquema do efeito de reação e difusão utilizado como base para o modelo de degradação por NBTI



Fonte: Autor

- (I) O silício pendente nas ligações da interface Si-SiO₂ é inicialmente passivado por átomos de hidrogênio (ao longo do processo de fabricação).
- (II) Durante o estresse, átomos de hidrogênio são liberados, deixando para trás as ligações pendentes de silício não passivadas que degradam as propriedades do dispositivo.

Figura 30 - Esquemático da difusão do hidrogênio no óxido



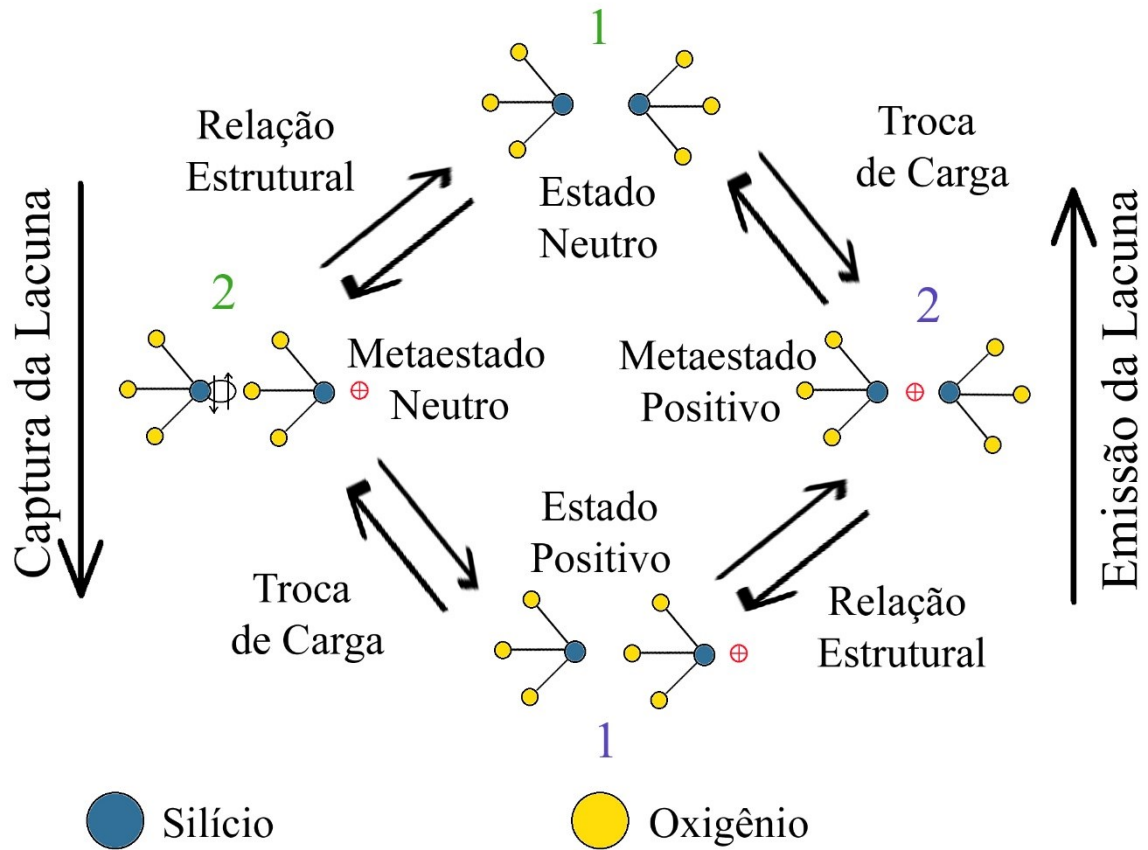
Fonte: Autor

A evolução é determinada pelo tempo de despovoamento da interface devido ao fluxo do hidrogênio no óxido.

2.4.5.4 Multiestados

Durante os últimos anos, há uma crescente evidência experimental que confirma o aprisionamento de carga como o componente recuperável do NBTI [81]. O processo que envolve as armadilhas é considerado como um processo NMP (*Non-radiative Multiphonon Process*). Portanto, a base da teoria de NMP é frequentemente entendida como um ingrediente importante nos modelos de NBTI. No entanto, as transições NMP puras não são suficientes para descrever o comportamento de captura de carga visto em espectroscopia de defeito dependente do tempo ou TDDS (*Time-Dependent Defect Spectroscopy*), que é um método eficiente para estudar a captura e tempos de emissão de portadores de carga em armadilhas individuais no óxido de porta [82]. Porém, ao se introduzir os estados metaestáveis, que têm um forte impacto na dinâmica de armadilhamento, pode-se explicar o papel dessas armadilhas em relação ao NBTI. Na Figura 31 estão representados de forma sucinta os metaestados.

Figura 31 - Diagrama indicando os estados metaestáveis em um processo de degradação por NBTI



Fonte: Autor

No esquema apresentado na Figura 31, o efeito está presente em um estado neutro estável (1-verde) e um estado estável de carga positiva (1-azul), onde cada um deles tem um segundo estado metaestável como indicado na figura (2). As transições NMP $1 \leftrightarrow 2$ e $2 \leftrightarrow 1$ ocorrem entre diferentes estados de carga, enquanto as transições térmicas $1 \leftrightarrow 1$ e $2 \leftrightarrow 2$ entre os mesmos estados de carga. Observe que as transições entre os estados estáveis são de interesse principal, uma vez que correspondem à captura e emissão no NBTI. No entanto, eles envolvem estados intermediários, que são metaestáveis e importantes para a polarização de porta e dependência de temperatura da transição. Ou seja, sob certas condições, os defeitos trocam carga aleatoriamente com o substrato, levando a Random Telegraph Noise (RTN) e ruído $1/f$. Durante o estresse, tensão de porta é alterada para um maior valor e as constantes de tempo de captura das cargas tornam-se muito menores. Dada a ampla distribuição das constantes de tempo, essas transições para os estados carregados ocorrem em momentos diferentes para cada

armadilha. Ou seja, as transições resultam no que é convencionalmente observado como degradação por BTI.

Quando a polarização da porta é comutada de volta para o valor pré-estresse, as cargas retornam à sua ocupação pré-estresse (relaxamento BTI) [83]. Por outro lado, estas cargas não retornam à sua ocupação pré-estresse dentro de um tempo de medição razoável. Quando o estresse é removido aparece um componente permanente [84, 85]. Infelizmente, a natureza microscópica deste componente permanente ainda é pouco clara [86, 87]. Ainda assim, em experimento típicos, começando do regime de microssegundos até semanas, a degradação bem como a recuperação parece ser dominada por estados intermediários [88].

Do ponto de vista teórico, as taxas de transição entre os dois estados de armadilhamento são convencionalmente modelados usando um modelo baseado na recombinação Shockley – Read – Hall (SRH) [89, 90]. Assim, a degradação por efeito BTI parece ser compatível com a teoria SRH. Para exemplificar como esses estados impactam a inclinação subliminar dos transistores MOS, e podem acompanhar rapidamente as mudanças na tensão de porta. Há evidências que corroboram para a correção da teoria SRH e estão de acordo com o experimento e predição teórica vista no bombeamento de carga [91].

Já, o comportamento da interface é mais complicado. As tentativas iniciais de modelagem procuram descrever uma ampla distribuição de constantes de tempo de captura e emissão desses estados de interface com o modelo SRH [92]. No entanto, há muito que se entendeu que a troca entre a interface e o canal ocorre por meio de um multifonon em vez de um processo de tunelamento elástico e que grandes constantes de tempo não são devido à profundidade espacial da armadilha, mas sim devido à sua barreira térmica na captura de carga [93, 94]. Um reflexo desse fato é que a dependência do campo elétrico tanto da captura quanto a constante de tempo de emissão não pode ser devidamente explicada por um processo de tunelamento através de uma barreira que tem apenas alguns elétron-volts e cerca de um nanômetro de espessura [95]. Considerações semelhantes são válidas para a ativação da temperatura e da constante de tempo, bem como o fato de que constantes de tempo experimentais são muito maiores do que podem ser explicados em estruturas de porta de última geração com espessuras de óxido ultrafinas [96].

Modelos de armadilhas convencionais assumem que esta pode existir em dois estados, um deles carregado e outro neutro. No entanto, desvios simples deste modelo de primeira ordem foram observados ocasionalmente [97]. Um sinal aleatório convencional parece ser modulado por outro sinal muito mais lento. Esta modulação resulta em um desaparecimento completo do RTN para uma distribuição estatística. Uren et al. [98], concluiu que este RTN

anômalo poderia ser melhor descrito por uma armadilha com um estado metaestável adicional. Estima-se como um limite inferior, que cerca de 4% das armadilhas cairia nesta categoria. Naturalmente, esta porcentagem estimada é muito baixa para um defeito ser observável como RTN anômalo, tanto as constantes de tempo que levam ao RTN quanto as constantes de tempo que levam ao desaparecimento e reaparecimento das armadilhas deve diminuir experimentalmente. Consequentemente, mesmo que armadilhas se reduzam e produzam RTN anômalo, é provável que apareçam como normais ou até mesmo passem completamente despercebidas em um experimento RTN padrão.

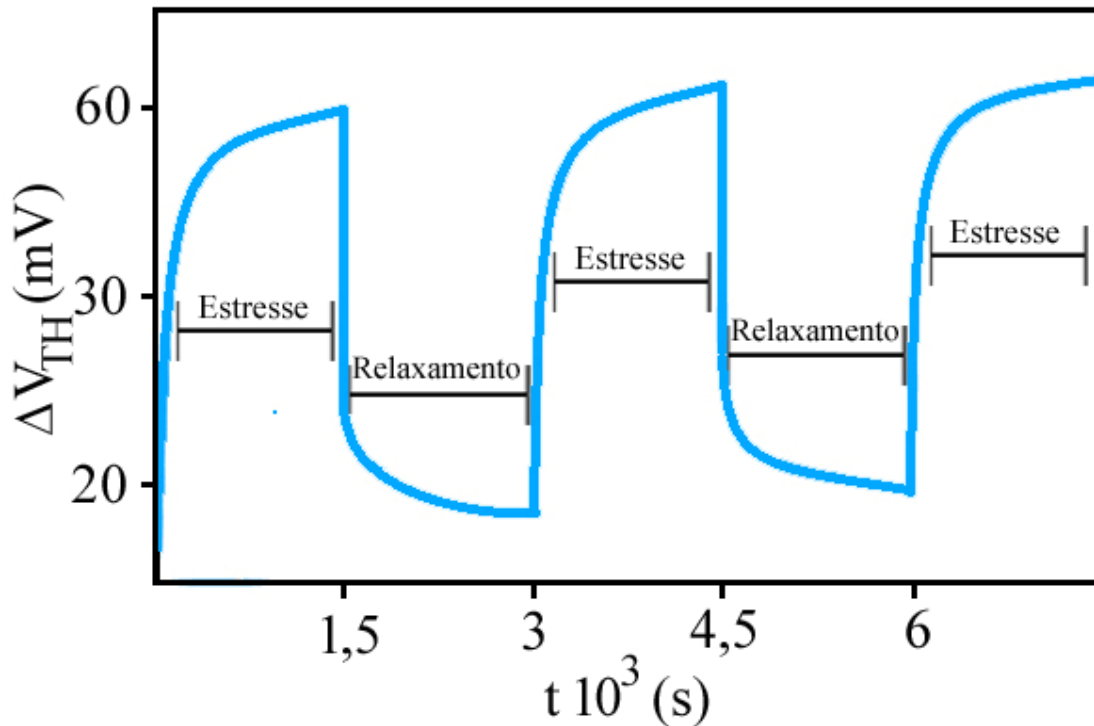
Resultados experimentais e teóricos recentes sugerem fortemente que tais estados de armadilhas metaestáveis são a norma, e não a exceção [99]. O impacto desses estados pode ser observado de diversas maneiras, como por exemplo, na inclusão de estados de transição metaestáveis que parecem essenciais para uma descrição precisa da dependência de constantes de tempo de captura e emissão na polarização de porta [100]. Ou mesmo, eles podem criar RTN anômalo conforme observado por [101], quando em uma variante estimulada de RTN anômalo que é contemplada após o estresse de NBTI, denominado por RTN temporário. Defeitos podem desaparecer e reaparecer para quantidades estocásticas de tempo, também em escalas de tempo muito grandes (meses). Todos esses resultados implicam que as transições para ou via estados metaestáveis ocorrem em um amplo intervalo de escala de tempo.

2.4.5.5 Ciclo de Estresse e Relaxamento

Para a modelagem precisa do efeito NBTI é importante uma boa compreensão do mecanismo e sua dinâmica sob condições DC e AC. Propriedades importantes do NBTI, como fenômenos de armadilhamento e relaxamento (captura / emissão) são considerados os principais mecanismos que regem o NBTI [102] e suas características dinâmicas.

O fenômeno de relaxamento do NBTI tem sido observado e estudado nos últimos anos [103]. Um transistor sob estresse experimenta um aumento no V_{TH} . Imediatamente após o cessar a tensão de estresse, parte da mudança do V_{TH} durante esse estresse pode ser relaxada de forma temporal. A Figura 32 mostra um ciclo típico de mudança de V_{TH} durante estresse e relaxamento. Os fenômenos de relaxamento têm implicações profundas no comportamento dinâmico do NBTI. Como resultado do efeito de relaxamento, um transistor sob condição de operação CA geralmente experimenta menos deslocamento de V_{TH} do que sob a condição DC ao longo de sua vida útil. O estudo detalhado de relaxamento também pode fornecer uma visão para a compreensão do mecanismo subjacente que governa a dinâmica do NBTI.

Figura 32 - Curva da variação de V_{TH} em função do tempo demonstrando o ciclo típico de estresse e relaxamento NBTI



Fonte: Adaptado do artigo de *Understanding Negative-Bias Temperature Instability from Dynamic Stress Experiments* [104].

2.4.5.6 Degradação do NBTI em JNTs

Em transistores que operam em modo de inversão, o potencial de superfície pode ser assumido quase constante quando o dispositivo é polarizado em inversão forte, enquanto o campo elétrico varia quase linearmente com a tensão de porta. No caso do transistor sem junções, objeto deste estudo, tal relação depende do regime de funcionamento do dispositivo. Acima da faixa plana, quando o dispositivo é polarizado na acumulação, a relação entre o potencial de superfície e o campo elétrico é semelhante à observada em transistores de modo inversão, ou seja, o campo elétrico é zero na faixa plana e seus os valores aumentam linearmente com a polarização da porta enquanto o potencial de superfície é quase constante.

Contudo, dispositivos sem junção foram desenvolvidos para trabalhar principalmente em regime de depleção parcial. Esta condição é alcançada quando o dispositivo é polarizado com V_{GS} entre V_{TH} e V_{FB} . Para a tensão da porta logo acima do limiar, um caminho de condução

é formado longe da superfície, dando origem à condução em volume. Neste caso, o campo elétrico absoluto reduz com o aumento da tensão absoluta da porta, até que os dispositivos atinjam a condição de faixa plana. Então, o máximo campo elétrico absoluto em depleção parcial ocorre para uma condição de polarização em que a camada de condução está longe da superfície, onde há menor incidência de NBTI. Assim, em tais dispositivos, um campo elétrico absoluto maior não significa necessariamente um efeito NBTI mais forte. Além disso, a taxa de variação do campo elétrico com tensão de porta é diferente na acumulação e no regime de depleção parcial [105].

3 DEGRADAÇÃO POR EFEITO NBTI EM JNTs

Findada a fase introdutória, esse trabalho agora tratará de diversos aspectos que permeiam a degradação por efeito NBTI em dispositivos JNTs. É sempre importante destacar que, nos dispositivos JNTs, a maior parte das cargas fluem pelo centro do canal, e o efeito NBTI se dá na interface entre o óxido de porta e o silício do canal. Portanto, pode se esperar que só as cargas que se movem junto às interfaces estejam sujeitas a este efeito.

Outro fator interessante de se pontuar é que, tanto o dispositivo JNT como a degradação por efeito NBTI ainda são relativamente pouco estudados. Isso devido à própria natureza destes. Os dispositivos JNTs foram propostos pelo Dr. Colinge em 2009, ou seja, há pouco mais de uma década. Embora se possa observar um número cada vez maior de artigos que tem como mote essa tecnologia, ainda é pouco se comparado a dispositivos SOI modo inversão, por exemplo. Já o NBTI, torna-se mais importante à medida que o comprimento de canal diminui. Porém, ainda é um tema um tanto controverso, pois muitas características influenciam seu comportamento. Talvez, a soma desses fatores faz com que exista pouco material sobre a conjunção do efeito NBTI com o dispositivo JNT.

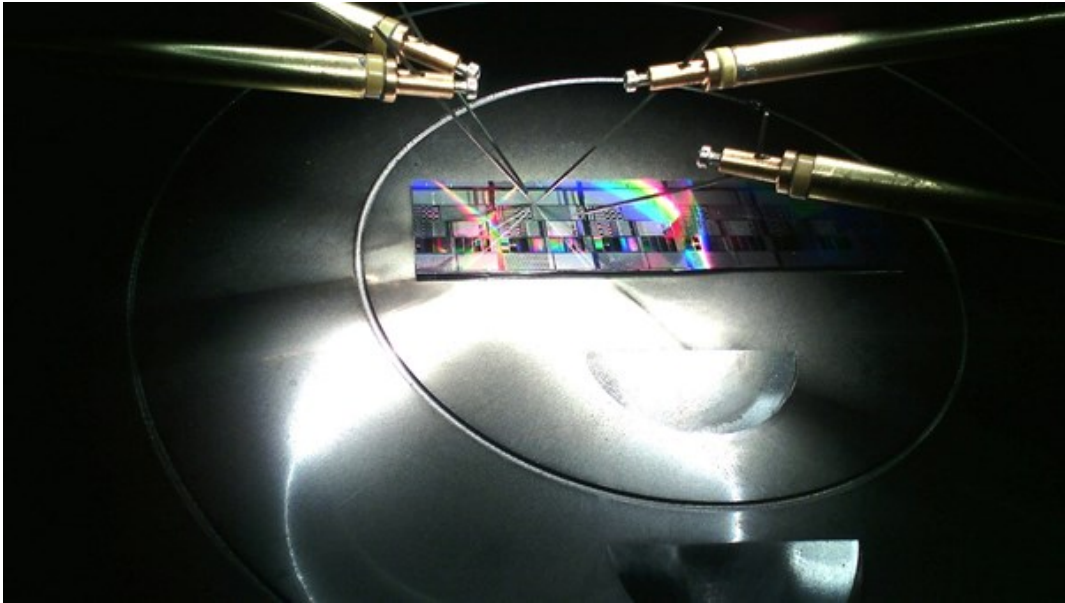
A primeira fase das pesquisas, utilizou-se de dispositivos experimentais fornecidos pelo instituto francês CEA-Leti [106] e, nesse momento inicial, obteve-se uma série de resultados ao sujeitar-se esses transistores ao estresse NBTI. Para melhor compreender os dados obtidos nos testes, fez-se uso de dispositivos simulados. Os arquivos de simulação foram desenvolvidos para descrever fielmente os dispositivos físicos [10].

Os métodos, etapas e resultados dessa pesquisa estão nas próximas páginas.

3.1 CARACTERÍSTICAS DOS DISPOSITIVOS EXPERIMENTAIS

Nesta etapa, utilizou-se diversos dispositivos que foram fabricados no CEA-Leti, em Grenoble, França, e foram fornecidos por meio do Dr. Sylvain Barraud. Os dispositivos medidos apresentam canal do tipo p com concentração de dopantes de $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ e foram polarizados com tensões de dreno de $V_{DS} = 1,0 \text{ V}$ e 50 mV . O comprimento de porta L varia de 40 nm a 100 nm e as larguras de canal W são de 10 nm e 20 nm . Todos os transistores apresentam espessura da camada de silício (t_{Si}) de 10 nm , espessura efetiva de óxido de porta (*Effective Oxide Thickness* EOT) de cerca de $1,5 \text{ nm}$ e espessura de óxido enterrado de 145 nm [107]. Na Figura 33, tem-se uma foto tirada de uma lâmina com dispositivos JNTs, durante um dos experimentos.

Figura 33 - Fotografia de uma lâmina com transistores JNTs



Fonte: Autor

3.2 KEYSIGHT B1500

O analisador de dispositivos semicondutores *Keysight B1500A* é um instrumento modular baseado na tecnologia da *Keysight de SMU (Source Monitor Unit)* com alta resolução e precisão [108]. Fornece medições críticas desde DC até pulsada para atender diversas aplicações. O equipamento funciona com o sistema operacional *Microsoft Windows®*, onde está instalado o software *EasyEXPERT* da *Keysight*, o qual tem uma abordagem mais intuitiva, orientada por tarefa, para caracterização de dispositivos. O equipamento possui também recursos de medição de capacitância integrados, o que confere a possibilidade de ser usado em diversas aplicações de caracterização de dispositivos semicondutores. Ele também é uma solução para caracterização de células de memória não voláteis e de dispositivos de alta velocidade, inclusive medições avançadas de NBTI e ruído [109].

Dentre os recursos, cabe destacar: para curvas I_xV , a resolução de medição é de $0,1 \text{ fA} / 0,5 \text{ } \mu\text{V}$. Permite varredura de um ou múltiplos canais, amostragem de tempo, C_xV quasi-estática usando as *Source Monitor Unit (SMUs)*, controle direto e geração de formas de onda lineares arbitrárias com o Controle direto e geração de formas de onda lineares arbitrárias ou *arbitrary linear waveform generator (ALWG)* com *graphical user interface (GUI)* para *semiconductor pulse generator unit (SPGU)*. Suporta medições de C_xV até 5 MHz. Na Figura 34, é apresentada a fotografia de um *Keysight B1500*, em cuja tela estão representadas algumas de suas funcionalidades típicas.

Para obter-se a degradação da tensão de limiar V_{TH} , inicialmente obteve-se as curvas I_{DS} x V_{GS} de dispositivos de aleta única, que foram medidas usando o *Keysight B1500 Semiconductor Parameter Analyzer*. As curvas foram medidas para dispositivos com diferentes L e W. O V_{TH} dos dispositivos foi extraído das curvas usando a técnica g_m/I_{DS} descrita anteriormente [110].

Figura 34 - Analisador de dispositivos semicondutores *Keysight B1500A*



Fonte: Manual B1500A [104]

3.3 ENSAIOS EXPERIMENTAIS PRÉVIOS

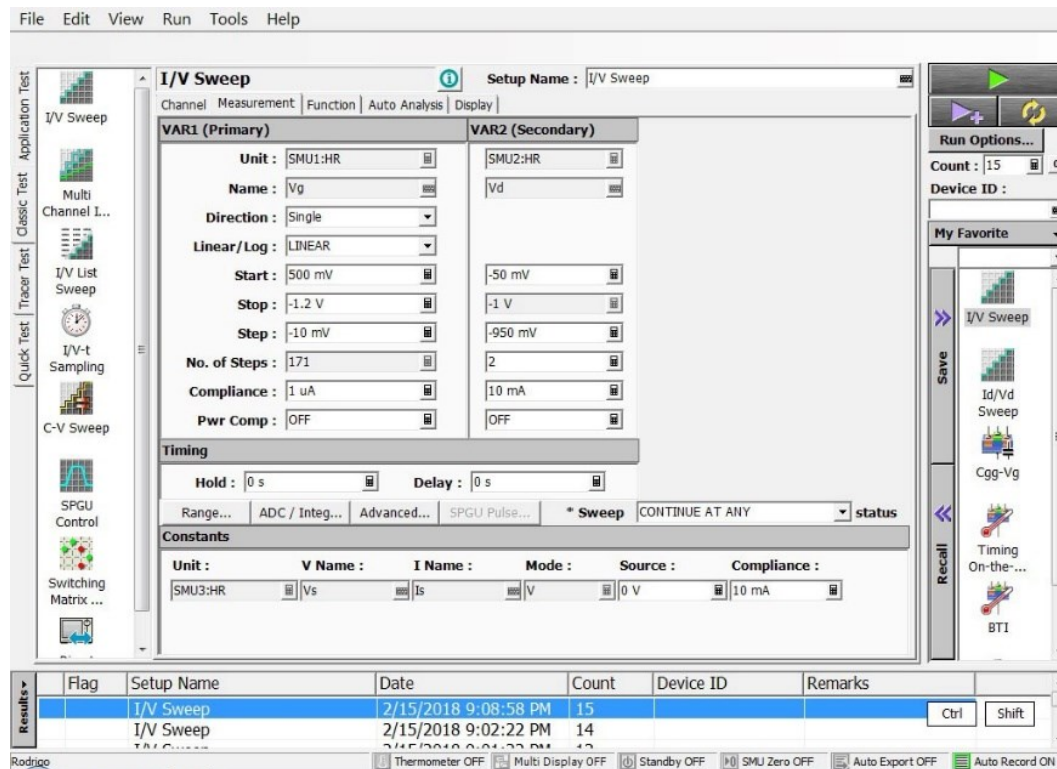
Para efetuar as medições, posiciona-se a lâmina com as amostras dos dispositivos na base da estação de medidas e, em seguida, ajusta-se as pontas de prova aos contatos do dispositivo a ser medido. Na sequência, já usando o *software EasyEXPERT*, presente no analisador *Keysight B1500*, escolhe-se o modelo adequado aos testes.

3.3.1 Curvas I_{DS} x V_{GS}

No módulo para medição das curvas I_{DS} x V_{GS} , configura-se a sequência das SMUs, os parâmetros elétricos, como faixa de tensão de porta, tensão de dreno, entre outros. Então, dá-se início a execução do aplicativo, que nos retorna a curva característica do dado transistor.

Na Figura 35, é apresentada uma das telas de configuração do analisador B1500, voltada à obtenção da curva I_{DS} x V_{GS} . Seleciona-se como variáveis o V_{GS} e os parâmetros desejados como tensão de partida e final, o passo almejado e a variável secundária, que no caso é o V_{DS} , que assume os valores de -0,05 V e -1,0 V.

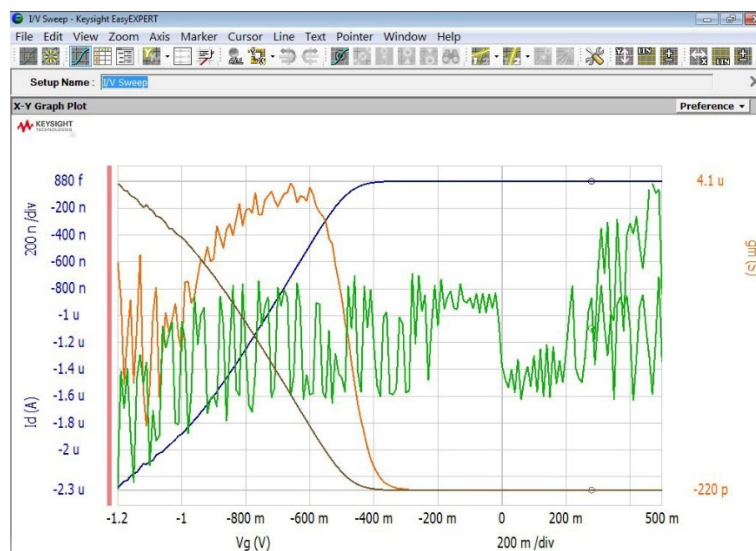
Figura 35 - Tela de configuração do *Keysight B1500* para obtenção de curvas $I_{DS} \times V_{GS}$



Fonte: Autor

Na Figura 36, estão visíveis as curvas da corrente em função de V_{GS} no analisador *Keysight B1500*. A se ver, as curvas I_{DS} em azul, a corrente de porta I_{GS} em verde, a corrente de fonte I_S na cor marrom e a transcondutância g_m em laranja.

Figura 36 - Tela do software *EasyExpert* em que são apresentadas as curvas $I_{DS} \times V_{GS}$

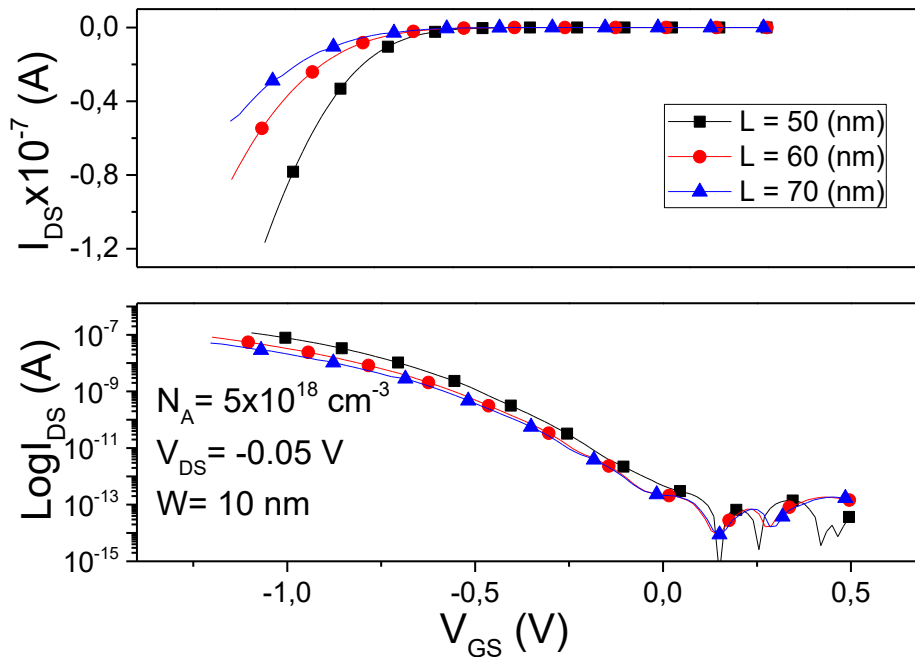


Fonte: Autor

A partir das curvas $I_{DS} \times V_{GS}$ é possível se obter os valores iniciais para o V_{TH} .

Na Figura 37, é possível ver como exemplo, uma curva $I_{DS} \times V_{GS}$ referente ao dispositivo JNTs tipo P com dopagem de $5 \times 10^{18} \text{ cm}^{-3}$, W de 10 nm e V_{DS} de -0.05 V e diferentes L. Quanto maior o comprimento de canal, menor a corrente (em módulo) para um mesmo V_{GS} . Também se nota que a tensão de limiar dos dispositivos é reduzida (em módulo) ao se reduzir o comprimento de canal dos dispositivos. Este comportamento está relacionado ao aumento da influência dos efeitos de canal curto.

Figura 37 - Curvas $I_{DS} \times V_{GS}$ em escalas linear e logarítmica para dispositivos JNTs tipo P com dopagem de $5 \times 10^{18} \text{ cm}^{-3}$ e V_{DS} de -0.05 V



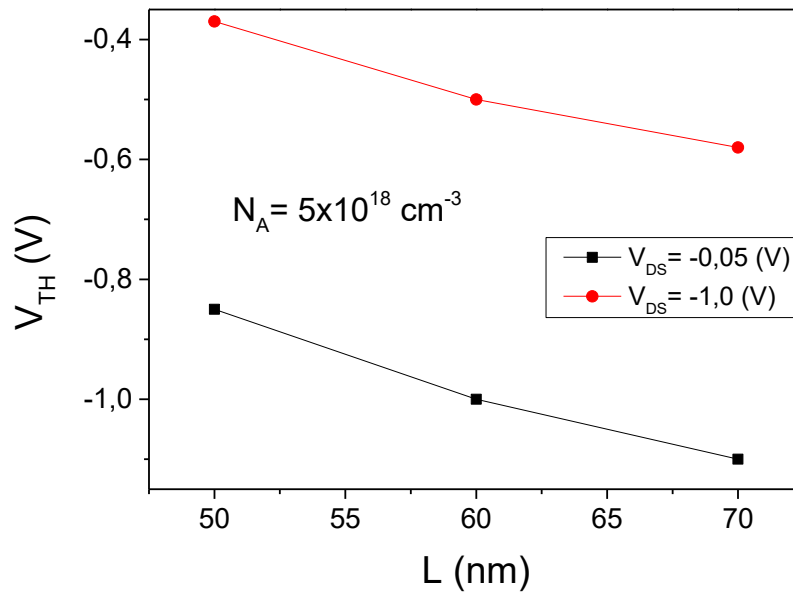
Fonte: NILTON GRAZIANO JR. **Estudo do efeito NBTI em transistores MOS sem junções**, Dissertação de Mestrado 2018. [111].

3.3.2 Extração da tensão de limiar

Com os dados das curvas características de todos os dispositivos, é possível se calcular os respectivos valores de $V_{TH} \times L$. Para tanto, utiliza-se do método g_m/I_D , já descrito anteriormente, para as curvas com $V_{DS} = -50 \text{ mV}$. Para as curvas com $V_{DS} = -1,0 \text{ V}$, V_{TH} foi extraído como o valor de V_{GS} para o qual I_{DS} apresenta a mesma magnitude da obtida na extração da tensão de limiar para $V_{DS} = -50 \text{ mV}$, ou seja, isonomia de corrente. A Figura 38

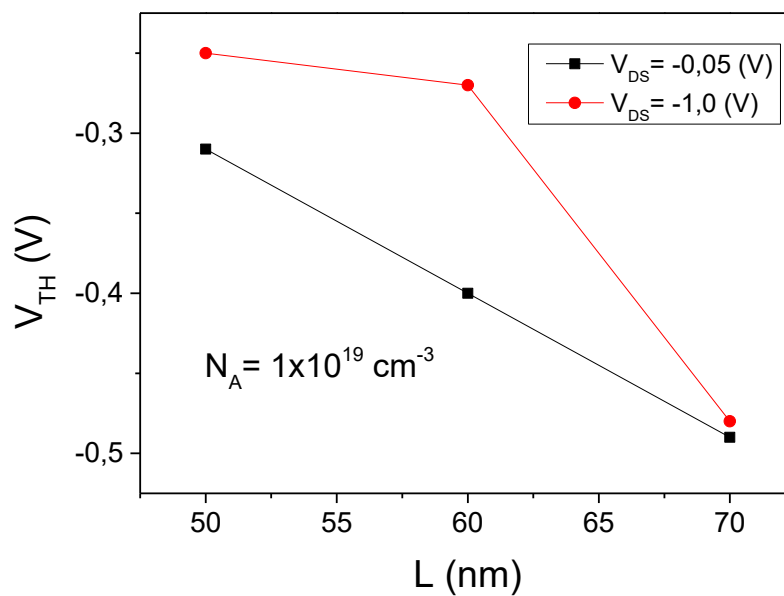
contempla os valores aferidos para dispositivos JNTs tipo P com N_A de $5 \times 10^{18} \text{ cm}^{-3}$ e a Figura 39 para $1 \times 10^{19} \text{ cm}^{-3}$.

Figura 38 - Valores de $V_{TH} \times L$ para dispositivos JNTs tipo P com N_A de $5 \times 10^{18} \text{ cm}^{-3}$



Fonte: NILTON GRAZIANO JR. **Estudo do efeito NBTI em transistores MOS sem junções**, Dissertação de Mestrado 2018. [111].

Figura 39 - Valores de $V_{TH} \times L$ para dispositivos JNTs tipo P com N_A de $1 \times 10^{19} \text{ cm}^{-3}$



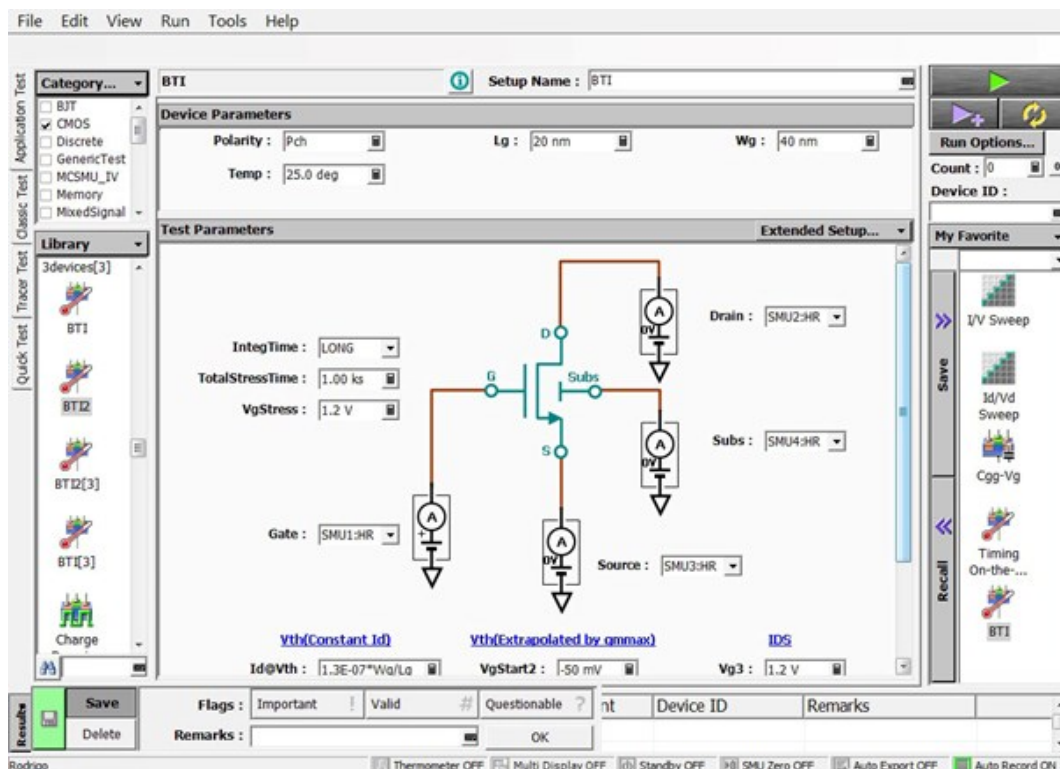
Fonte: NILTON GRAZIANO JR. **Estudo do efeito NBTI em transistores MOS sem junções**, Dissertação de Mestrado 2018. [111].

Verifica-se que o V_{TH} diminui de maneira direta com a redução do canal. Isso devido aos efeitos de canal curto pois, ao se diminuir L , aumenta-se a concorrência da depleção de fonte e dreno com a depleção de porta pelo controle das cargas e, concomitantemente, quanto maior for o V_{DS} , menor será o V_{TH} pois ao se elevar a tensão de dreno, incorre-se no DIBL.

3.3.3 Método para obtenção da degradação NBTI em dispositivos experimentais

O analisador *Keysight* B1500 oferece diversos modelos para obtenção da degradação por efeito NBTI. Naturalmente, foi escolhido o que mais se adequava aos dados disponíveis e à perspectiva da pesquisa. Também foi levado em consideração o método utilizado nas simulações para que fosse possível se fazer um paralelo entre dispositivos simulados experimentais. Este modelo deve ser alimentado com os dados dos dispositivos como as dimensões L e W , limites de tensão para estresse e tensão de dreno. Na Figura 40, há uma das telas de configuração do analisador B1500, voltada a degradação por efeito NBTI.

Figura 40 - Tela de configuração do *Keysight* B1500 para análise da degradação por efeito NBTI



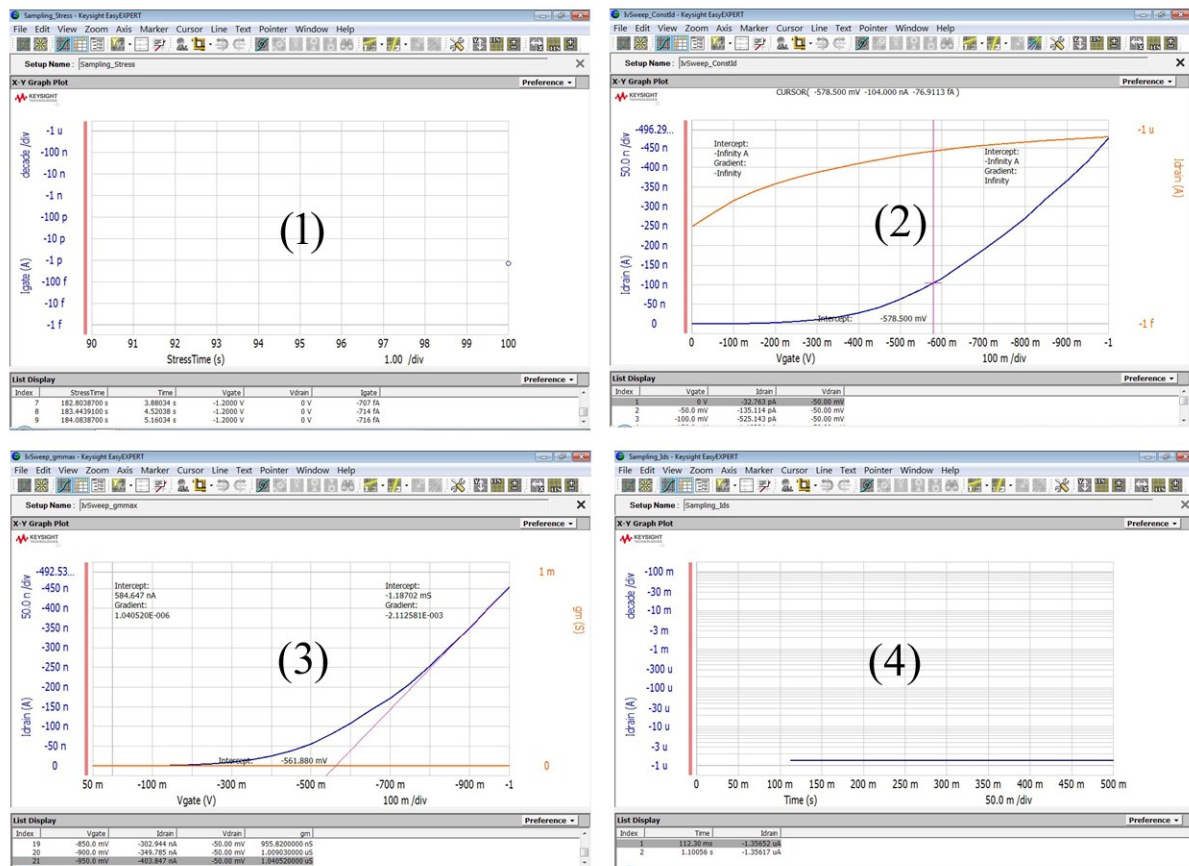
Fonte: Autor

Os parâmetros como tempo de estresse, tensão de estresse, V_{DS} , W e L são definidos pelo usuário, o tempo de estresse adotado foi de 10^3 s e a tensão de estresse de 1,2 V. O V_{TH} inicial é determinado pelo analisador seguindo a expressão usada por ele como padrão:

$$V_{TH} = 1.3 * 10^{-7} W/L \quad (50)$$

O analisador realiza vinte ciclos de testes, nos quais ele estressa o dispositivo até a máxima tensão determinada. Em cada ciclo, são aferidas diversas características como a curva de $I_{DS} \times V_{GS}$, I_{DS} , g_m e V_{TH} como apontado na Figura 41.

Figura 41 - Ciclo de estresse NBTI



Fonte: Autor

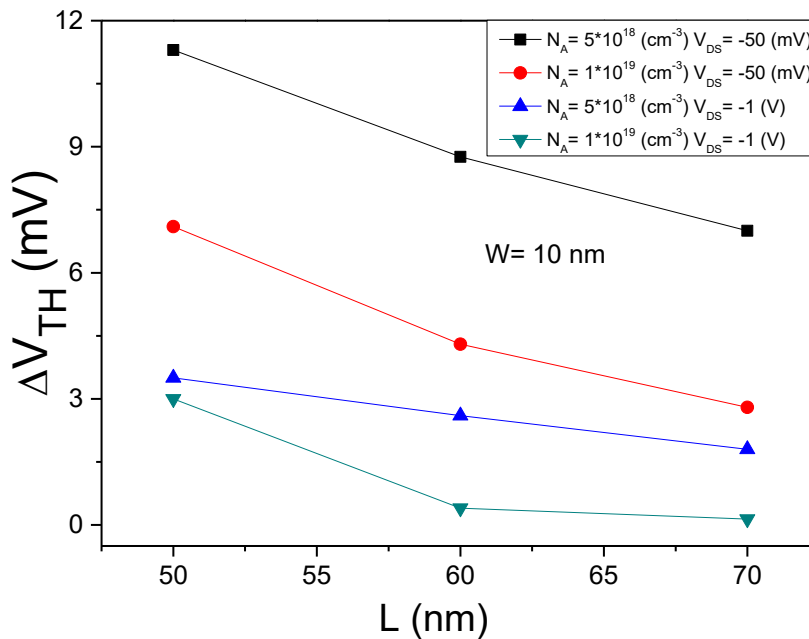
Na Figura 41 está representado o ciclo de estresse que compõe o modelo aplicado pelo analisador de parâmetros semicondutores para a extração do NBTI. Na etapa (1), o analisador estressa o dispositivo, mantendo por 100 s a tensão máxima na porta e exibe a corrente de porta. Na etapa (2), o analisador levanta as curvas de $g_m \times V_{GS}$ e por $I_{DS} \times V_{GS}$. Na etapa (3), o

analisador afere o V_{TH} em função de I_{DS} . Finalmente, na etapa (4), afere-se a degradação do I_{DS} pelo tempo de estresse.

3.3.4 Degradação por NBTI para os dispositivos experimentais

Com as curvas da tensão de limiar definidas, pode-se calcular o ΔV_{TH} , que reflete a degradação por efeito NBTI. Os resultados são expostos na Figura 42. Ali está representada a comparação entre a degradação da tensão de limiar por efeito NBTI para dispositivos JNTs tipo P, com dopagens de $5 \times 10^{18} \text{ cm}^{-3}$ e $1 \times 10^{19} \text{ cm}^{-3}$ com diferentes tensões de dreno (-0,05 V e -1,0 V).

Figura 42 - ΔV_{TH} em função do comprimento de canal para os dispositivos experimentais



Fonte: NILTON GRAZIANO JR. **Estudo do efeito NBTI em transistores MOS sem junções**, Dissertação de Mestrado 2018. [111].

Estão mais sujeitos à degradação por efeito NBTI os transistores com menor comprimento de canal, os com menor dopagem e com menor tensão de dreno. Essa afirmação, será detalhada no decorrer do trabalho, através dos estudos impetrados nas simulações e medidas experimentais.

3.4 SIMULADOR *SENTAURUS*

Há algum tempo, os simuladores tornaram-se uma ferramenta imprescindível para o desenvolvimento de uma miríade de produtos. Naturalmente, com a enorme complexidade inerente a eletrônica, simular por meios computacionais, é praticamente impositivo. Com isso, o que se observa, é o abreviar dos processos de que envolvem os projetos de dispositivos, circuitos, *chips* e toda gama de componentes desta ordem.

Considerando-se que a fabricação de dispositivos é extremamente cara, a existência de inexatidões e dúvidas sobre o funcionamento do protótipo deve ser minimizada. Por sua vez, evidencia-se que o funcionamento dos simuladores é baseado em modelos matemáticos e/ou físicos, nos quais diferentes métodos são empregados, consonantes às especificidades de cada tipo de implementação com as quais se trabalha.

Na presente tese, adotamos o *Sentaurus Device*, que é desenvolvido pela empresa estadunidense *Synopsys* [112]. Consigne-se que essa ferramenta foi empregada em razão do grande grau de confiabilidade e em virtude de proporcionar recursos necessários para o objetivo almejado. Desta feita, vislumbra-se que o propósito final de nossos estudos é compreender alguns dos fatores que envolvem comportamento da degradação por efeito NBTI em dispositivos JNTs.

3.4.1 Funcionalidade do simulador *Sentaurus*

O *Sentaurus Device* consiste em um avançado simulador multidimensional (1D/2D/3D), desenvolvido para fins de estudo de dispositivos. Suas ferramentas são capazes de simular características elétricas, térmicas e ópticas de dispositivos semicondutores baseados em silício e compostos.

Para os propósitos desse estudo, o simulador *Sentaurus* permite a investigação de novas estruturas feitas de diferentes materiais e exploração de novos conceitos de dispositivos para os quais os processos de fabricação ainda não estão definidos e/ou suas características elétricas são pouco conhecidas. Tal processo é efetuado por meio da física avançada e da capacidade de adicionar modelos definidos pelo usuário. Possibilita, também, caracterizar o comportamento elétrico, térmico e óptico de dispositivos semicondutores para prototipagem rápida, o desenvolvimento e a otimização de desempenho e redução do tempo de desenvolvimento, complementando dados experimentais com uma visão física profunda a partir da simulação e

estudos da sensibilidade das características do dispositivo, variando-se o processo e/ou seus parâmetros físicos e elétricos.

3.5 CARACTERÍSTICAS DOS DISPOSITIVOS SIMULADOS

Para aprofundar a compreensão dos fenômenos físicos que envolvem a degradação por efeito NBTI, foram realizadas simulações numéricas em 3D usando a ferramenta *Sentaurus* [113]. O arquivo utilizado foi desenvolvido para replicar as características dos dispositivos experimentais. Modelos que representam a geração e recombinação de portadores, a dependência da mobilidade com o campo elétrico longitudinal e o estreitamento da banda proibida foram considerados em todas as simulações. O efeito NBTI foi simulado através da aplicação de um modelo de degradação em dois estágios, no qual os níveis de energia envolvidos e as energias de ativação são distribuídas amplamente e tratadas como variáveis aleatórias [113].

Para tanto, utilizou-se de dispositivos com concentrações de dopantes de 5×10^{18} e $1 \times 10^{19} \text{ cm}^{-3}$, e diferentes densidades de armadilhas de interfaces (N_{it}), polarizados com diversas tensões de dreno V_{DS} . Outros parâmetros serão detalhados oportunamente.

É importante pontuar que o modelo de simulação de NBTI do *Sentaurus* não coaduna com os comandos para simulação de influências quânticas. Fato este que não deve comprometer a confiabilidade dos resultados obtidos, vista que tais efeitos são observados, principalmente, para espessuras de silício inferiores à 10 nm [114], ou seja, menores que as utilizadas no trabalho.

Os arquivos utilizados nas simulações das características de corrente e tensão, foram validados em um trabalho anterior, com resultados experimentais [10] e descrevem fielmente os dispositivos experimentais utilizados nos testes de laboratório. Estes arquivos podem ser consultados no Apêndice 2 e 3.

3.6 ESTUDOS APROFUNDADOS DO NBTI EM JNTs

A par dos arquivos já citados, que descrevem fielmente os dispositivos experimentais, empreendeu-se uma série de ensaios simulados, visando comparar o comportamento destes com os experimentais. Essa metodologia, possibilitou a exploração de pormenores aplicados ao tema.

A priori, para efeitos comparativos, foram incluídos dispositivos FinFET com as mesmas dimensões e características dos dispositivos JNTs. Naturalmente, estes transistores SOI tipo P diferem dos JNTs tipo P por apresentarem fonte e dreno com dopagem P e canal com dopagem N.

O apêndice 1 explica de forma resumida como o comprimento de canal influencia o comportamento do efeito NBTI, não só em dispositivos JNTs mas também em dispositivos SOI modo inversão. Esse conteúdo, diz respeito aos estudos contidos na Dissertação de Mestrado desse mesmo autor.

De qualquer forma, é importante salientar que o referido trabalho aponta que quanto menor o comprimento do canal, maior será o efeito NBTI e que dispositivos SOI estão mais sujeitos a esse efeito que dispositivos JNTs com características similares. Essa característica motivou o aprofundamento dos estudos da degradação NBTI em dispositivos JNTs, sendo assim, a leitura deste apêndice será de grande valia para a melhor compreensão dos resultados dessa tese.

Os procedimentos empreendidos até então, permitiram estabelecer o comportamento dos dispositivos JNTs frente a degradação por efeito NBTI. Com isso, faz-se mister, buscar uma explicação para os resultados obtidos. Para tanto, foi necessário explorar diversos parâmetros que envolvem o comportamento das cargas junto à interface do óxido de porta com o silício do canal. E o que se segue a frente, são os resultados obtidos nesta investigação.

3.7 CORRELAÇÕES ENTRE O CAMPO ELÉTRICO E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNTs

A literatura aponta que a degradação por efeito NBTI em transistores MOS correlaciona-se com o campo elétrico dentro dos dispositivos [43]. Para estudar essa assertiva, mediu-se amostras com concentrações de dopantes de 0,5 e $1 \times 10^{19} \text{ cm}^{-3}$, polarizou-se em duas tensões de dreno diferentes, com vários comprimentos de canal (L) e larguras (W). Para se entender o comportamento físico dos dispositivos, realizaram-se simulações de NBTI, como resultado, uma maior degradação pelo efeito NBTI foi obtida para o JNT com menor concentração de dopantes e canal mais curto. O comportamento do NBTI foi correlacionado com o campo elétrico dos dispositivos e é mostrado que o campo elétrico se torna importante, principalmente no regime de acumulação.

3.7.1 Características e medições dos dispositivos

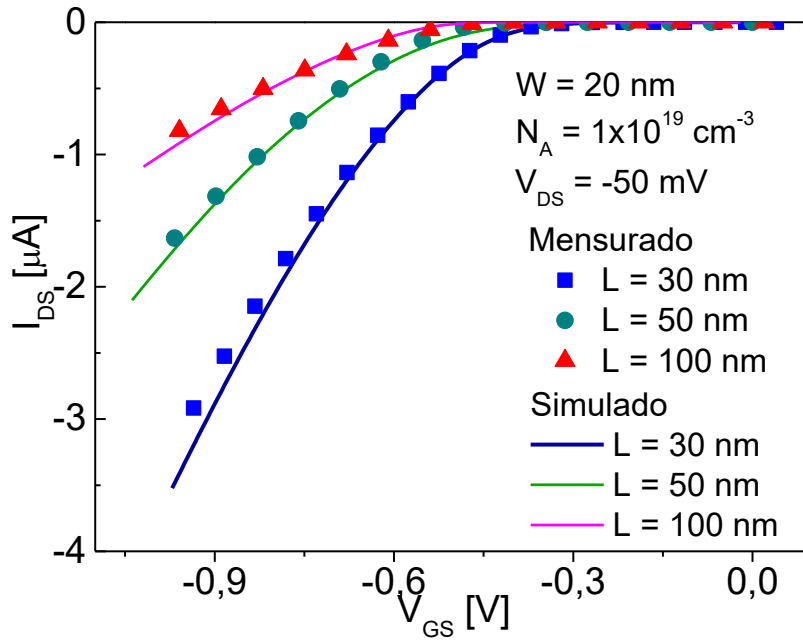
Essa análise do NBTI está balizada inicialmente através das medições experimentais. Todos os dispositivos medidos apresentam canal do tipo p com concentração de dopantes igual a $1 \times 10^{19} \text{ cm}^{-3}$ e consideraram-se diferentes polarizações de dreno ($V_{DS} = -0,05 \text{ V}$ e $-1,0 \text{ V}$). Também foram adotados dispositivos com comprimento de canal (L) de 20 nm, 40nm e 100 nm e larguras de canal (W) de 10 nm e 20nm. Todos os transistores apresentam espessura da camada de silício (t_{Si}) de 10 nm, EOT de cerca de 1,5 nm e espessura de óxido enterrado de 145 nm.

3.7.2 Curvas I_{DS} x V_{GS}

Inicialmente, a característica I_{DS} x V_{GS} de dispositivos de aleta única foi medida usando o *Keysight B1500 Semiconductor Parameter Analyzer*. As curvas para dispositivos com diferentes L e W foram medidas em função da tensão da porta (V_{GS}) para $V_{DS} = -0,05 \text{ V}$. A comparação entre as curvas experimentais e simuladas, vem a asseverar a validade das simulações, como mostrado na Figura 43.

O V_{TH} é reduzido para dispositivos mais longos devido ao acoplamento capacitivo mais forte, o que fornece um melhor controle das cargas pela tensão de porta.

Figura 43 - Curvas I_{DS} x V_{GS} para dispositivos JNTs experimentais e simulados com diferentes comprimentos e de canal N_A de $1 \times 10^{19} \text{ cm}^{-3}$ e V_{DS} de -50 mV

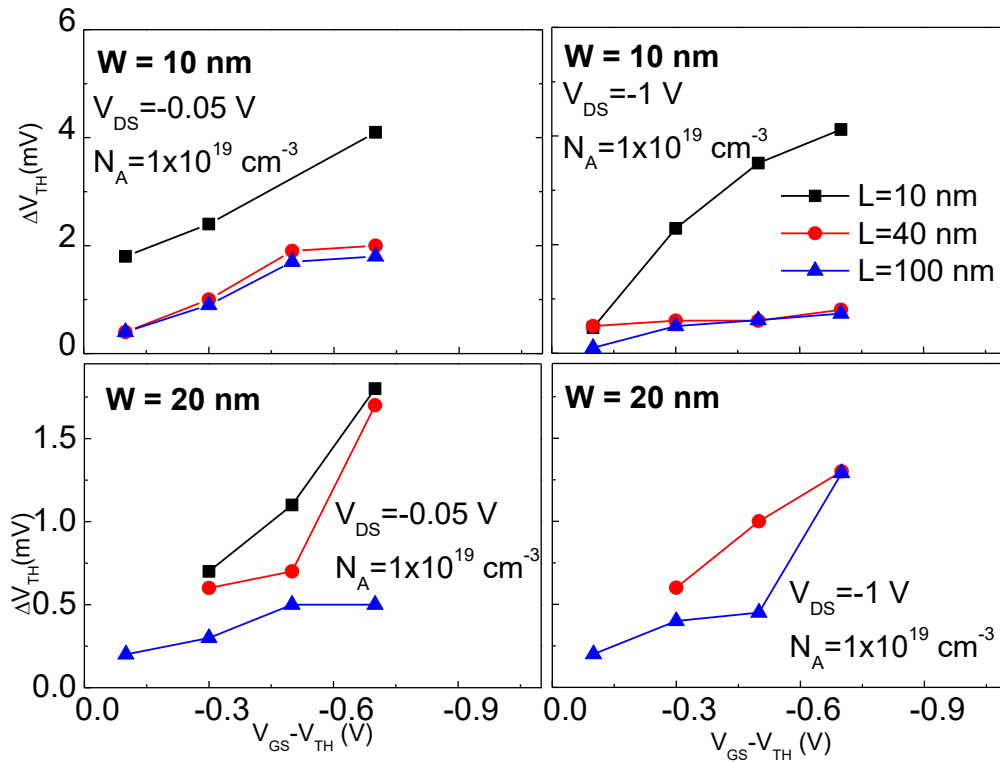


Fonte: Autor

3.7.3 Degradação por efeito NBTI em dispositivos experimentais

Na sequência, os dispositivos submeteram-se ao estresse NBTI do *Keysight B1500 Semiconductor Parameter Analyzer* e a degradação de V_{TH} devido ao NBTI foi extraída para todos os transistores para diferentes sobretensões de porta ($|V_{GT}| = |V_{GS}| - |V_{TH}|$). Como já descrito, os dispositivos foram estressados com $V_{GS} = 1,2 \text{ V}$ por um tempo total de 10^3 s . As curvas de ΔV_{TH} em função do V_{GT} são mostradas na Figura 44.

Figura 44 - Curvas experimentais de ΔV_{TH} x V_{GT} para dispositivos de aleta única com diferentes W e L em $V_{DS} = -50$ mV e -1 V

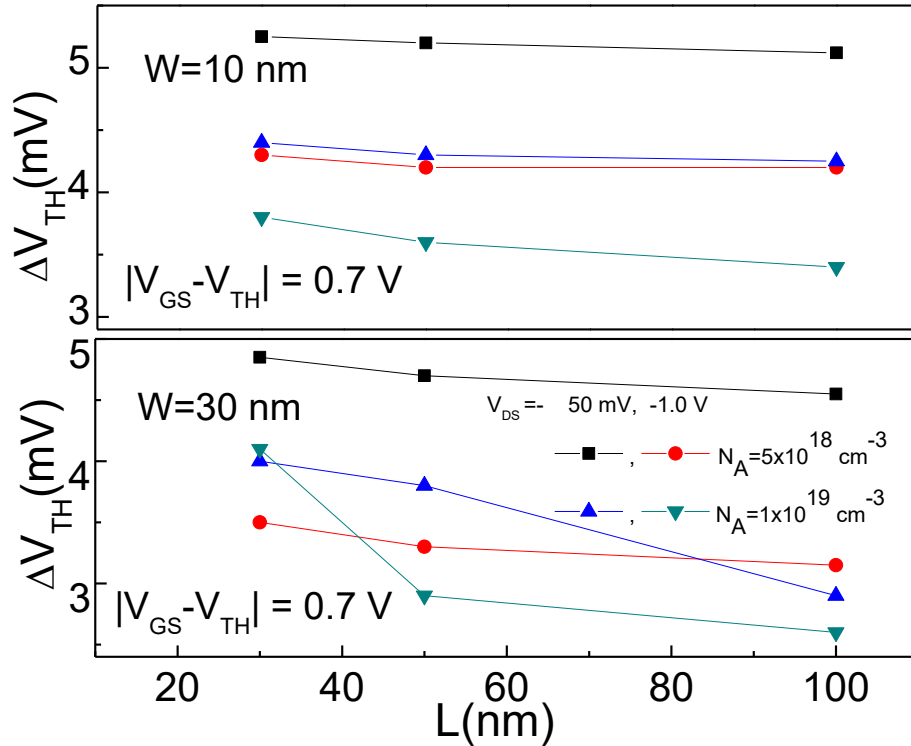


Fonte: Autor

Como se pode observar na Figura 44, a variação do V_{TH} devido ao NBTI aumenta com o aumento de $|V_{GS} - V_{TH}|$. Além disso, uma variação maior é observada para dispositivos mais estreitos e curtos.

Na Figura 45, os resultados do ΔV_{TH} são mostrados em função de L para dispositivos com múltiplos fins, com 50 aletas paralelas. Nesta análise, também são apresentados os resultados para transistores com diferentes concentrações de dopantes. Como pode ser observado, quanto menor L e W , maior a degradação do V_{TH} . Quando os dispositivos são submetidos a diferentes tensões de dreno (-50 mV e -1 V) também pode ser observada uma variação de ΔV_{TH} , onde é observada uma maior degradação do NBTI para a tensão mais baixa. Finalmente, a redução da concentração de dopantes mostrou aumentar ΔV_{TH} . Espera-se que a variação da degradação do NBTI com a variação dos parâmetros físicos dos dispositivos seja fortemente afetada pelo campo elétrico [115], semelhante ao que ocorre nos transistores modo inversão [116].

Figura 45 - Curvas experimentais de ΔV_{TH} x L para dispositivos com 50 aletas paralelas com diferentes W, L e N_A para $V_{DS} = -50$ mV e -1 V



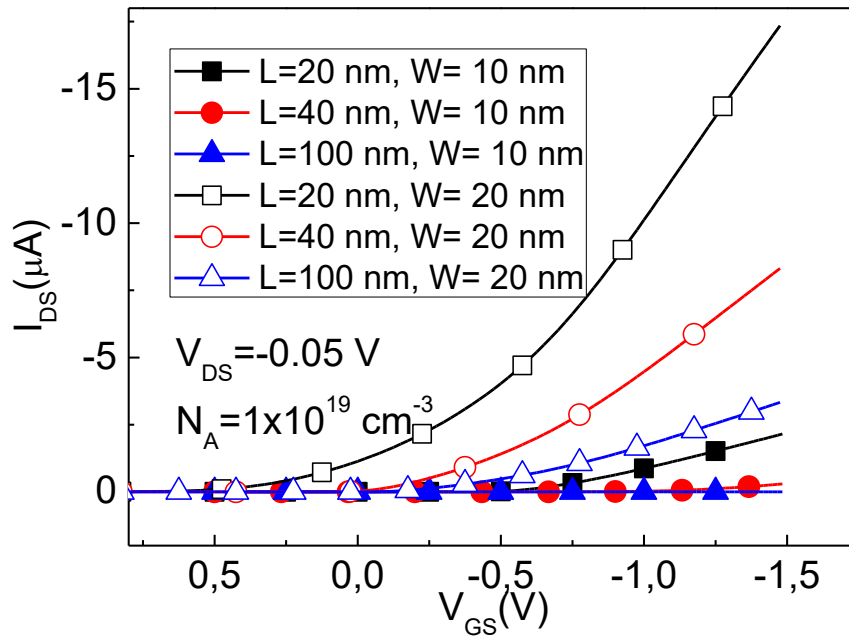
Fonte: Autor

3.7.4 Análises do NBTI através de simulações numéricas

Para entender os efeitos físicos que contribuem para o comportamento das NBTI, foram realizadas simulações usando a ferramenta *Sentaurus*. Dispositivos com características semelhantes às experimentais foram simulados [10]. Em um primeiro momento, foi considerada uma densidade de armadilha de $5 \times 10^{12} \text{ cm}^{-2}$, que é o valor padrão do simulador.

Inicialmente, as curvas I_{DS} x V_{GS} foram simuladas para dispositivos com os mesmos parâmetros experimentais, considerando uma concentração de dopantes de canal de $1 \times 10^{19} \text{ cm}^{-3}$. Os resultados simulados das curvas I_{DS} x V_{GS} para dispositivos com diferentes W e L em $V_{DS} = -50$ mV e -1 V são apresentados na Figura 46.

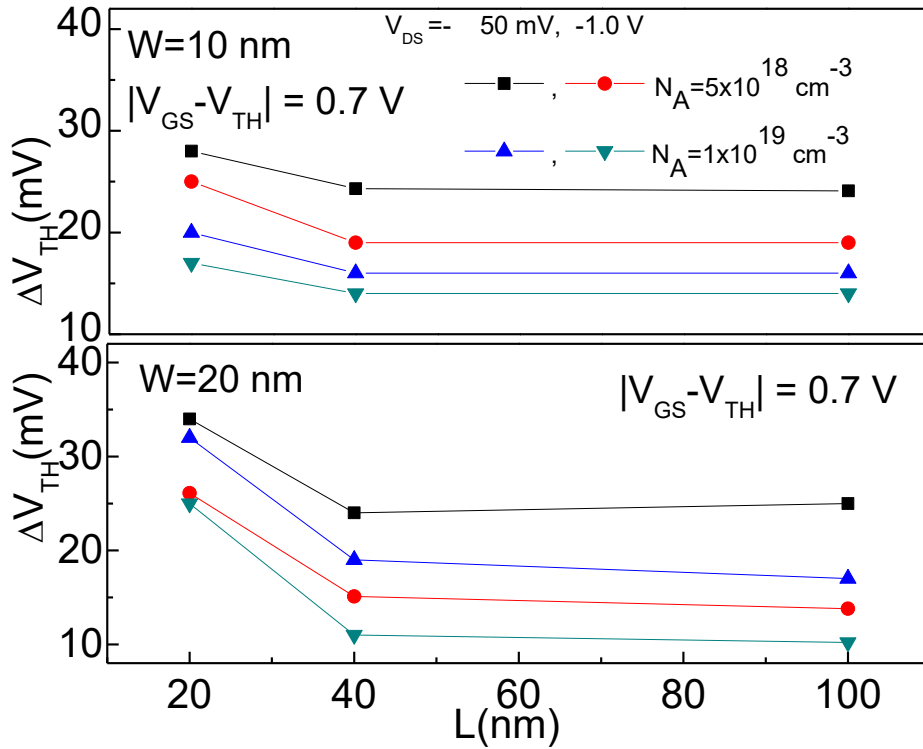
Figura 46 - Curvas I_{DS} x V_{GS} simuladas para JNTs com diferentes W e L com $V_{DS} = -50$ mV



Fonte: Autor

Da mesma forma que o procedimento aplicado aos dados experimentais, o V_{TH} dos dispositivos foi extraído pelo método g_m/I_{DS} já descrito. Na sequência, foi obtido o ΔV_{TH} , cujos resultados em função de L são mostrados na Figura 47.

Figura 47 - Curvas $\Delta V_{TH} \times L$ simuladas para JNTs com diferentes W e dopagem para $|V_{GS}-V_{TH}| = 0,7 \text{ V}$ e $V_{DS} = -50 \text{ mV}$ e -1 V



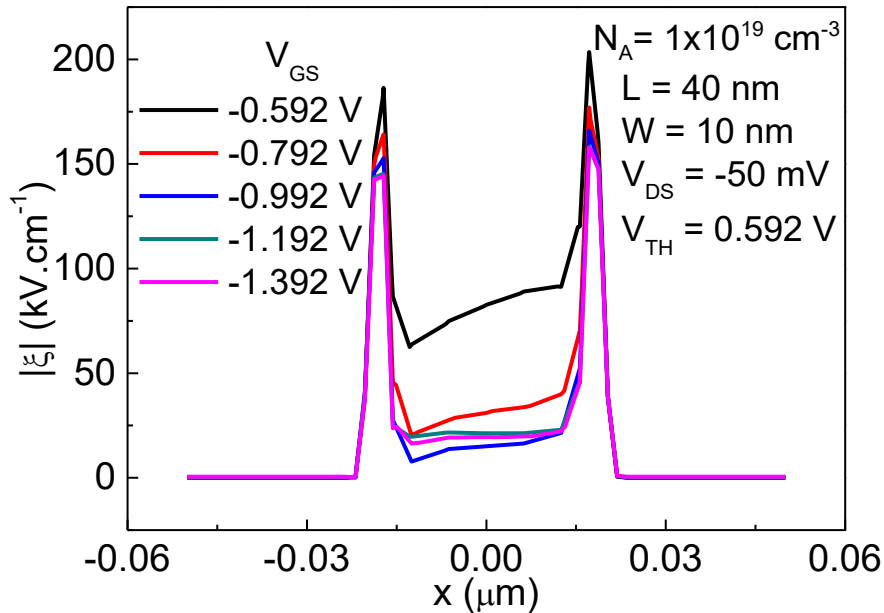
Fonte: Autor

Como pode ser observado, o aumento de L e W resulta em uma redução na degradação do V_{TH} . Além disso, o ΔV_{TH} exibe uma variação maior para dispositivos menos dopados e menor V_{DS} . Essas conclusões são similares às observadas nos resultados da Figura 45, indicando que simulações reproduzem os efeitos observados em dados experimentais. O maior valor observado para ΔV_{TH} em dispositivos simulados em relação aos experimentais pode estar associado há uma possível maior densidade de armadilhas utilizada como padrão pelo arquivo do simulador, visto que este parâmetro não é sempre conhecido nos dispositivos experimentais.

3.7.5 Campo elétrico

Para entender o comportamento do NBTI no transistor sem junções, foi extraído o campo elétrico (ξ) no canal dos dispositivos. Na Figura 48, ξ é mostrado no centro do dispositivo ao longo do comprimento do canal (x) de um transistor com $L = 40 \text{ nm}$, $W = 10 \text{ nm}$ e $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ polarizados em $V_{DS} = -50 \text{ mV}$ e diferentes tensões de porta.

Figura 48 - Perfil de campo elétrico simulado ao longo do canal (x) extraído no centro da camada de silício para JNTs com $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ e $V_{DS} = -50 \text{ mV}$

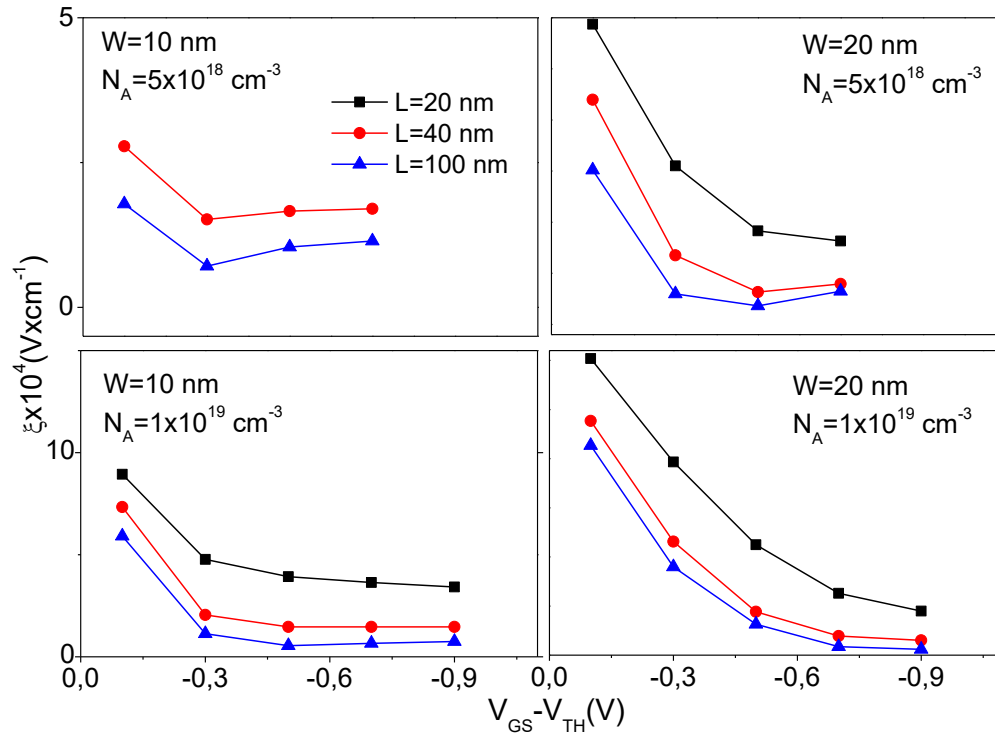


Fonte: Autor

Os dois picos indicam as depleções próximas às regiões de fonte e dreno (picos esquerdo e direito, respectivamente). Distante das regiões de depleção, o campo elétrico é menor e depende de V_{GS} . Para $|V_{GS}|$ até 0,992 V, o campo elétrico é reduzido à medida que o dispositivo está funcionando com depleção parcial. Para maiores $|V_{GS}|$, $|\xi|$ aumenta, uma vez que o dispositivo alcança a acumulação e o campo elétrico muda de direção.

Na Figura 49, o campo elétrico extraído no centro da camada de silício (onde o canal é formado) é mostrado como uma função do $V_{GS} - V_{TH}$ para dispositivos com diferentes comprimentos de canal, larguras e concentrações de dopantes com $V_{DS} = -50 \text{ mV}$.

Figura 49 - Campo elétrico extraído no centro da camada de silício em função do $V_{GS}-V_{TH}$ para dispositivos com diferentes N_A , W , L e $V_{DS} = -50$ mV

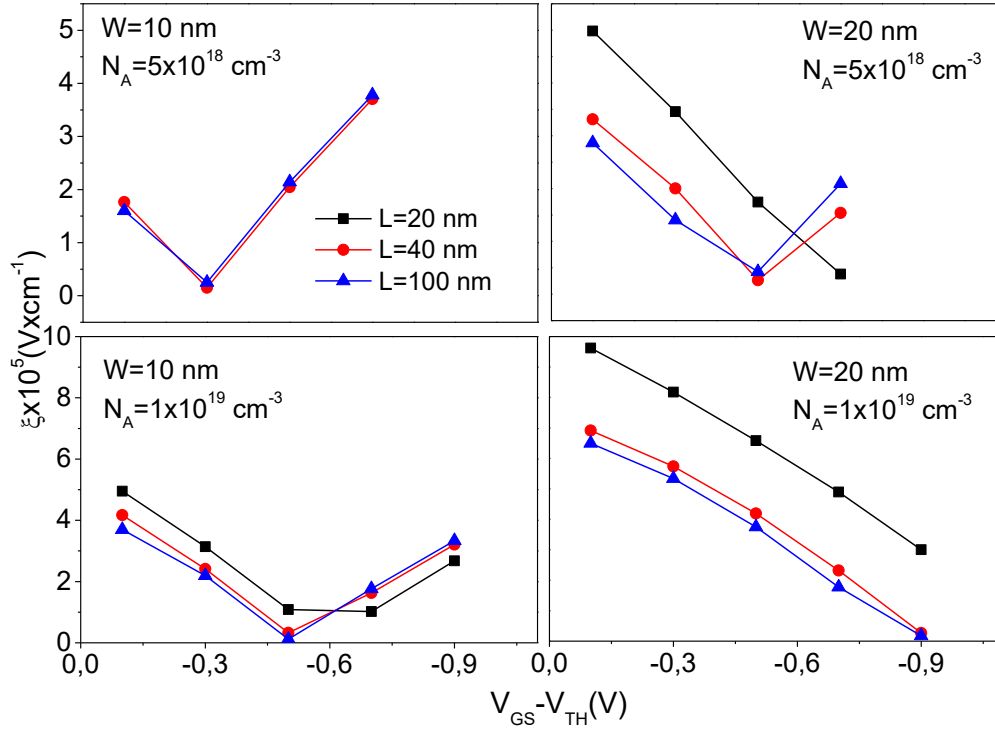


Fonte: Autor

Pode-se observar que ξ diminui com o aumento de $|V_{GS} - V_{TH}|$ e tende a um valor constante para tensões de porta maiores. Este efeito está associado à formação de um caminho neutro próximo ao centro do canal, à medida que o campo elétrico induzido pela porta é reduzido. O campo elétrico neste ponto da estrutura é importante para a operação do dispositivo, mas espera-se que seja insignificante para a degradação NBTI, pois as armadilhas estão na interface.

Por esse motivo, o campo elétrico também foi extraído na superfície da estrutura em função de $|V_{GS} - V_{TH}|$ para $x = 0 \text{ } \mu\text{m}$, como mostrado na Figura 50.

Figura 50 - Campo elétrico extraído na superfície da camada de silício em $x = 0$ em função do $V_{GS} - V_{TH}$ para dispositivos com diferentes N_A , W e L com $V_{DS} = -50$ mV

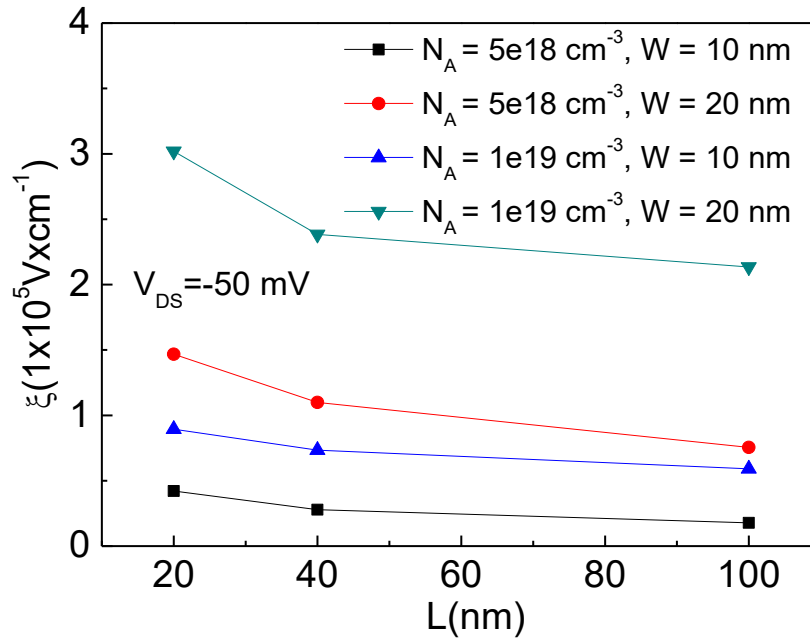


Fonte: Autor

Pode-se verificar que o campo reduz com $|V_{GS} - V_{TH}|$ até que os dispositivos atinjam a tensão de faixa plana, onde é observado um mínimo. Para $|V_{GS} - V_{TH}|$ maior, o campo elétrico muda de direção e começa a aumentar. Para um menor $|V_{GS} - V_{TH}|$, uma quantidade menor de armadilhas é ocupada pelos portadores, resultando em um NBTI mais baixo. Para $|V_{GS} - V_{TH}|$ acima da faixa plana, o NBTI mostrou aumentar com o campo elétrico e o ΔV_{TH} começa a aumentar em uma taxa maior com o aumento da tensão de porta. Ainda na Figura 50, observa-se que, acima da faixa plana, o campo elétrico no mesmo $|V_{GS} - V_{TH}|$ é maior em dispositivos menos dopados estreitos e curtos, similarmente ao efeito NBTI aferido em dispositivos experimentais. Esses dispositivos estão operando mais profundamente no regime de acumulação, pois a diferença entre a tensão de faixa plana e o V_{TH} é menor com N_A e W menores.

A Figura 51 mostra as curvas do campo elétrico na superfície da camada de silício para $x = 0$ nm em função do comprimento do canal para dispositivos com diferentes W e concentrações de dopantes, com V_{DS} de -50 mV e $V_{GS} - V_{TH} = -0,7$ V.

Figura 51 - Campo elétrico na superfície da camada de silício em função de L para dispositivos com diferentes W e concentração de dopagem e com $V_{DS} = -50$ mV e $V_{GS} - V_{TH} = -0,7$ V



Fonte: Autor

Há uma clara redução do campo elétrico com o aumento do comprimento do canal, o que corrobora com o menor NBTI observado nesses dispositivos. Uma conclusão semelhante pode ser obtida para as diferentes larguras. Com relação à concentração de dopantes, os dispositivos fortemente dopados não atingiram a acumulação para o $V_{GS} - V_{TH}$ apresentado na Figura. Portanto, seu campo elétrico é maior que o apresentado em transistores menos dopados.

3.7.6 Avaliações a respeito do estudo do campo elétrico

Esta parte do trabalho avaliou o NBTI em transistores de nanofios sem junção, com o objetivo de correlacionar a degradação do NBTI com o campo elétrico na região do canal dos dispositivos. O trabalho foi realizado através de simulações numéricas suportadas por resultados experimentais. Foi demonstrado que o NBTI aumenta com a tensão de porta dos dispositivos que é maior quando os transistores são polarizados na acumulação. Demonstrou-se que esse efeito está associado ao maior campo elétrico mais próximo da superfície dos transistores. Embora o campo elétrico no centro do dispositivo seja importante para o funcionamento do JNT, ele mostrou ser insignificante para o efeito NBTI.

3.8 CORRELAÇÕES ENTRE A DENSIDADE DE ARMADILHAS DE INTERFACE E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNT

Após verificar o efeito do campo elétrico, a densidade de armadilhas foi variada com o intuito de verificar seu impacto no NBTI. A análise foi realizada por meio de medidas experimentais seguidas de simulações e mostrou que o aumento no número de armadilhas próximas à interface leva ao aumento do efeito NBTI em uma taxa que pode ser correlacionada ao regime de operação dos dispositivos.

Como resultado do estresse devido à polarização da porta, as ligações de hidrogênio com átomos de dopantes de silício eventualmente se quebram [117], gerando ligações incompletas, que podem ser ocupadas por portadores que fluem através do canal. Este fenômeno altera a tensão de limiar do transistor, afetando suas características elétricas. Por sua vez, a variação do V_{TH} é proporcional ao número de lacunas na região do canal que são capturados pelas ligações Si-H. Conexões rompidas atuam como armadilhas e contribuem para a mudança na tensão de limiar e para reduzir a mobilidade [118], o que está relacionada à densidade dos precursores de vacância de oxigênio próximos à interface (N_0). É de se salientar mais uma vez, que em trabalhos anteriores, foi demonstrado que os JNTs apresentam boa imunidade aos NBTI devido ao baixo campo elétrico próximo à interface [119].

Para verificar a correlação entre a densidade de armadilhas e a degradação por NBTI, foram efetuadas simulações considerando o campo elétrico vertical, geração e recombinação de portadores e estreitamento de banda proibida. O NBTI foi contabilizado através do modelo de dois estágios [120]. Este modelo relaciona os precursores da vacância de oxigênio com a densidade de carga da interface (Q) através da equação:

$$Q = q \cdot N_0 \cdot (s_2 + s_4) + q \cdot N_0 \cdot (s_4 \cdot fP_{it}) \quad (51)$$

onde fP_{it} é a probabilidade de ocupação da lacuna, s_2 são centros de ligações pendentes em óxidos amorfos e s_4 são cargas fixas positivas em centros pouco recuperáveis.

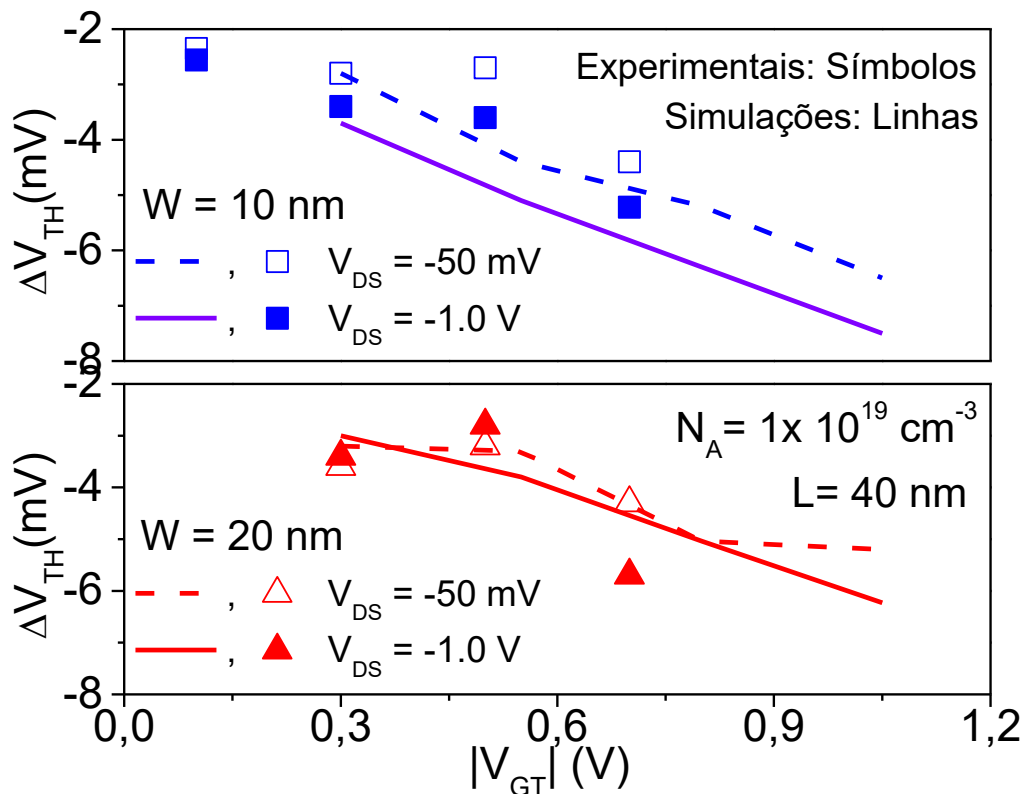
Além disso, este efeito é dependente ao longo do tempo devido ao estresse aplicado aos terminais do dispositivo [121]. No entanto, não se sabe como o N_0 influencia a resposta dos JNTs ao NBTI. Por esse motivo, este tópico tem como objetivo avaliar como esse parâmetro afeta a variação da tensão de limiar (ΔV_{TH}) em tais dispositivos devido à geração de armadilhas de interface (N_{it}). A análise geral foi realizada por meio de simulações validadas através de dados experimentais.

3.8.1 Análises Experimentais x Simuladas

Como o efeito de degradação do V_{TH} obtido através das simulações na análise anterior foi superior ao obtido na análise experimental, decidiu-se efetuar simulações com diferentes valores de N_0 para se determinar qual seria a escala realista de N_0 dos dispositivos reais. Assim, fazendo uso dos dados obtidos anteriormente com os dispositivos experimentais, traçaram-se as curvas de ΔV_{TH} em função do V_{GT} que são exibidas na Figura 52 para diferentes W e V_{DS} .

O mesmo conjunto de curvas foi obtido por meio de simulações realizadas com vistas a se determinar a densidade de armadilhas de interface de dispositivos experimentais. Para estabelecer qual seria sua ordem de grandeza, foram realizadas simulações para diferentes N_0 de 1×10^{11} até $5 \times 10^{13} \text{ cm}^{-2}$ e os resultados foram comparados com os das curvas experimentais.

Figura 52 - ΔV_{TH} x V_{GT} para dispositivos experimentais e simulados com diferentes W polarizados com $V_{DS} = -50 \text{ mV}$ e $-1,0 \text{ V}$



Fonte: Autor

As curvas simuladas que melhor se ajustam as experimentais são aquelas com N_0 igual a $5 \times 10^{11} \text{ cm}^{-2}$. Esses resultados estão de acordo com o N_{it} obtido nos JNTs experimentais em [122, 123], que foram fabricados seguindo o mesmo processo.

Assim, determinou-se qual o valor aproximado do N_0 dos dispositivos experimentais e naturalmente, para os estudos emprestados a partir dessa constatação, foi utilizado o valor de N_0 de $5 \times 10^{11} \text{ cm}^{-2}$ que é coerente com as amostras disponíveis.

3.8.2 Tensão de limiar antes do estresse

Os valores extraídos da tensão de limiar, bem como a tensão de faixa plana para dispositivos de 40 nm de comprimento com diferentes concentrações de dopantes e larguras antes do estresse, são mostrados na Tabela 1.

Tabela 1- Valores da tensão de limiar e de faixa plana antes do estresse

$N_A \text{ (cm}^{-3}\text{)}$	$V_{FB} \text{ (V)}$	$L \text{ (nm)}$	$W \text{ (nm)}$	$V_{TH} \text{ (V)}$ ($V_{DS} = -0.05 \text{ V}$)	$V_{TH} \text{ (V)}$ ($V_{DS} = -1.0 \text{ V}$)
5×10^{18}	-1.05	40	10	-0.71	-0.50
			20	-0.49	-0.05
1×10^{19}	-1.06	40	10	-0.65	-0.43
			20	-0.36	0.08

Fonte: Autor

3.8.3 Influência do N_{IT} na degradação NBTI

A densidade das armadilhas de interface reflete a qualidade do óxido de porta. Quanto melhor for essa característica, melhor será o processo de fabricação. Com o objetivo de aprofundar a análise e verificar como a densidade de armadilhas afeta a ocorrência do NBTI em JNTs, foram realizadas simulações para um JNT tipo p de comprimento de canal de 40 nm considerando diferentes concentrações de dopantes (5×10^{18} e $1 \times 10^{19} \text{ cm}^{-3}$), V_{DS} de - 50 mV e -1 V e N_0 variando entre 5×10^{11} e $5 \times 10^{13} \text{ cm}^{-2}$.

As Figuras 52 e 53 apresentam a variação da tensão limiar devido ao efeito NBTI (ΔV_{TH}) em função de N_0 , onde é considerado que toda a redução da corrente está relacionada à variação da tensão de limiar. Ainda nas Figuras 53 e 54, o efeito NBTI se intensifica com o aumento da densidade N_0 . Entretanto, para N_0 maior que $2 \times 10^{13} \text{ cm}^{-2}$, a tendência das curvas é de atingir um valor quase constante. Isso pode ser explicado pelo fato de que o N_0 adotado representa o

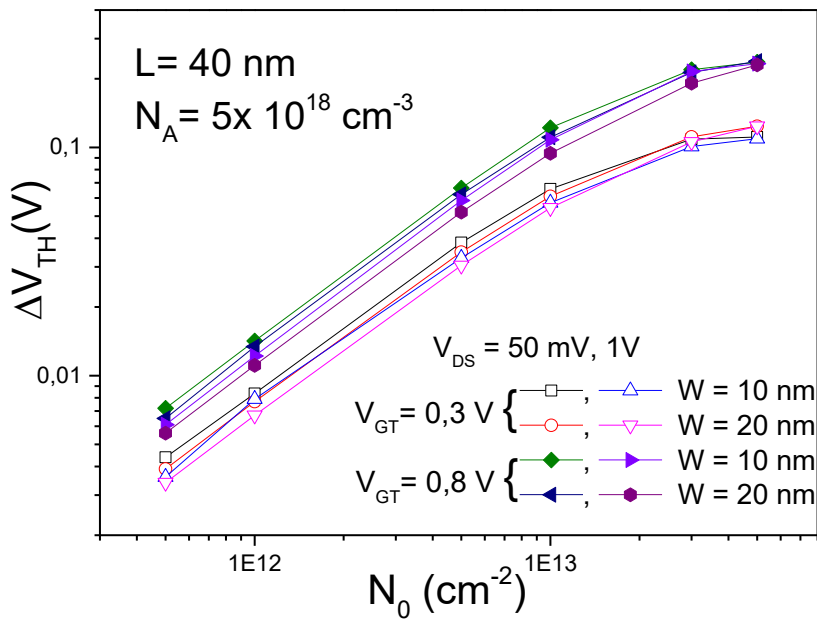
limite máximo para geração de armadilhas de interface nos dispositivos, conforme mostrado na expressão (53) [116]:

$$N_{it,SP}(r, t, E_{SP}) = P_{SP} N_0 [1 - e^{-K_{SP}(r, E_{SP})t}] \quad (53)$$

onde P_{SP} é a probabilidade de gerar defeitos pelos processos da densidade de interceptação de interface de partícula única (SP); E_{SP} é a energia de ativação para processos SP e $K_{SP}(r, E_{SP})$ é a taxa de reação para processos SP.

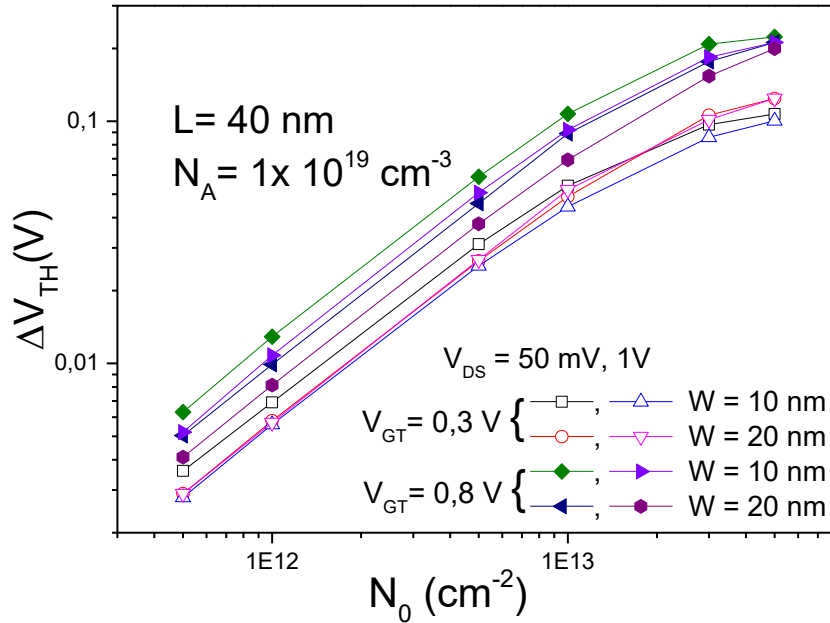
Como os íons de hidrogênio são limitados, o aumento no número de precursores N_0 , tende a diminuir o P_{SP} e o N_{IT} resultante, tende à estabilidade.

Figura 53 - ΔV_{TH} em função de N_0 para dispositivos simulados com diferentes W e N_A de $5 \times 10^{18} \text{ cm}^{-3}$



Fonte: Autor

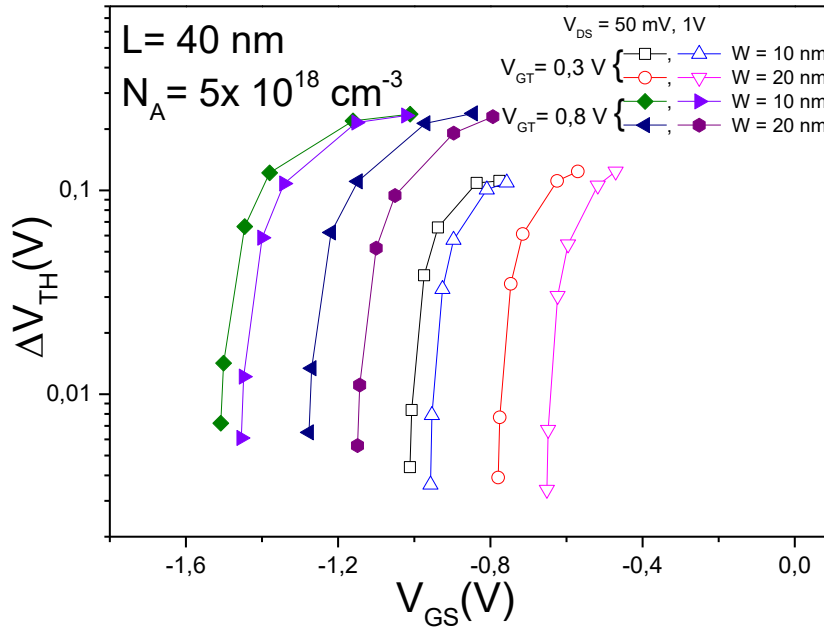
Figura 54 - ΔV_{TH} em função de N_0 para dispositivos simulados com diferentes W e N_A de $1 \times 10^{19} \text{ cm}^{-3}$



Fonte: Autor

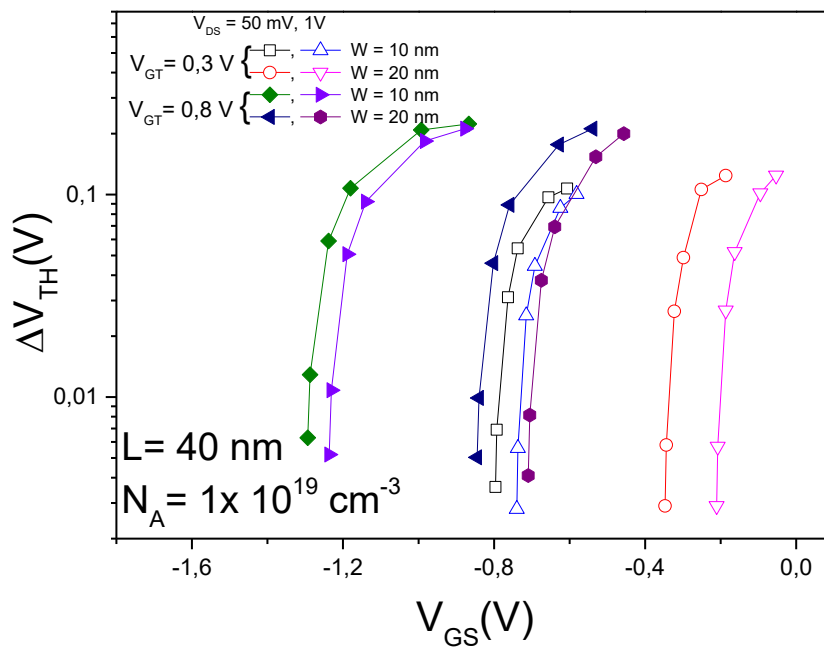
Como já mencionado, o efeito do NBTI é intensificado com o aumento do N_0 e, acima de $2 \times 10^{13} \text{ cm}^{-2}$, o ΔV_{TH} tende a se tornar quase constante com N_0 , independentemente de V_{GT} ou da concentração de dopantes. Esse fato indica que a quantidade de cargas atraídas pelas armadilhas de interface tende a ser um valor constante, o que pode estar relacionado ao regime de operação dos JNTs. Este comportamento pode ser confirmado nas Figuras 55 e 56, que exibem $\Delta V_{TH} \times V_{GS}$ para dispositivos com diferentes concentrações de dopantes, considerando diferentes N_0 . Ainda, ao se comparar as duas figuras, há de se constatar que a degradação dos dispositivos dopados com N_A de $5 \times 10^{18} \text{ cm}^{-3}$ é maior que a dos mais dopados.

Figura 55 - ΔV_{TH} x V_{GS} para dispositivos simulados com diferentes valores de W , para dois diferentes valores de V_{GT} e V_{DS} e para N_A de $5 \times 10^{18} \text{ cm}^{-3}$



Fonte: Autor

Figura 56 - ΔV_{TH} x V_{GS} para dispositivos simulados com diferentes valores de W , para dois diferentes valores de V_{GT} e V_{DS} e para N_A de $1 \times 10^{19} \text{ cm}^{-3}$



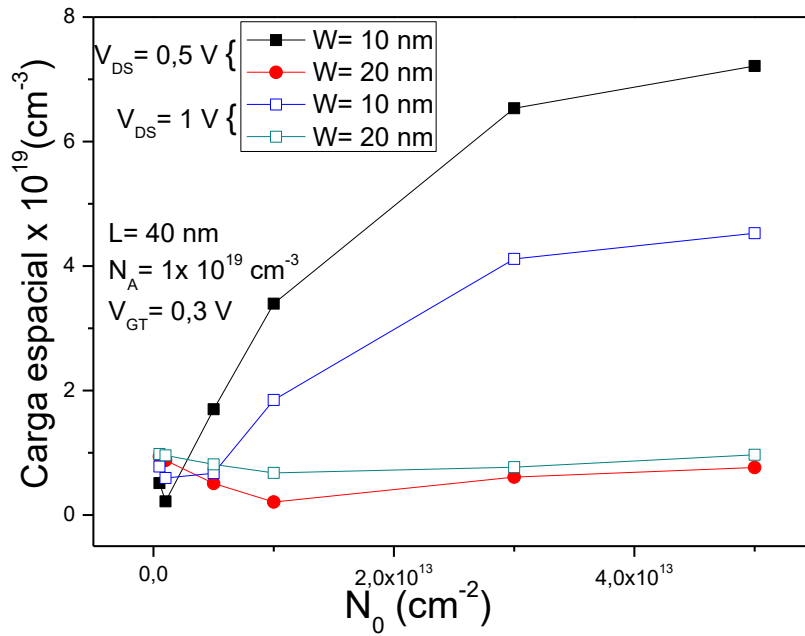
Fonte: Autor

Neste caso, diferentes V_{GS} são obtidos para V_{GT} fixo, o que significa que a faixa de variação do V_{GS} está associada ao deslocamento do V_{TH} , que é potencializado pela variação de N_0 . Ou seja, o ponto V_{GS} mais próximo da extremidade direita de cada curva foi obtido para $N_0 = 5 \times 10^{13} \text{ cm}^{-2}$, enquanto no lado oposto, $N_0 = 5 \times 10^{11} \text{ cm}^{-2}$. Ainda se referindo às Figuras 55 e 56, pode-se notar que o ΔV_{TH} satura para diferentes V_{GS} quando tanto V_{GT} como N_A são variados. Para V_{DS} mais baixo, o ΔV_{TH} satura em um valor maior devido ao campo elétrico mais alto nesta condição [119].

3.8.4 Análises a partir das Cargas de Interface

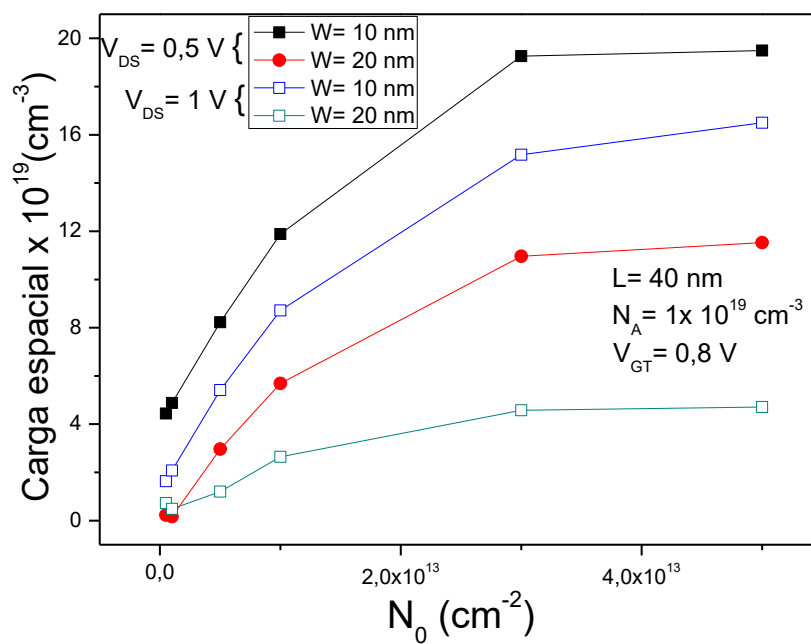
Outra forma de analisar esse fenômeno é por meio do comportamento das cargas na interface. Observando as Figuras 57 e 58, que apresentam as cargas espaciais, dada pela carga total composta por elétrons, lacunas e armadilhas em função de N_0 , torna-se claro que, ao aumentar a densidade dos precursores de vacância de oxigênio próximo à interface, o número de cargas tende a um valor constante. Aparentemente, para valores maiores de N_0 , o efeito NBTI permanece constante, pois já foi atingido o limite de cargas disponíveis na interface. Outra possibilidade é que parte das armadilhas simplesmente não seja ocupada devido à redução da energia superficial (aumento do potencial de superfície) para o regime de depleção parcial [124].

Figura 57 - Carga espacial em função de N_0 para dispositivos simulados com diferentes W polarizados em dois V_{DS} diferentes e para V_{GT} de -0,3 V



Fonte: Autor

Figura 58 - Carga espacial em função de N_0 para dispositivos simulados com diferentes W polarizados em dois V_{DS} diferentes e para V_{GT} de -0,8 V

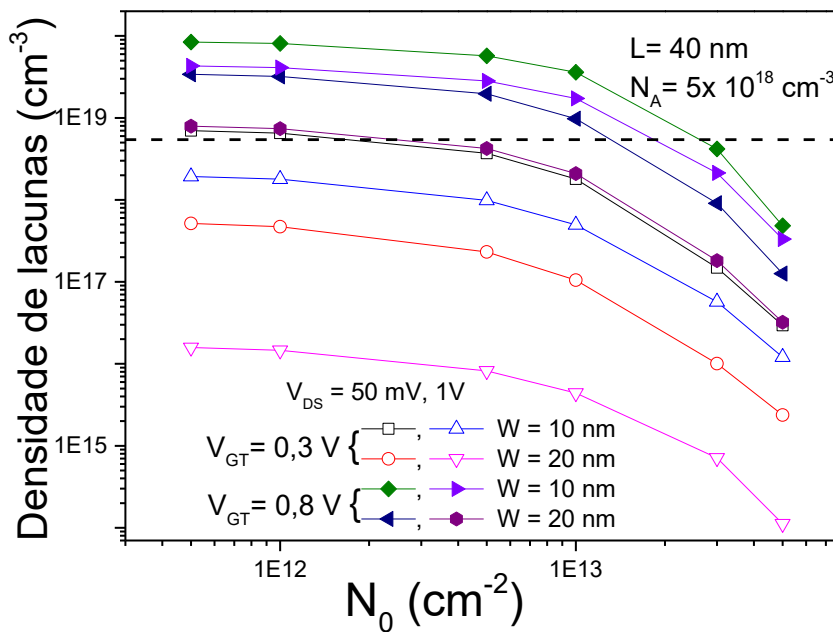


Fonte: Autor

Para o dispositivo com $W = 10 \text{ nm}$ e $V_{GT} = -0,8 \text{ V}$, a variação de N_0 de 5×10^{11} até $5 \times 10^{13} \text{ cm}^{-2}$ ocorre em uma faixa V_{GS} de cerca de $0,5 \text{ V}$, enquanto para o V_{GT} de $-0,3 \text{ V}$, ocorre em uma faixa V_{GS} de cerca de $0,45 \text{ V}$. Isto está associado aos diferentes regimes de funcionamento dos dispositivos que podem ser melhor analisados através da densidade de lacunas junto à interface, que é apresentada nas Figuras. 59 á 62.

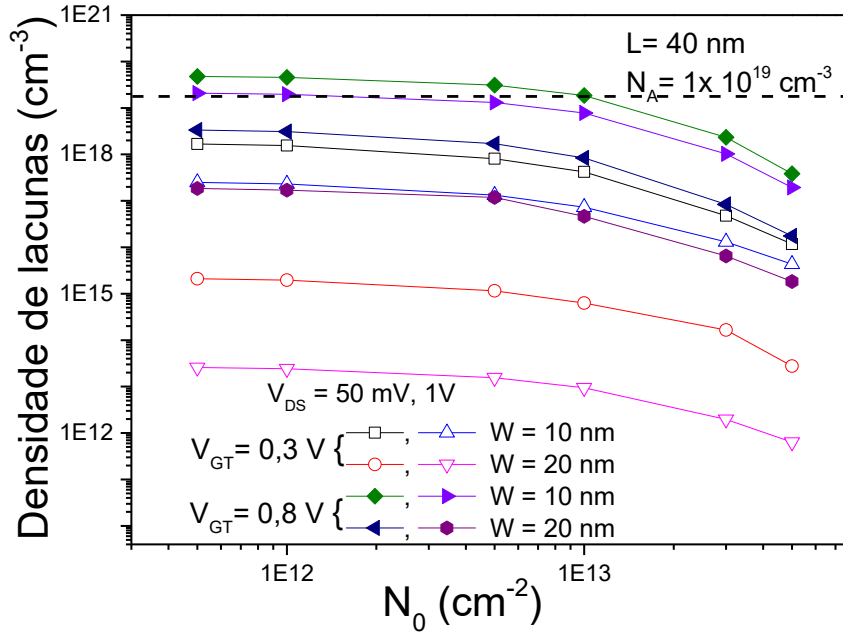
As Figuras 59 e 60 mostram a densidade das lacunas na superfície em função de N_0 para os dispositivos com diferentes características, polarizadas com $V_{GT} = -0,3$ e $-0,8 \text{ V}$ e $V_{DS} = -50 \text{ mV}$ e -1 V .

Figura 59 - Densidade de lacunas em função de N_0 para dispositivos simulados com diferentes W e N_A de $5 \times 10^{18} \text{ cm}^{-3}$, baseado em diferentes valores de V_{GT} e V_{DS}



Fonte: Autor

Figura 60 - Densidade de lacunas em função de N_0 para dispositivos simulados com diferentes W e N_A de $1 \times 10^{19} \text{ cm}^{-3}$, baseado em diferentes valores de V_{GT} e V_{DS}

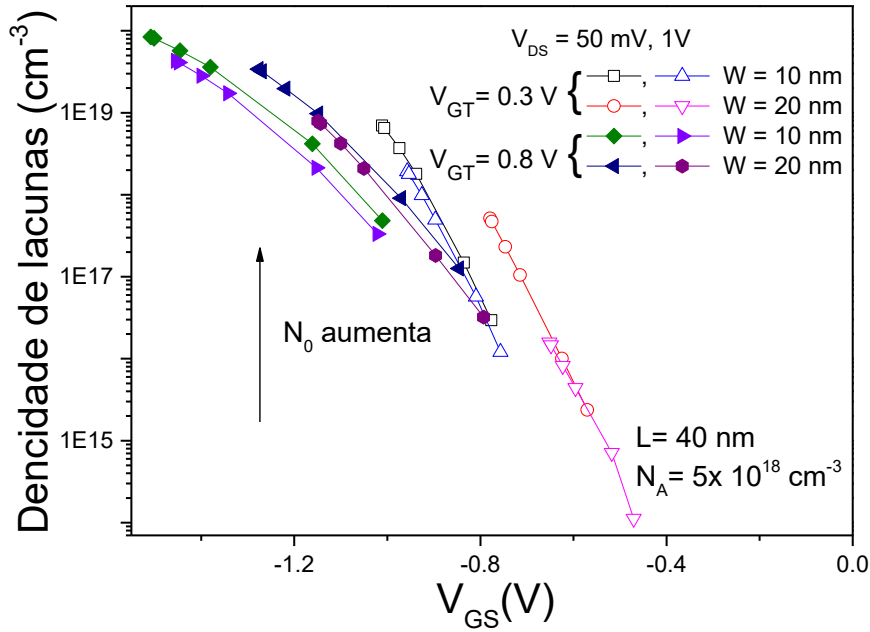


Fonte: Autor

As linhas tracejadas mostradas nas figuras, indicam a concentração de dopantes dos dispositivos, ou seja, quando a densidade de lacunas na superfície for maior do que a concentração de dopantes, o dispositivo está polarizado acima da faixa plana, operando na condição de acumulação, enquanto que para densidade de lacunas menor que N_A , ele opera em regime de depleção parcial.

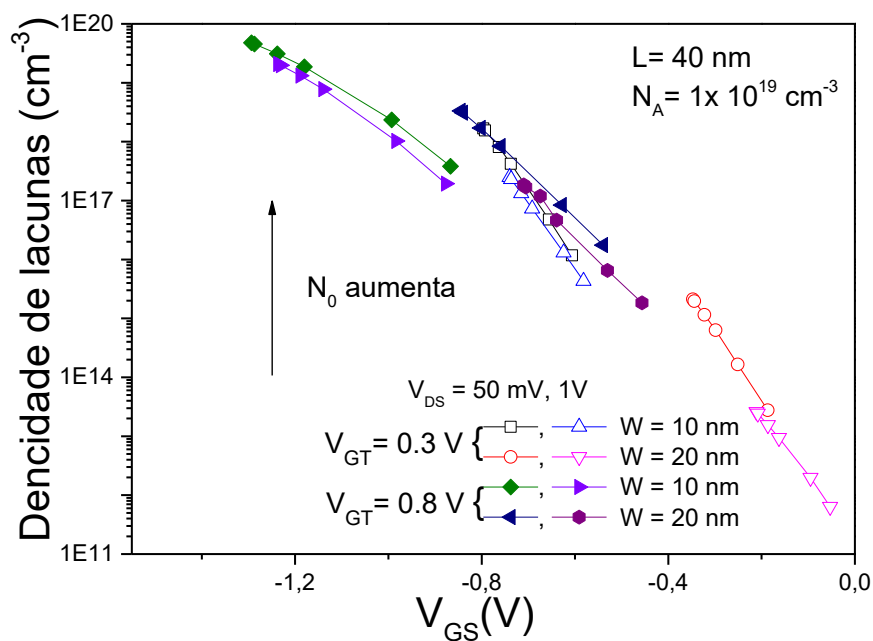
Nas Figuras 61 e 62, é apresentada a densidade de lacunas em função da tensão da porta para dispositivos com diferentes W , N_A e condições de polarização. A densidade de lacunas é obtida em função da tensão da porta para dispositivos com diferentes larguras e concentrações de dopantes, considerando V_{GT} de $-0,3$ e $-0,8 \text{ V}$. Vale ressaltar que, quando N_0 aumenta, a densidade de armadilhas também aumenta, afetando a tensão de limiar devido ao NBTI. Portanto, quando um dispositivo é considerado em uma condição de operação fixa, ou seja, em um V_{GT} fixo, um aumento em N_0 resulta em uma diminuição de $|V_{GS}|$, para compensar a variação de tensão de limiar.

Figura 61 - Densidade de lacunas em função de V_{GS} para dispositivos simulados com diferentes W e N_A de $5 \times 10^{18} \text{ cm}^{-3}$ baseado em diferentes V_{GT} e V_{DS}



Fonte: Autor

Figura 62 - Densidade de lacunas em função de V_{GS} para dispositivos simulados com diferentes W e N_A de $1 \times 10^{19} \text{ cm}^{-3}$ baseado em diferentes V_{GT} e V_{DS}



Fonte: Autor

Para o dispositivo com menor largura de canal ($W = 10 \text{ nm}$) e $N_A = 5 \times 10^{18} \text{ cm}^{-3}$ em $V_{GT} = -0,8 \text{ V}$, a densidade de lacunas é maior. Quanto menor o V_{GS} , maior a densidade de lacunas, indicando que o dispositivo está operando mais profundamente no regime de acumulação. Dispositivos com maior N_0 apresentam maior V_{TH} e, portanto, são polarizados mais profundamente na acumulação no mesmo V_{GT} , o que resulta em maior densidade de lacunas.

Ao se comparar as curvas das Figuras 61 e 62 com os resultados mostrados nas Figuras 53 e 54, é possível concluir que o ΔV_{TH} satura para densidades de lacuna mais baixas, onde o canal de condução é formado longe das interfaces dos dispositivos, ou seja, operando em depleção parcial.

3.8.5 Avaliações a respeito do estudo da densidade de armadilhas de interface

Aqui, é importante destacar que este tópico avaliou pela primeira vez, como a quantidade de precursores de oxigênio e armadilhas próximas à interface de transistores de nanofios sem junções afeta a resposta de tais dispositivos ao efeito NBTI. Acima está demonstrado que a variação nos precursores de vacância de oxigênio próximo à interface (N_0), que determina o N_{it} , pode alterar o regime de operação dos transistores, levando à saturação da degradação do V_{TH} devido ao NBTI, quando os dispositivos são polarizados em regime de depleção parcial.

Como é sabido, o efeito NBTI se dá na interface entre o óxido de porta e o silício do canal. Esse fato, somado às conclusões obtidas até aqui, suscita uma investigação a respeito da importância do potencial de superfície para o entendimento do fenômeno.

3.9 CORRELAÇÕES ENTRE O POTENCIAL DE SUPERFÍCIE E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNT

Este estudo discute a natureza da degradação pelo efeito NBTI em transistores de nanofios sem junções pMOS ao variar o potencial de superfície. Os dados obtidos nas simulações são analisados através da densidade de lacunas extraída em conjunto com o potencial de superfície. É demonstrado como a qualidade do óxido de porta afeta o desempenho de tais transistores, quando a densidade de armadilhas, a largura do canal, a concentração de dopantes e a tensão de porta são variadas.

3.9.1 Potencial de superfície em dispositivos JNTs

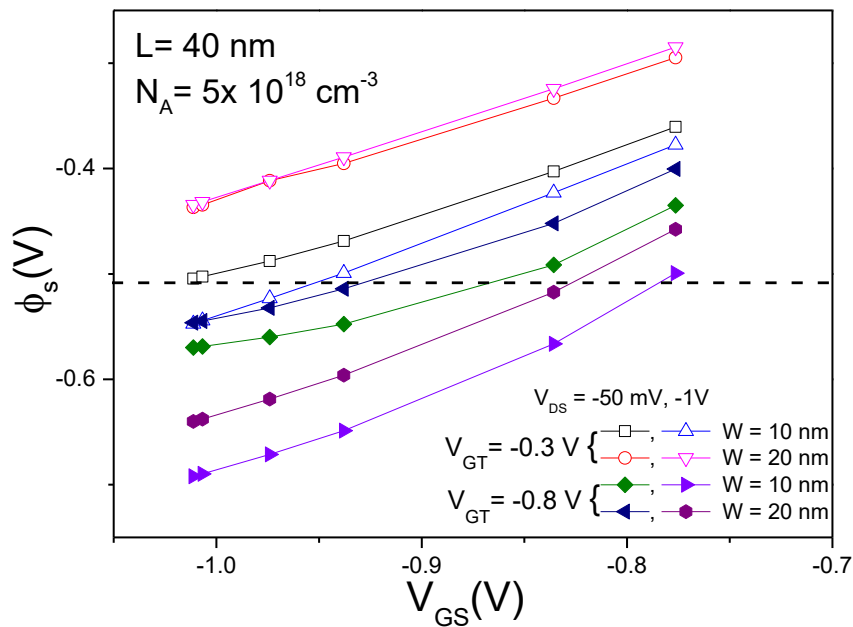
Em transistores modo de inversão, o potencial de superfície pode ser assumido como praticamente constante quando o dispositivo é polarizado em inversão forte, enquanto o campo elétrico varia quase linearmente com a tensão da porta. No caso do transistor sem junções, tal relação depende do regime de operação do dispositivo. Acima da faixa plana, quando o dispositivo tende à acumulação, a relação entre o potencial de superfície e o campo elétrico é semelhante à observada nos transistores de modo inversão. Ou seja, o campo elétrico é zero na faixa plana e seus valores absolutos aumentam linearmente com a polarização de porta, enquanto o potencial de superfície é quase constante. No entanto, os dispositivos sem junções foram desenvolvidos para trabalhar principalmente em regime de depleção parcial. Esta condição é alcançada quando o dispositivo é polarizado entre a tensão de limiar e a faixa plana. Para a tensão de porta logo acima do limiar, um caminho de condução é formado longe da superfície, dando origem a uma condução em volume. Sendo assim, o campo elétrico diminui com o aumento da tensão de porta, até que os dispositivos atinjam a faixa plana. O campo elétrico máximo em depleção parcial ocorre para uma condição de polarização na qual a camada de condução está longe da superfície e há uma incidência menor de NBTI. Como esse estudo tem apontado, em tais dispositivos, um campo elétrico maior não significa necessariamente um efeito NBTI mais forte, como já mencionado anteriormente. Além disso, a relação da variação do campo elétrico com a polarização de porta é diferente nos regimes de acumulação e depleção parcial, como já elucidado em tópico anterior. Entretanto, a correlação entre o potencial de superfície (Φ_s) e o NBTI, ainda não foi verificada.

3.9.2 Influência de Φ_s na degradação por NBTI

Os JNTs também diferem dos dispositivos de modo inversão no que diz respeito ao potencial de superfície (Φ_s). Para dispositivos de modo inversão, o Φ_s tende a permanecer constante com um valor próximo a $2\Phi_F$ (onde Φ_F é o potencial de Fermi), quando o dispositivo está no estado ligado [125]. Para dispositivo JNT, uma vez que o Φ_s é zero na condição de faixa plana, ele pode ter valores positivos e negativos dependendo de se o dispositivo está em regime de acumulação ou condição de depleção parcial [126, 127]. Para analisar a relação entre o potencial de superfície e o efeito NBTI, Φ_s foi extraído no centro do dispositivo sob a porta superior próximo à interface entre o dielétrico e o silício.

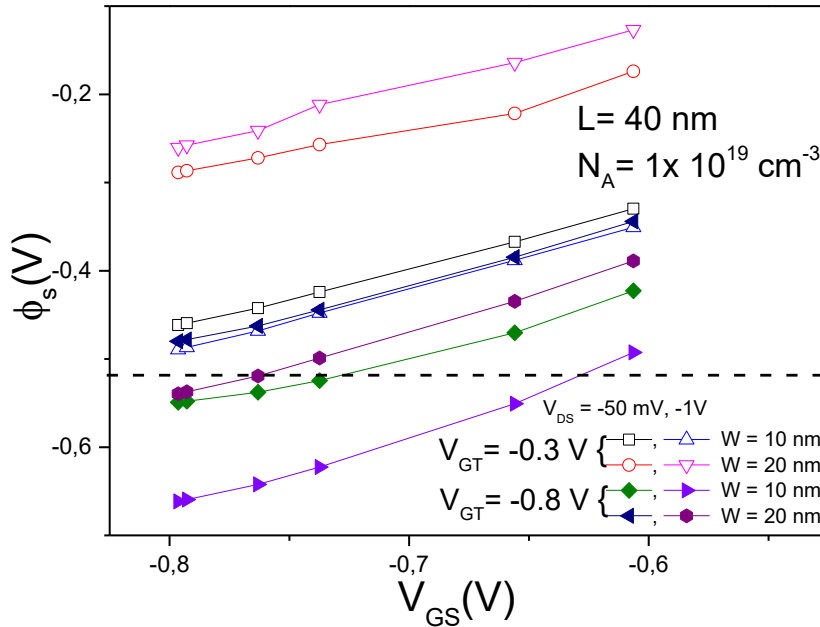
Nas Figuras 63 e 64, o potencial de superfície extraído é apresentado em função da tensão de porta para dispositivos com diferentes larguras, concentrações de dopantes e N_0 . Vale ressaltar que o simulador usa o nível de Fermi do silício como referência. Assim, um potencial de superfície de $-\Phi_F$ representa a condição de faixa plana. Também deve ser apontado que, como o potencial foi extraído no meio do canal, o nível de quase-Fermi também é deslocado pelo potencial do canal induzido pela polarização do dreno.

Figura 63 - Φ_s em função da tensão de porta para dispositivos com diferentes W , V_{DS} , V_{GT} e N_A de $5 \times 10^{18} \text{ cm}^{-3}$



Fonte: Autor

Figura 64 - Φ_S em função da tensão de porta para dispositivos com diferentes W , V_{DS} , V_{GT} e N_A de $1 \times 10^{19} \text{ cm}^{-3}$

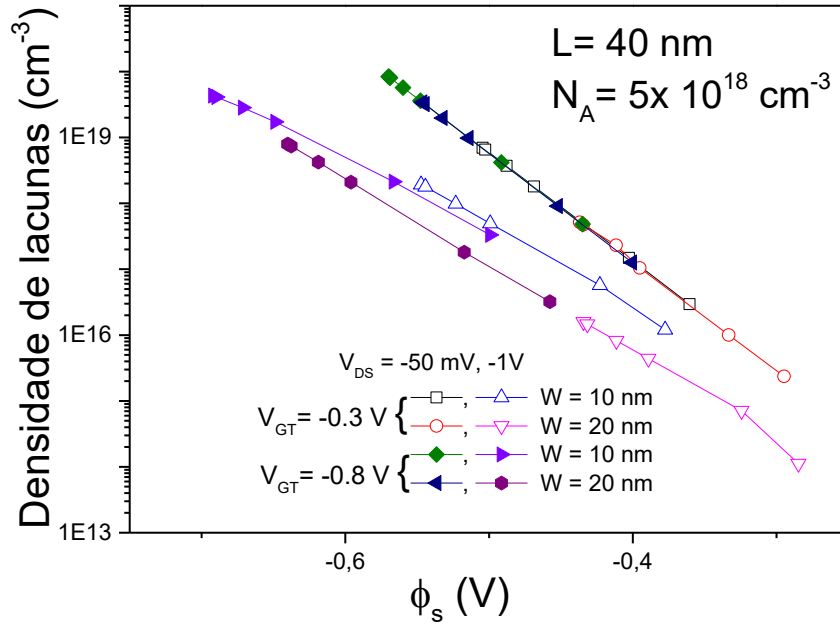


Fonte: Autor

Nas Figuras 63 e 64, as linhas tracejadas indicam o valor de $-\Phi_F$, assim é possível observar que, para tensões de porta menores em módulo, o potencial de superfície tende a ser menor que $-\Phi_F$, indicando que os dispositivos estão na condição de acumulação. Conforme o $|V_{GS}|$ é aumentado, $|\Phi_S|$ diminui, enquanto os dispositivos estão operando na condição de depleção parcial. Com o maior $|V_{GT}|$ (-0,8 V), a condição que polariza o dispositivo mais dentro da acumulação, V_{DS} de -1 V e $W = 10 \text{ nm}$, $|\Phi_S|$ apresenta seus maiores valores para o mesmo V_{GS} . Esses também são os mesmos parâmetros para o maior NBTI, uma vez que, nesta condição, o campo elétrico é maior no dielétrico da porta.

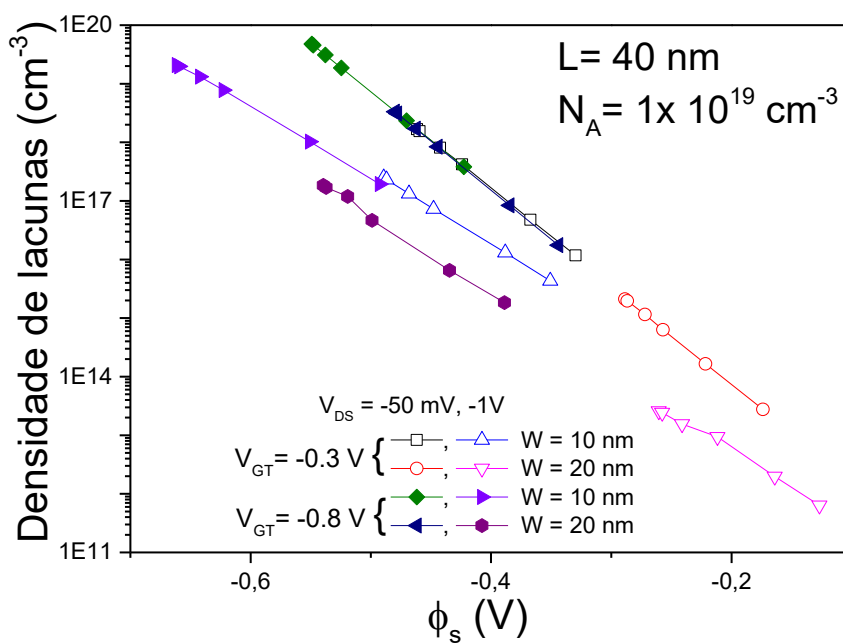
Por outro lado, a Figura 65 e 66, visam mostrar a relação entre Φ_S e a densidade de lacunas na superfície. Nesse caso, o aumento de $|\Phi_S|$ aumenta a densidade de lacunas. Para $V_{GT} = -0,8 \text{ V}$, $W = 10 \text{ nm}$ e $V_{DS} = -50 \text{ mV}$, tem-se a condição para a maior densidade de lacunas.

Figura 65 - Densidade de lacunas em função do Φ_s para diferentes valores de W , N_0 e N_A de $5 \times 10^{18} \text{ cm}^{-3}$



Fonte: Autor

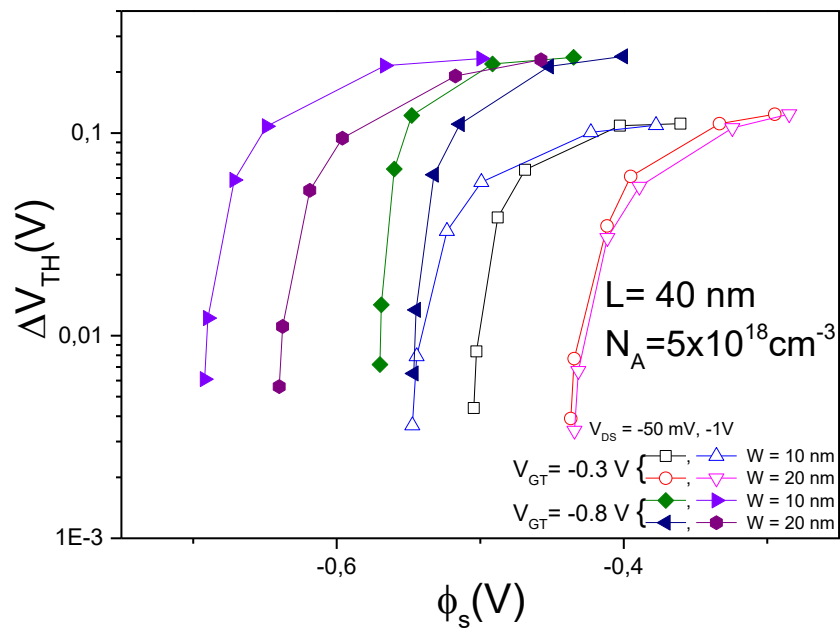
Figura 66 - Densidade de lacunas em função do Φ_s para diferentes valores de W , N_0 e N_A de $1 \times 10^{19} \text{ cm}^{-3}$



Fonte: Autor

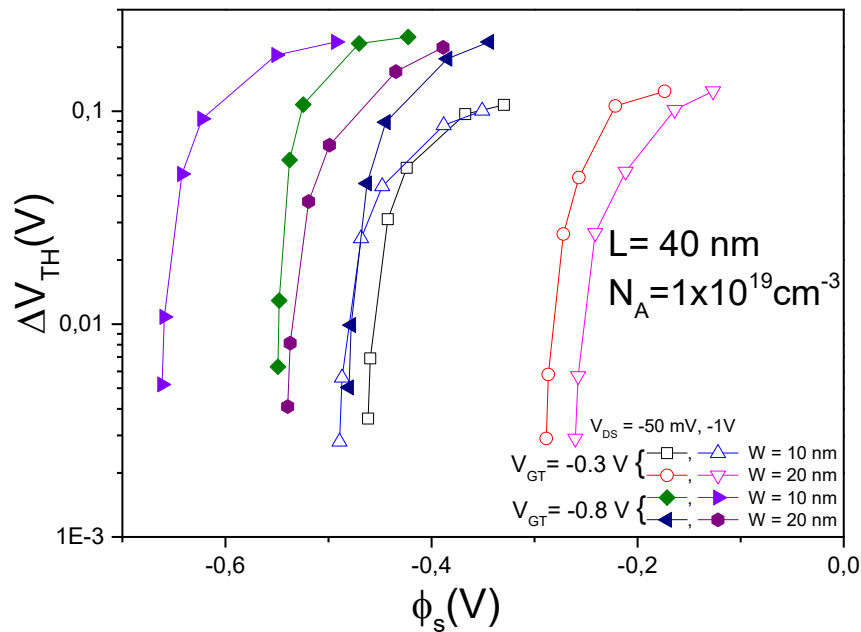
Nas Figuras 67 e 68, a variação da tensão de limiar devido ao NBTI é apresentada em função do potencial de superfície. Fica patente que os maiores valores de ΔV_{TH} ocorrem para menores valores de $|\Phi_S|$, demonstrando que há maior influência do NBTI para o valor do potencial de superfície reduzido. Assim, o dispositivo sai do regime de acumulação, entrando na condição de depleção parcial.

Figura 67 - ΔV_{TH} em função de Φ_S para dispositivos com diferentes W , N_0 e N_A $5 \times 10^{18} \text{ cm}^{-3}$



Fonte: Autor

Figura 68 - ΔV_{TH} em função de Φ_s para dispositivos com diferentes W , N_0 e N_A $1 \times 10^{19} \text{ cm}^{-3}$



Fonte: Autor

Além disso, para o $|V_{GT}|$ mais alto ($-0,8$ V) e menores $|V_{DS}|$ (-50 mV), é observado um ΔV_{TH} maior, uma vez que essa condição representa um campo elétrico mais forte na porta. Dispositivos mais largos estão operando na condição de depleção parcial para qualquer V_{GS} avaliado.

3.9.3 Avaliações a respeito do estudo do potencial de superfície

O foco deste estudo, se deu entre a densidade de lacunas e o comportamento do potencial de superfície. Pode-se observar que, quando a densidade de lacunas é maior, a formação de armadilhas aumenta, levando a uma maior degradação da tensão de limiar, que reduz o potencial de superfície, de modo que o dispositivo sai do regime de acumulação para a depleção parcial. Dispositivos mais largos, que atuam mais na depleção parcial, parecem apresentar menor degradação do NBTI.

3.10 CORRELAÇÕES ENTRE A TEMPERATURA E A DEGRADAÇÃO NBTI EM DISPOSITIVO JNT

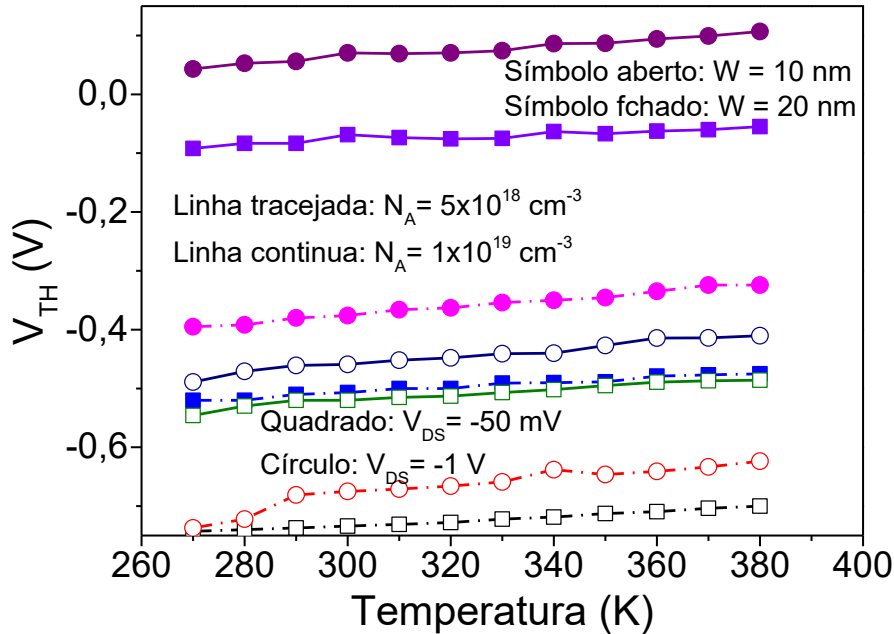
É interessante observar que nos congressos que os trabalhos sobre a degradação NBTI em dispositivos JNTs foram apresentados, dentre as questões levantadas, sempre havia alguma sobre a influência da temperatura. Isso é fácil de compreender, pois o próprio nome do efeito, indica que a temperatura tem um papel relevante nesse fenômeno. No entanto o nome BTI, foi talhado na década de 60 e na época este efeito era pouco relevante e efetivo [128] sendo que talvez o nome não aponte de maneira clara o fenômeno. De qualquer forma, uma pergunta feita muitas vezes, certamente, requer respostas. Esse tópico pretende investigar, de que forma o NBTI é influenciado pela variação da temperatura em dispositivos JNTs.

3.10.1 Variação do V_{TH} x temperatura sem considerar a influência do NBTI

Primeiramente, a faixa de temperaturas consideradas fica em torno da temperatura ambiente, ou seja, de 270 a 380 K, e com o objetivo de avaliar o comportamento do NBTI em função da temperatura, como nos estudos anteriores, foram simulados dispositivos com diferentes características, tais como, duas concentrações de dopantes, 5×10^{18} e $1 \times 10^{19} \text{ cm}^{-3}$, e dois V_{DS} diferentes de -50 mV e -1 V. A análise também considera dispositivos com duas larguras diferentes: 10 e 20 nm.

De início, a corrente de dreno foi simulada em função da polarização da porta e a tensão de limiar foi extraída de acordo com [129]. Foi determinado como o V_{TH} varia com a temperatura sem considerar o efeito do NBTI. Os resultados são mostrados na Figura 69 para dispositivos de diferentes larguras e concentrações de dopantes.

Figura 69 – Variação do V_{TH} pela temperatura sem se considerar o NBTI para diferentes valores de W , N_A e V_{DS}



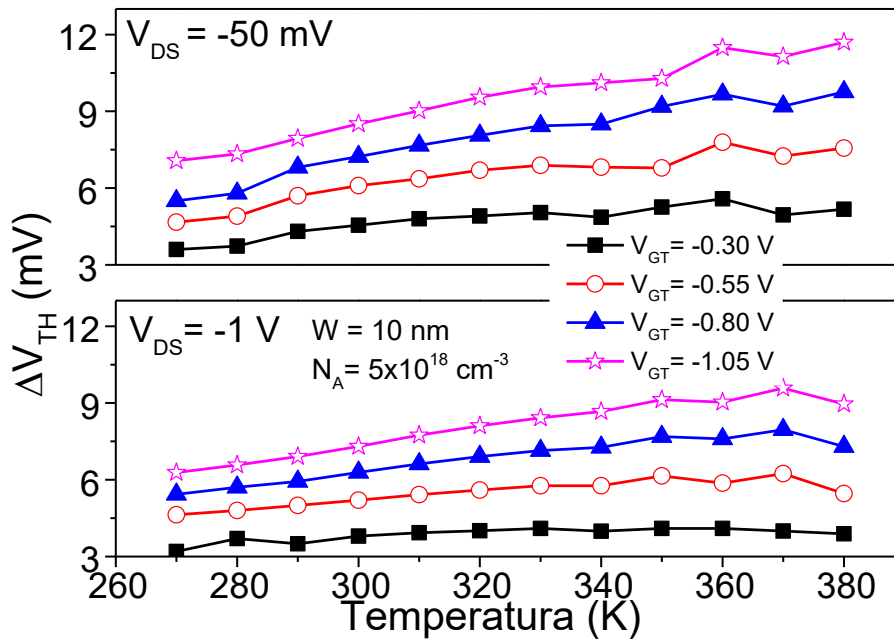
Fonte: Autor

É possível observar na Figura 69 que o V_{TH} aumenta ligeiramente com a temperatura para todos os dispositivos ao longo de todo o intervalo estudado. Esse aumento monotônico é dado pela variação do potencial de Fermi com T [130]. O V_{TH} é menor em dispositivos dopados com N_A igual a $5 \times 10^{18} \text{ cm}^{-3}$, uma vez que para menores concentrações de dopantes, a tensão de limiar está mais próxima da faixa plana. Assim, um V_{GS} mais negativo é necessário para formar uma camada neutra. Além disso, a razão de deslocamento V_{TH} com T é ligeiramente maior em concentrações de dopantes mais baixas devido à variação do potencial de Fermi [131]. Por fim, dispositivos mais largos apresentam V_{TH} maiores que, em alguns casos, são positivos. Isso está relacionado ao pior acoplamento capacitivo observado em tais dispositivos, levando a um controle menos eficaz da carga do canal. O aumento do V_{TH} com V_{DS} é outro comportamento esperado e pode ser explicado pela ocorrência do efeito DIBL. Ainda, dispositivos muito dopados, apresentem relativamente pequena variação do V_{TH} se comparados a dispositivos com a dopagem mais próximas a valores intrínsecos [132]. Os resultados do V_{TH} mostrados na Figura 69 foram utilizados para o cálculo do V_{GT} ($V_{GT} = V_{GS} - V_{TH}$) para todos os dispositivos.

3.10.2 Variação do V_{TH} x temperatura considerando a influência do NBTI

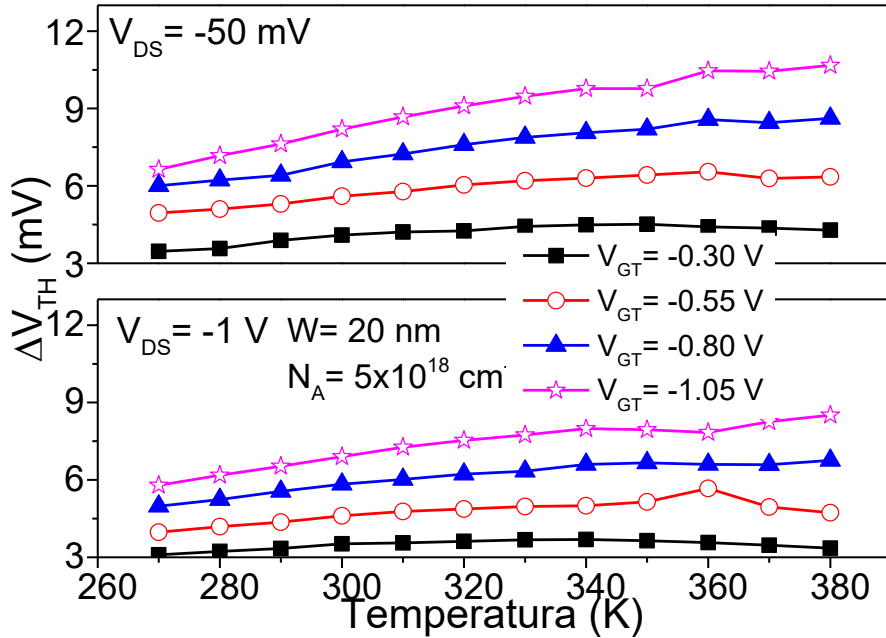
Em seguida, o I_{DS} foi simulado ao longo do tempo, considerando uma tensão de estresse de 1,2 V aplicada por um período de 10^3 s. Após esse tempo, uma redução em I_{DS} é observada. Essa variação pode ser atribuída ao deslocamento do V_{TH} devido ao NBTI. Assim, uma nova tensão de limiar é obtida a partir das características $I_{DS} \times V_{GS}$. A diferença entre o V_{TH} antes e depois da aplicação é mostrada em função da temperatura nas Figuras 70 e 71, para dispositivos de W diversos com $N_A = 5 \times 10^{18} \text{ cm}^{-3}$ para diferentes condições de polarização em função da temperatura.

Figura 70 – Degradação de NBTI para dispositivos com W de 10 nm, $N_A = 5 \times 10^{18} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}



Fonte: Autor

Figura 71 – Degradação de NBTI para dispositivos com W de 20 nm, $N_A = 5 \times 10^{18} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}



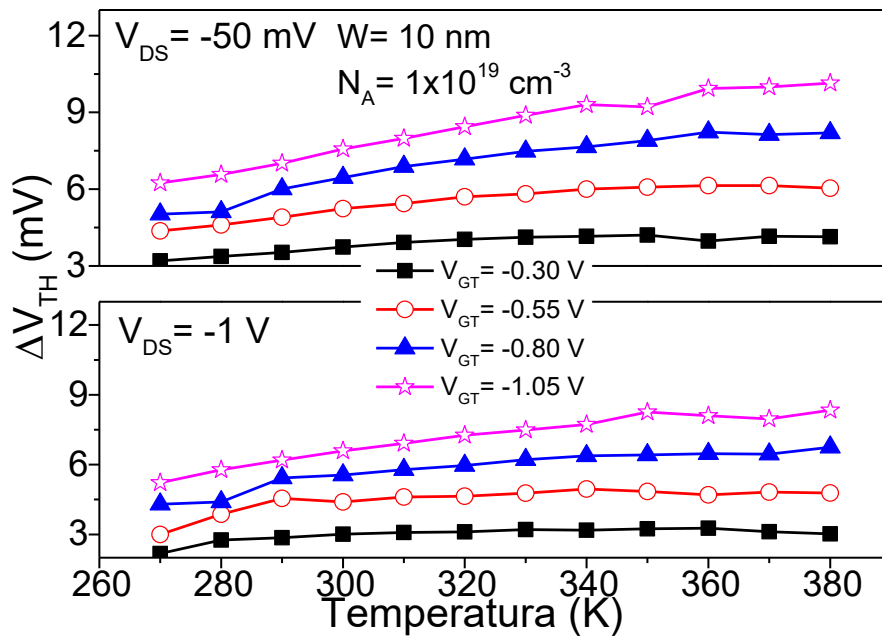
Fonte: Autor

Nas Figuras 70 e 71, evidencia-se que quanto maior o V_{GT} (em valor absoluto), maior a degradação no ΔV_{TH} , pois nesta condição o dispositivo irá operar mais profundamente no regime de acumulação. Este efeito não depende da temperatura conforme explicado em [133]. Também é importante notar que o ΔV_{TH} devido ao NBTI é ligeiramente maior para o V_{DS} absoluto menor, pois nesta condição todo o canal está em regime de acumulação, enquanto que para o V_{DS} maior (em módulo), parte do canal opera em depleção parcial, onde a condução ocorre mais longe da interface. Quando observadas as curvas em função de T , para todas as condições, ΔV_{TH} aumenta ligeiramente até 340 K, semelhante ao mostrado na Figura 72, que pode estar mais relacionado à variação da taxa de recombinação com a temperatura, do que à variação do potencial de Fermi. Também está claro que, para temperaturas maiores a degradação tende a se estabilizar ou mesmo diminuir, dependendo do dispositivo e da condição de polarização. Isso ocorre principalmente em dispositivos polarizados em saturação ($V_{DS} = -1 \text{ V}$) e em depleção parcial (menor $|V_{GT}|$). Além disso, para V_{GT} mais baixo, a estabilização de ΔV_{TH} e seu decréscimo parecem ocorrer em T relativamente menor.

Nas Figuras 72 e 73, os mesmos resultados também são apresentados para uma concentração de dopagem de $N_A = 1 \times 10^{19} \text{ cm}^{-3}$, onde tendências semelhantes são observadas

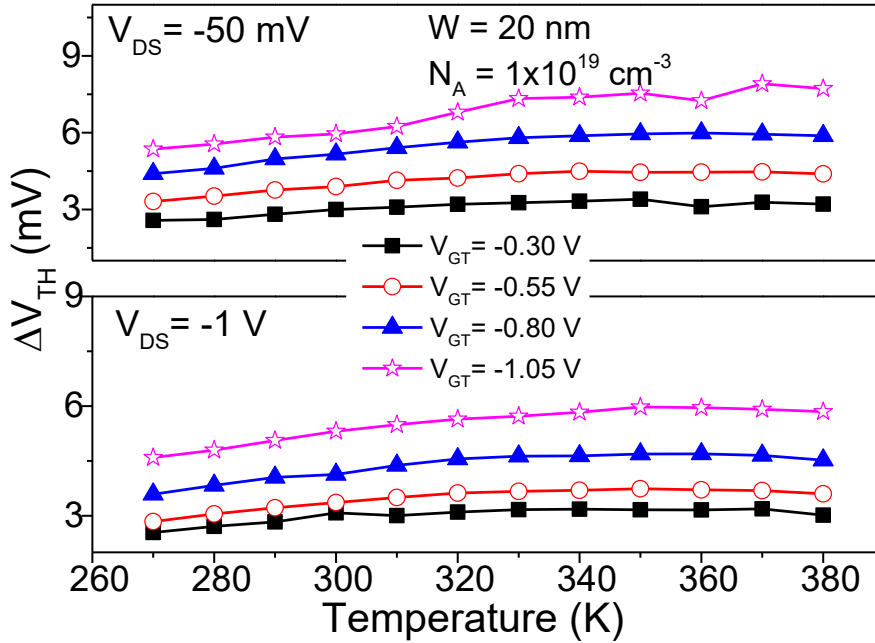
em relação à temperatura para diferentes condições de V_{DS} e V_{GT} para dispositivos de ambas as larguras. Da mesma forma, uma estabilização ou mesmo redução no ΔV_{TH} é observada para o T maior, de maneira semelhante ao N_A anterior, o que pode estar relacionado à operação dos dispositivos mais dentro da depleção parcial com o aumento da temperatura.

Figura 72 – Degradação de NBTI para dispositivos com W de 10 nm, $N_A = 1 \times 10^{19} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}



Fonte: Autor

Figura 73 – Degradação de NBTI para dispositivos com W de 20 nm, $N_A = 1 \times 10^{19} \text{ cm}^{-3}$, para $V_{DS} = -50 \text{ mV}$ e -1 V e diferentes valores de V_{GT}

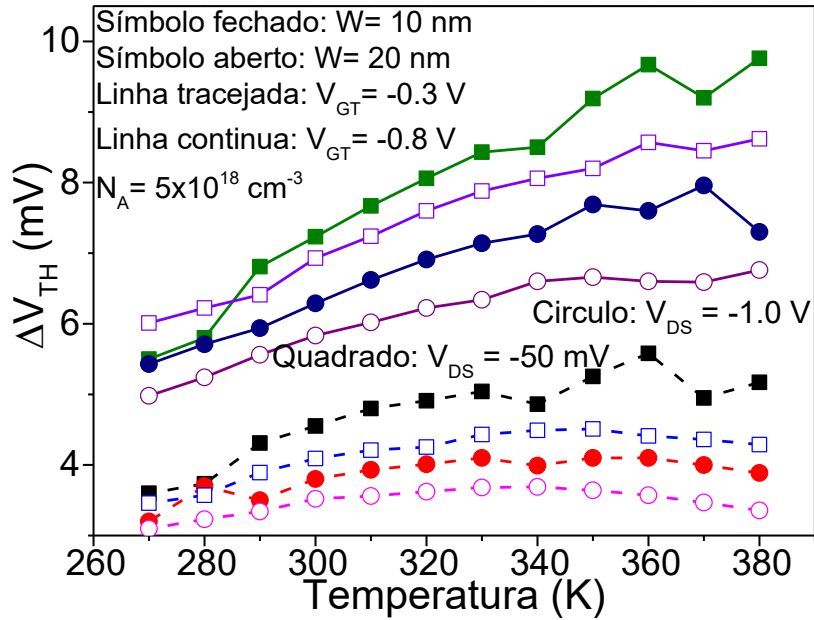


Fonte: Autor

Para melhor compreender o comportamento do NBTI em relação a T para diferentes W , as Figuras 74 e 75, apresenta o ΔV_{TH} em função da temperatura para dispositivos de $W = 10$ e 20 nm polarizados em diferentes condições.

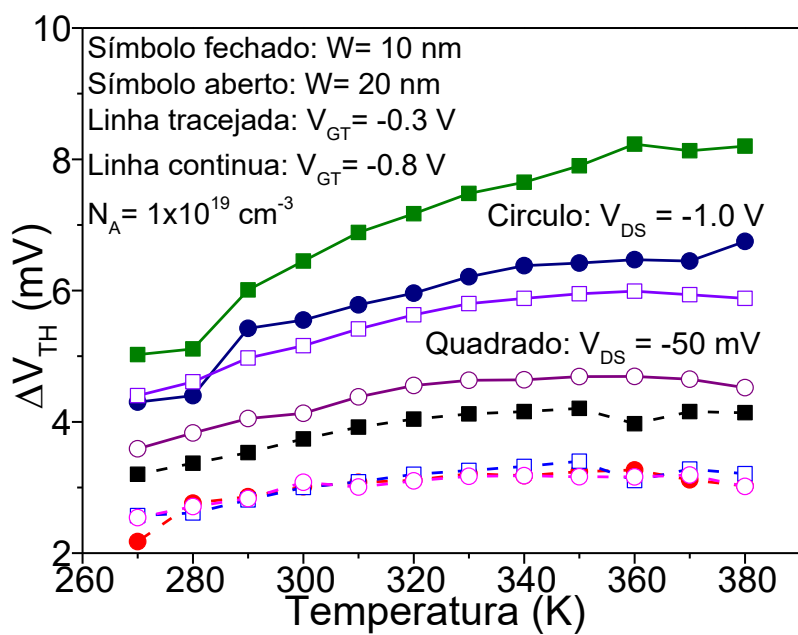
Analisando os resultados das Figuras 74 e 75, fica claro que os dispositivos com $W = 10 \text{ nm}$ mostram maior degradação pelo efeito NBTI do que os mais largos para quaisquer condições de polarização. Este comportamento pode estar relacionado ao regime de operação dos dispositivos conforme apresentado anteriormente. Devido ao menor V_{TH} absoluto, dispositivos mais largos operam mais dentro do regime de depleção parcial em um V_{GT} semelhante, onde o campo elétrico é menor, o que resulta em uma degradação reduzida do ΔV_{TH} . Também, nestas figuras, pode-se observar melhor que os dispositivos dopados com $1 \times 10^{19} \text{ cm}^{-3}$ apresentam menor degradação do NBTI em relação aos dopados com $5 \times 10^{18} \text{ cm}^{-3}$, o que também está associado ao regime de funcionamento dos dispositivos.

Figura 74 – Degradação de NBTI para dispositivos com $W = 10$ e 20 nm, N_A de $5 \times 10^{18} \text{ cm}^{-3}$ para diferentes condições de polarização



Fonte: Autor

Figura 75 – Degradação de NBTI para dispositivos com $W = 10$ e 20 nm, N_A de $1 \times 10^{19} \text{ cm}^{-3}$ para diferentes condições de polarização



Fonte: Autor

3.10.3 Avaliações a respeito do estudo da variação da temperatura

Este trabalho mostrou o efeito da temperatura na degradação do NBTI de transistores sem junção em uma faixa de temperatura entre 270 K e 380 K. Está demonstrado que o ΔV_{TH} depende da influência da temperatura devido à variação do potencial de Fermi. Até por volta de 340 K, é possível notar que ΔV_{TH} aumenta com a temperatura, possivelmente devido à variação da taxa de recombinação com T. Para maiores temperaturas, ΔV_{TH} estabiliza ou pode mesmo reduzir quando o dispositivo opera em regime de depleção parcial. Por outro lado, a influência da temperatura, na faixa estudada, é comparativamente menor que outros parâmetros, a citar a densidade de armadilhas de interface.

4. CONCLUSÕES

O maior desafio desse trabalho, consistiu na existência de uma exígua quantidade de trabalhos a respeito do tema, o que exigiu uma linha de pesquisa bastante fosse original. Mesmo estudos paralelos, impetrados em outras tecnologias, mostraram-se de pouca valia, frente as características impares dos dispositivos JNTs. Por outro lado, esse desafio, também foi a maior motivação para se produzir um trabalho de qualidade e que deveria ao mesmo tempo apresentar resultados relevantes e também fosse referência para novos estudos.

Assim, foram desenvolvidas diversas linhas de análises, com vistas a explicar quais forças atuam sobre as armadilhas de interface e como essas influenciam o efeito NBTI. A primeira a ser abordada foi o campo elétrico, e como esse age na região do canal dos dispositivos. O trabalho foi realizado através de simulações numéricas suportadas por resultados experimentais. Foi demonstrado que o NBTI aumenta com a tensão de porta dos dispositivos e, sobretudo, que é maior quando os transistores são polarizados na acumulação. Demonstrou-se que esse efeito está associado a uma maior incidência do campo elétrico mais próximo da superfície dos transistores. Por certo, o campo elétrico é mais significativo no centro do dispositivo, o que é importante para o funcionamento do JNT. No entanto, o comportamento do campo elétrico no centro mostrou-se independente do efeito NBTI.

Outro aspecto destacado por este trabalho foi pertinente à avaliação de como a quantidade de armadilhas próximas à interface de transistores de nanofios sem junções afeta a sujeição desses dispositivos ao efeito NBTI. Foi verificado que a variação na densidade de precursores de vacância de oxigênio próximos à interface (N_0), que determina N_{it} , pode alterar o regime de operação dos transistores, levando à saturação da degradação do V_{TH} devido ao NBTI. Também foi possível avaliar através da comparação das curvas $\Delta V_{TH} \times V_{GT}$ experimentais com as simuladas qual o valor aproximado de N_0 dos dispositivos físicos testados.

Em outra etapa, foi estudado como o potencial de superfície se relaciona ao efeito NBTI e transistores JNTs, uma vez que nesse tipo de dispositivo, tal relação depende do regime de operação, pois, acima da faixa plana, quando ele tende à acumulação, a relação entre o potencial de superfície e o campo elétrico é semelhante à observada nos transistores de modo inversão (o campo elétrico é zero na faixa plana). Todavia, os dispositivos sem junções trabalham, principalmente, em regime de depleção parcial. Para tanto, o dispositivo é polarizado entre a tensão de limiar e a faixa plana. Como resultado das simulações, pode-se observar que, quando a densidade de lacunas é maior, a formação de armadilhas aumenta, levando a uma maior

degradação da tensão de limiar, que reduz o potencial de superfície, de modo que o dispositivo sai do regime de acumulação para a depleção parcial.

Finalmente, realizou-se um estudo variando a temperatura em dispositivos JNT, com o intuito de compreender, como esta afeta o efeito NBTI. Concluiu-se que para temperaturas até 340 K, é possível observar um aumento do ΔV_{TH} com T, o que pode estar relacionado à variação da recombinação com a temperatura. Para T maior, o ΔV_{TH} estabiliza ou pode até mesmo reduzir quando os dispositivos operam mais profundamente na condição de depleção parcial. Observou-se também que para V_{GT} menor, maior W, N_A e V_{DS} , o NBTI é menos pronunciado, pois os dispositivos operam em depleção parcial onde o canal é formado longe das interfaces.

Há uma ausência ou pouco material disponível na literatura que correlacione o efeito NBTI e dispositivos JNTs, e como já foi afirmado anteriormente, muitos desses estudos são, até onde se pode ver, inéditos ou ao menos, acrescentam pontos importantes ao que concerne a degradação por efeito NBTI em dispositivos JNTs. Ao mesmo tempo, diversos estudos com diferentes enfoques, procuram analisar a viabilidade da implementação prática de micro circuitos implementados com dispositivos JNTs. O grande mérito dessa tese é a de demonstrar que levando-se em consideração somente os resultados dos estudos aqui descritos, é possível afirmar que dispositivos JNTs apresentam resultados interessantes frente ao BTI. Principalmente, uma vez que estes sejam polarizados de forma ideal, ou seja, em depleção parcial. Assim, os dispositivos estarão pouco sujeitos a degradação NBTI, e essa pode ser uma importante vantagem, frente a outras tecnologias, dependendo da aplicação.

No entanto, é fundamental destacar que certamente, há muito mais a ser feito antes de esgotar a questão, é possível citar, a verificação experimental do efeito NBTI em função da temperatura, análise do impacto da estrutura de porta, ou ainda, de que maneira a espessura do dielétrico afetam o NBTI. Também, é necessária a implementação de um modelo analítico que correlacione cada um dos parâmetros físicos e de polarização com a variação de V_{TH} devido ao NBTI em JNTs.

5. PUBLICAÇÕES

As publicações que derivaram dos estudos contidos nessa tese estão relacionadas abaixo:

- Periódicos:

N. GRAZIANO JUNIOR, R. TREVISOLI, R. T. DORIA, **Analysis of the Correlation Between NBTI Effect and the Surface Potential in Junctionless Nanowire Transistors**, Journal of Integrated Circuits and Systems, V. 15, n.2, 2020. DOI: 10.29292/jics.v15i2.196.

N. GRAZIANO JUNIOR, F.J. COSTA, R. TREVISOLI, S. BARRAUD, R.T. DORIA, **Influence of Interface Traps Density and Temperature Variation on the NBTI Effect in p-Type Junctionless Nanowire Transistors**, Solid-State Electronics, V. 186, p. 108097, 2021. DOI: 10.1016/j.sse.2021.108097.

- Congressos Internacionais:

N. GRAZIANO JUNIOR, R. TREVISOLI, S. BARRAUD, R.T. DORIA, **Experimental Analysis of Negative Temperature Bias Instabilities Degradation in Junctionless Nanowire Transistors**, 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro), 2018, pp. 1-4, doi: 10.1109/SBMicro.2018.8511592.

N. GRAZIANO JUNIOR, F. J. DA COSTA, R. TREVISOLI, R.T. DORIA, **Correlation Between the Electric Field and the Negative Temperature Bias Instabilities Degradation in Junctionless Nanowire Transistors**, 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), 2019, pp. 1-4, doi: 10.1109/SBMicro.2019.8919273.

N. GRAZIANO JUNIOR, F. J. DA COSTA, R. TREVISOLI. AND R.T. DORIA, **Correlation between the NBTI Effect and the Interface Traps Density in Junctionless Nanowire Transistors**, 2020 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS), 2020, pp. 1-4, doi: 10.1109/EUROSIOI-ULIS49407.2020.9365294.

N. GRAZIANO JUNIOR, R. TREVISOLI, R. T. DORIA, **NBTI Dependence on Temperature in Junctionless Nanowire Transistors**, 2021 35th Symposium on Microelectronics Technology and Devices (SBMicro), 2021, pp. 1-4.

- Congressos Nacionais:

N. GRAZIANO JUNIOR, R. TREVISOLI, R. T. DORIA, **Degradation of the Output Characteristics of Junctionless Nanowire Transistors due to Negative Temperature Bias Instabilities**, Seminatec 2018, 2018, pp. 1-2.

N. GRAZIANO JUNIOR, F. J. DA COSTA, R. TREVISOLI, R. T. DORIA, **Experimental Analysis of Negative Temperature Bias Instabilities Degradation in Junctionless Nanowire Transistors**, Seminatec 2019, 2019, pp. 1-2.

REFERÊNCIAS

- 1 IUGA, ION. **Transhumanism Between Human Enhancement and Technological Innovation. Symposion.** 21 de agosto de 2016.
- 2 WALTER P, HEIMANN K. **Evoked cortical potentials after electrical stimulation of the inner retina in rabbits.** Graefes Arch Clin Exp Ophthalmol 2000.
- 3 COHEN, I.B. **Dictionary of Scientific Biography**, Vol. 11, New York: Charles Scribner's Sons, 1970.
- 4 KHAN, SHAHYAN. **Leadership in the Digital Age - a study on the effects of digitalization on top management leadership.** *Stockholm Business School*.2016.
- 5 BOHR, MARK; MISTRY, KAIZAD. **Intel's Revolutionary 22 nm Transistor Technology**, intel.com Retrieved April 18, 2018.
- 6 RD TREVISOLI, RT DORIA, M DE SOUZA. **Threshold voltage in junctionless nanowire transistors.** Semiconductor Science and Technology, Volume 26, 6 September 2011
- 7 F. D'AGOSTINHO, D. QUERCIA. **Short-Channel Effects in MOSFETs**, 2020
- 8 ANAND T. KRISHNAN, VIJAY REDDY, SRINIVASAN CHAKRAVARTHI, JOHN RODRIGUEZ, SOJI JOHN, SRIKANTH KRISHNAN. **NBTI Impact on Transistor & Circuit: Models, Mechanisms & Scaling Effects”,** in **IEDM Tech. Digest**, pp. 349–352, 2003.
- 9 DIETER K. SCHRODER AND JEFF A. BABCOCK. **Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing**, J. Appl. Phys. Vol. 94, No.1, pp. 1–18, 2003.
- 10 RENAN TREVISOLI DORIA. **Operação e modelagem de transistores MOS sem junções**, Tese de doutorado, Universidade de São Paulo 2013
- 11 COLINGE, J. P.; KRANTI, A.; Yan, R.; LEE, C. W.; FERAIN, I.; Yu, R.; DEHDASHTI, Akhavan, N.; RAZAVI, P. **Junctionless Nanowire Transistor (JNT) - Properties and design guidelines.** Ireland: Solid-State Electronics, 2013. p. 65-66.
- 12 A. HAGGAG, G. ANDERSON, S. PARIHAR, D. BURNETT, ET AL. **Understanding SRAM High-Temperature Operating-Life NBTI: Statistics and Permanent vs Recoverable Damage.** Proc. IEEE International Reliability Physics Symposium, 2007. p. 452-456.
- 13 CORNELIUS, VAN DER MEULEN, BAREND. **Getting new technologies together**, New York, Walter de Gruyter. 1998 pp. 206–207.
- 14 **Humans and the advancement of technology**, wordpress.com April 2016.

- 15 M. MITCHELL WALDROP, **More than Moore**, Nature Publishing Group, 11, 2016
- 16 PATTERSON, ALAN. **TSMC Aims to Build World's First 3-nm Fab**, www.eetimes.com, 2 October 2017.
- 17 FANG, JIERAN, DI WANG, CLAYTON T. DEVAULT, TING-FUNG CHUNG, YONG ET AL. **Enhanced graphene photodetector with fractal metasurface**, *letters* 17, no. 1 2016.
- 18 MACMAGAZINE. **TSMC se prepara para fabricar chips de 2nm dos iPhones 16 e revela desempenho do chip A14**, Agosto de 2020.
- 19 WCCFTEC. **TSMC Launching 10nm FinFET Process In 2016, 7nm In 2017**, 2015.
- 20 SAMSUNG, **Next level Gate-All-Around (GAA) Transistor Technology test**, samsungatfirst.com. 2021
- 21 LILIENFELD, JULIUS EDGAR. **Specification of electric current control mechanism patent application**. (1927).
- 22 JOHN ATALLA AND DAWON KAHNG. **Fabricate working transistors and demonstrate the first successful MOS field-effect amplifier**, (U.S. Patent 3,102,230 filed in 1960, issued in 1963)". Computer History Museum.
- 23 SEEVINCK, E.; LIST, F. J. AND LOHSTROH, J., **Static-Noise Margin Analysis of MOS SRAM Cells.**: Solid-State Circuits, IEEE Journal of. 1987.
- 24 STURM, J. C, TOKUNAGA, K; COLINGE, J. P. **Increased drain saturation current in ultra-thin silicon-on-insulator (SOI) MOS transistors**. IEEE Electron Device Letters, v. 9, n. 9 p. 460-463, 1988.
- 25 J. P. COLINGE, C. A. COLINGE, **Physics of Semiconductor Devices**, Kluwer Academic Publishers.
- 26 A. SHAHEER; M. KAMEYAMA, **Real-time threshold-voltage control scheme for low-power VLSI under fluctuation of a supply voltage**, International Symposium on Signals, Circuits and Systems, 2005.
- 27 CUNHA, A.I.A.; PAVANELLO, M.A., TREVISOLI, R.; GALUP-MONTORO, C.; SCHNEIDER M.C; **Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve**, *Solid-State Electronics*, vol. 56, n. 1, 2011, Pages 89-94,
- 28 LIM, H.K.; FOSSUM, J.G. **Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion**. IEEE Transactions on Electron Devices, v.31, p.401-408, 1984.
- 29 MALVINO. **Eletrônica Volume 2**; Editora McGraw-Hill, Ltda; 1987.
- 30 MUELLER, C.W; RO, BINSON. **Grown-film silicon transistors on sapphire**. IEEE Transactions on Electron Devices, v. 11, n. 11 p. 530-530, 1964.

- 31 STURM, J. C, TOKUNAGA, K; COLINGE, J. P. **Increased drain saturation current in ultra-thin silicon-on-insulator (SOI) MOS transistors**. IEEE Electron Device Letters, v. 9, n. 9 p. 460-463, 1988.
- 32 Boersch, Hans; Radloff, C.; Sauerbrey, G. (1961). **"Über die an Metallen durch Elektronen ausgelöste sichtbare und ultraviolette Strahlung"**. Zeitschrift für Physik A (in German). 165 (4): 464–484
- 33 JEAN PIERRE COLINGE; CYNTHIA A. COLINGE **Physics of Semiconductor Devices**, 2005
- 34 PELLOIE, J.L. **SOI for Low-Power Low-Voltage - Bulk versus SOI**, Microelectronic Engineering, Vol. 39, 1997.
- 35 Liu, Y.; Ishii, K.; Tsutsumi, T.; Masahara, M.; Suzuki, E. **Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientation Dependent Wet Etching**. IEEE Electron Device Letters, v. 24, n. 7, p. 484-486, 2003.
- 36 SEKIGAWA, T.; HAYASHI, Y. **CALCULATED THRESHOLD-VOLTAGE CHARACTERISTICS OF AN XMOS TRANSISTOR HAVING AN ADDITIONAL BOTTOM GATE**. Solid-State Electronics. v. 27, n. 8/9, p. 827-828, 1984.
- 37 HISAMOTO, Digh; KAGA, Toru; KAWAMOTO, Y.; TAKEDA, Eui. **Fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET**. IEEE Electron Device Letters, v. 11, n. 1, p. 36-38, 1990.
- 38 PARK, J. T. COLINGE J. P.; DIAZ C. H. **Pi-Gate SOI MOSFET**. IEEE Electron Device Letters, n. 22, v. 8, p. 405-406, 2001.
- 39 SEMPREUPDATE. **Samsung lançará chips com tecnologia de 3 nm em 2022**. Junho de 2020
- 40 TAIWAN ECONOMIC DAILY. 2020
- 41 LIM, H. K., FOUSSUM, J. G. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's**. IEEE Eletron Devices letters. V. 30. N. 10, p 1244-1251, 1983
- 42 GIMENEZ, S. P.; FERREIRA, R. M. G; MARTINO, J. A. **Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 μm Partially-Depleted SOI CMOS Technology**. SBMicro, vol. 4, 2006.
- 43 G. CHEN, M. F. LI, C. H. ANG, J. Z. ZHENG, AND D. L. KWONG. **Dynamic NBTI of p-MOS Transistors and Its Impact on MOSFET Scaling**, IEEE Electron Device Letters, Vol. 23, No. 12, pp. 734–736, 2002.

- 44 Y. Y.-K. CHOI, D. HA, T.-J. KING, AND C. HU, **Nanoscale Ultrathin Body PMOSFETs With Raised Selective Germanium Source/Drain**, IEEE Electron Device Letters, vol. 22, no. 9, pp. 447–448, 2001.
- 45 J.-P. NOEL ET AL., **Multi- VT UTBB FDSOI Device Architectures for Low-Power CMOS Circuit**, IEEE Trans. Electron Dev., vol. 58, no. 8, pp. 2473-2482, 2011.
- 46 E. POP, R. DUTTON, AND K. GOODSON. **Thermal analysis of ultra-thin body device scaling**, in IEDM Tech. Dig., 2003, pp. 883–884.
- 47 M. K. M. ARSHAD, S. MAKOVEJEV, S. OLSEN, F. ANDRIEU, J.- P. RASKIN, D. FLANDRE, AND V. KILCHYTSKA, **UTBB SOI MOSFETs analog figures of merit: effects of ground plane and asymmetric double-gate regime**, Accepted for publication in Solid State Electronics, 2012.
- 48 COLINGE J.P. KRANTI, A: YAN, LEE C.W. et Al, **Junctionless Nanowire Transistor (JNT); Properties and Desing Guidelines**, Solid- State. Electronics Vol 65-66, N. 1, PP 33-37, 2011.
- 49 A. CHAUDHRY, M.J. KUMAR et Al, **Controlling short-channel effects in deep-submicron SOI MOSFETs for improved reliability: a review**, IEEE Transactions on Device and Materials Reliability, Volume: 4, Issue: 1, March 2004
- 50 GNANI E, GNUDI A, REGGIANI S, BACCARANI G., **Theory of the Junctionless nanowire FET**. IEEE Trans Electron Devices 58(9):2903–2910, 2011
- 51 RITAM DUTTA; NITAI PAITYA. **Effect of Pocket Intrinsic Doping on Double and Triple Gate Tunnel Field Effect Transistors**, Proceedings of the 2nd International Conference on Communication, Devices and Computing, pp 249–258, 2019.
- 52 ASIFUL HOQUE, MOHAMMAD RABIB HOSSAIN, MD. ISHFAK TAHMID, **A Comparative Study on Design and Characterization of Single Gate and Double Gate Multi-Channel Junctionless Nanowire Transistors**, IEEE Region 10 Symposium (TENSYP) 2020.
- 53 R.T. DORIA, R.D. TREVISOLI, M. DE SOUZA, AND M.A. PAVANELLO, **“Impact of the Series Resistance in the I-V Characteristics of Junctionless Nanowire Transistor and its Dependence on the Temperature”**, Journal of Integrated Circuits and Systems, v. 7, 2012, pp. 121-129
- 54 KRANTI, A: YAN, LEE C.W.; FERAIN, I. ET AL.: **Junctionless Nanowire Transistor (JNT); Properties and Desing Guidelines**, Proceedings of the European Solid- State Device Reserarch Conference (ESSDERC), 2010, PP 357-360, 2010.

- 55 J.-P. COLINGE, C.-W. LEE, I. FERAIN, N. D. AKHAVAN, R. YAN, P. RAZAVI, ET AL., **"Reduced electric field in junctionless transistors"**, Appl. Phys. Lett., vol. 96, no. 7, pp. 073510, Feb. 2010.
- 56 LIM, H.K.; Fossum, J.G. **Threshold voltage of thinfilm silicon-on-insulator (SOI) MOSFET's**. IEEE Trans. Electron Devices, v.30, n.10, p.1244, Outubro, 1983.
- 57 SHUBHAM SAHAY, MAMIDALA JAGADESH KUMAR, **Diameter Dependence of Leakage Current in Nanowire Junctionless Field Effect Transistors**, IEEE Transactions on Electron Devices Volume: 64, Issue: 3, March 2017
- 58 JP COLINGE, CW LEE, A. AFZALIAN, N. DEHDASHTI AKHAVAN, R. YAN, I. FERAIN, P. RAZAVI, B. O'NEILL, A. BLAKE, M. WHITE, AM KELLEHER, B. MCCARTHY, R. MURPHY, **"Nanowire transistors without junctions"**, Nature Nanotechnology, Vol. 5, 2010.
- 59 SHIH-CHII LIU; JÖRG KRAMER;GIACOMO INDIVERI; TOBIAS DELBRÜCK; RODNEY DOUGLAS; CARVER A. MEAD, **MOSFET Characteristics**, MIT Press, 2002
- 60 SUBHRADIP DAS1, SUDAKSHINA KUNDU. **A Review on Junctionless Transistor – A Prospective sub-10nm Logic Device**, Krishi Sanskriti Publications, Volume 1, Number 3, pp. 98-102, 2014
- 61 R.T. DORIA, M.A. PAVANELLO, R.D. TREVISOLI, M. DE SOUZA, C.W. LEE, I. FERAIN, N. DEHDASHTI AKHAVAN, R. YAN, P. RAZAVI, R. YU, A. KRANTI AND J.P. COLINGE **Analog Operation of Junctionless Transistors at Cryogenic Temperatures**, IEEE International SOI Conference (SOI), 2010, pp.1-2..
- 62 RODRIGO TREVISOLI DORIA, MARCELO ANTONIO PAVANELLO, RENAN DORIA TREVISOLI, MICHELLY DE SOUZA, CHI- WOO LEE, ISABELLE FERAIN, NIMA DEHDASHTI AKHAVAN, RAN YAN, PEDRAM RAZAVI, RAN YU, ABHINAV KRANTI, AND JEAN-PIERRE COLINGE, **Junctionless Multiple-Gate Transistors for Analog Applications**, IEEE Transactions on Electron Devices, (Volume:58 , Issue: 8), pp. 2511-2519, Aug.2011.
- 63 CHI-WOO LEE, ADRIEN BORNE, ISABELLE FERAIN, ARYAN AFZALIAN, MEMBER, IEEE, RAN YAN, NIMA DEHDASHTI AKHAVAN, PEDRAM RAZAVI, AND JEAN-PIERRE COLINGE, **High-Temperature Performance of Silicon Junctionless MOSFETs**, IEEE Transactions on Electron Devices, (Volume:57 , Issue: 3), pp.- 620-625, March 2010.
- 64 MICHELLY DE SOUZA, MARCELO A. PAVANELLO, RENAN D. TREVISOLI, RODRIGO T. DORIA, AND JEAN-PIERRE COLINGE, **Cryogenic Operation of**

Junctionless Nanowire Transistors, IEEE Electron Device Letters,(Volume:32 , Issue: 10), pp.1322-1324,Oct. 201.

65 P. RAZAVI, G. FAGAS, I. FERAIN, N. DEHDASHTI AKHAVAN, R. YU, J.P. COLINGE, **Performance Investigation of Short-channel Junctionless Multigate Transistors**,12th International Conference on Ultimate Integration on Silicon (ULIS), 14-16 March 2011, pp.1-3.

66 C.W. LEE, I. FERAIN, A. KRANTI, N. DEHDASHTI AKHAVAN, P. RAZAVI, R. YAN, R. YU, B. ONEILL, A.BLAKE, M. WHITE, A.M. KELLEHER, B. MCCARTHY, S. GHEORGHE, R. MURPHY, J.P. COLINGE, **Short-Channel Junctionless Nanowire Transistors**, International Conference on Solid State Devices and Materials,28-30 Sept. 2011.

67 DIPANKAR GHOSH, MUKTA SINGH PARIHAR, G. ALASTAIR ARMSTRONG, AND ABHINAV KRANTI, **High Performance Junctionless MOSFETs for Ultralow-Power Analog/RF Applications**, IEEE Electron Device Letters, (Volume:33 , Issue: 10) , pp.1477-1479, Oct. 2012.

68 YI SONG, CHEN ZHANG, RYAN DOWDY, KELSON CHABAK, PARSIAN K. MOHSENI, WONSIK CHOI, AND XIULING LI. **III–V Junctionless Gate-All-Around Nanowire MOSFETs for High Linearity Low Power Applications**, IEEE Electron Device Letters, vol. 35, no. 3, march 2014

69 SHINJI MIGITA, YUKINORI MORITA, MEISHOKU MASAHARA, HIROYUKI OTA ET AL. **Electrical performances of junctionless-FETs at the scaling limit (LCH = 3 nm)**, International Electron Devices Meeting, 2012

70 F.M. KLAASSEN, **On the substrate current noise in MOS transistors beyond pinchoff**. Volume: 59, Issue: 2 Journal Article. 1971

71 T. IRISAWA;T. NUMATA;N. SUGIYAMA;S. TAKAGI, **On the origin of increase in substrate current and impact ionization efficiency in strained-Si n- and p-MOSFETs**, Transactions on Electron Devices 2005.

72 F. E. BERGAMASCHI, G. MARINIELLO, S. BARRAUD AND M. A. PAVANELLO, **Experimental Analysis of Self-Heating Effects Using the Pulsed IV Method in Junctionless Nanowire Transistors**,33rd Symposium on Microelectronics Technology and Devices (SBMicro), 2018, pp.

73 S. VEERARAGHAVAN, J.G. FOSSUM, **Short-channel effects in SOI MOSFETs**, Transactions on Electron Devices, Volume: 36, Issue: 3, Mar 1989.

74 C.H. WANG;P.-F. ZHANG, C. HU, ET. AL., **Three-dimensional DIBL for shallow-trench isolated MOSFET's**, Volume: 46, Issue: 1, Journal Article, Publisher: IEEE Year: 1999

- 75 ANJALI PRIYA;SANJEEV RAI;RAM AWADH MISHRA, **Comparative analysis of junctionless bulk and SOI/SON FinFET**, 4th International Conference on Power, Control & Embedded Systems (ICPCES) 2017.
- 76 DIETER K. SCHRODER AND JEFF A. BABCOCK, **Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing**, J. Appl. Phys. Vol. 94, No.1, pp. 1–18, 2003.
- 77 S D.K. SCHRODER, **Negative bias temperature instability: What do we understand?** Microelectronics Reliability, vol. 47, pp. 841-852, 2007.
- 78 M.A.ALAM AND S.MOHAPATRA. **A comprehensive model of PMOS NBTI degradation**. Journal of Microelectronics Reliability, 2005. p 45:71–81.
- 79 A. T. KRISHNAN, C. CHANCELLOR, S. CHAKRAVARTHI, P. E. NICOLLIAN, V. REDDY, A. VARGHESE, R. B. KHAMANKAR, S. KRISHNAN, AND L. LEVITOV, **Proc. Int. Electron Dev. Meet.**, 688 (2005).
- 80 Sentaurus™ Device User Guide Version L-2016.03, March 2016. 522-552
- 81 WOLFGANG GOES, FRANZ SCHANOVSKY, AND TIBOR GRASSER. **Advanced Modeling of Oxide Defects**, Bias Temperature Instability Springer pp 409, New York 2014.
- 82 J. P. CHIU, Y. H. LIU, H. D. HSIEH, C.W. LI,M. C. CHEN AND TAHUI WANG, **IEEE Trans. Electron Devices** 60, 978 (2013).
- 83 HUANG K, RHYS A. **Theory of light absorption and non-radiative transitions inF-centres**. Proc Roy Soc A 1950; 204: 406–23.
- 84 HAGGAG A, ANDERSON G, PARIHAR S, BURNETT D, ABELN G, HIGMAN J, ET AL. **Understanding SRAM high-temperature-operating-life NBTI: statistics and permanent vs recoverable damage**. In: Proc IRPS; 2007. p. 452–6.
- 85 AICHINGER T, NELHIEBEL M, EINSPIELER S, GRASSER T. **Observing two stage recovery of gate oxide damage created under negative bias temperature stress**. J Appl Phys 2010;107:024508-1–8-8.
- 86 GRASSER T, KACZER B. **Evidence that two tightly coupled mechanism are responsible for negative bias temperature instability in oxynitride MOSFETs**. IEEE Trans Electr Dev 2009;56(5):1056–62.
- 87 HEHENBERGER P, AICHINGER T, GRASSER T, GOES W, TRIEBL O, KACZER B, ET AL. **Do NBTI-induced interface states show fast recovery? A study using a corrected on-the-fly charge-pumping measurement technique**. In: Proc IRPS; 2009. p. 1033–8.

- 88 GRASSER T, AICHINGER T, POBEGEN G, REISINGER H, WAGNER P-J, FRANCO J, ET AL. **The ‘permanent’ component of NBTI: composition and annealing.** In: Proc IRPS; 2011. p. 605–13.
- 89 SHOCKLEY W, READ W. **Statistics of the recombinations of holes and electrons.** Phys Rev 1952;87(5):835–42.
- 90 MASUDUZZAMAN M, ISLAM A, ALAM M. **Exploring the capability of multifrequency charge pumping in resolving location and energy levels of traps within dielectric.** IEEE Trans Electr Dev 2008;55(12):3421–31.
- 91 GROESENEKEN G, MAES H, BELTRAN N, DE KEERSMAECKER R. **A reliable approach to charge-pumping measurements in MOS transistors.** IEEE Trans Electr Dev 1984;31(1):42–53.
- 92 MCWHORTER A. **1/f Noise and germanium surface properties.** Sem Surf Phys 1957:207–28.
- 93 HENRY C, LANG D. **Nonradiative capture and recombination by multiphonon emission in GaAs and GaP.** Phys Rev B 1977;15(2):989–1016.
- 94 KIRTON M, UREN M. **Noise in solid-state microstructures: a new perspective on individual defects, interface states and low-frequency (1/f) noise.** Adv Phys 1989;38(4):367–486.
- 95 RALLS K, SKOCPOL W, JACKEL L, HOWARD R, FETTER L, EPWORTH R, ET AL. **Discrete resistance switching in submicrometer silicon inversion layers: individual interface traps and low-frequency (1/f?) noise.** Phys Rev Lett 1984;52(3): 228–31.
- 96 CAMPBELL J, QIN J, CHEUNG K, YU L, SUEHLE J, OATES A, ET AL. **Random telegraph noise in highly scales nMOSFETs.** In: Proc IRPS; 2009. p. 382–8.
- 97 B. KACZER, V. ARKHIPOV, R. DEGRAEVE, N. COLLAERT, G. GROESENEKEN, AND M. GOODWIN, **Disorder-Controlled-Kinetics Model for Negative Bias Temperature Instability and its Experimental Verification,** in Proc.IRPS, 2005, pp. 381–387.
- 98 UREN M, KIRTON M, COLLINS S. **Anomalous telegraph noise in small-area silicon metal–oxide–semiconductor field-effect transistors.** Phys Rev B 1988;37(14):8346–50.
- 99 GRASSER T, REISINGER H, WAGNER P-J, GOES W, SCHANOVSKY F, KACZER B. **The time dependent defect spectroscopy (TDDS) technique for the bias temperature instability.** In: Proc IRPS; 2010. p. 16–25.
- 100 GRASSER T, REISINGER H, WAGNER P-J, KACZER B. **The time dependent defect spectroscopy for the characterization of border traps in metal–oxide– semiconductor transistors.** Phys Rev B 2010;82(24):245318

- 101 F. ADAMU-LEMA, C. MONZIO COMPAGNONI, S.M. AMOROSO, N. CASTELLANI, L. GERRER, S. MARKOV, A.S. SPINELLI, A.L. LACAITA, A. ASENOV, **IEEE Transactions on Device and Materials Reliability**, (2013).
- 102 KAI ZHAO, SIDDARTH KRISHNAN, BARRY LINDER, AND JAMES H. STATHIS. **NBTI and PBTI in HKMG**, Bias Temperature Instability Springer pp 562, New York 2014.
- 103 TIBOR GRASSER, WOLFGANG GOS, VICTOR SVERDLOV, BEN KACZER, **The Universality of NBTI Relaxation and its Implications for Modeling and Characterization**, IEEE International Reliability Physics Symposium Proceedings. 45th Annual, April 2007
- 104 DIING SHENP ANG, **Understanding Negative-Bias Temperature Instability from Dynamic Stress Experiments**, 2014
- 105 N. GRAZIANO JUNIOR, R. TREVISOLI, MEMBER, IEEE, S. BARRAUD, AND R. T. DORIA, **Experimental Analysis of Negative Temperature Bias Instabilities Degradation in Junctionless Nanowire Transistors**, SBMicro 2018.
- 106 S. BARRAUD, M. BERTHOMÉ, R. COQUAND, M. CASSÉ, T. ERNST, M.-P. SAMSON, ET AL., **Scaling of trigate junctionless nanowire MOSFET with gate length down to 13 nm**, IEEE Electron Device Letters, vol. 33, pp. 1225-1227, 2012.
- 107 MUKTA SINGH PARIHAR;FAN YU LIU;CARLOS NAVARRO;SYLVAIN BARRAUD;MARYLINE BAWEDIN;IRINA IONICA;ABHINAV KRANTI;SORIN CRISTOLOVEANU, **Back-gate effects and detailed characterization of junctionless transistor**, 45th European Solid State Device Research Conference (ESSDERC), 2015
- 108 **Keysight Technologies Challenges and Solutions for Material Science/Engineering Testing Applications.**
- 109 BRUNO MENEZES, **Startu de B1500**, 16 de novembro de 2017.
- 110 R. TREVISOLI, R.T. DORIA, M. DE SOUZA, AND M. PAVANELLO, **A physically-based threshold voltage definition, extraction and analytical model for junctionless nanowire transistors**, Solid State Electronics, vol. 90, pp. 12, 2013.
- 111 NILTON GRAZIANO JR. **Estudo do efeito NBTI em transistores MOS sem junções**, Dissertação de Mestrado 2018.
- 112 **Sentaurus™ Device User Guide Version L-2016.03**, March 2016.
- 113 **Sentaurus™ Device User Guide Version L-2016.03**, March 2016 p 540-550.
- 114 ELKASHLAN, R.Y., SAMY, O., ANIS, A. ET AL. **Unified Quantum and Reliability Model for Ultra-Thin Double-Gate MOSFETs**. Silicon 12, 21–28 (2020).

- 115 R.T. DORIA ET AL.: **Analysis of the substrate bias effect on the interface trapped charges in junctionless nanowire transistors through low-frequency noise characterization**, Microelec Eng, vol. 178, pp. 17, 2017.
- 116 M. ALAM AND S. MAHAPATRA, **A comprehensive model of PMOS NBTI degradation**, Microelectronics Reliability, vol. 45, pp. 71–81, 2005.
- 117 SUFI ZAFAR, BYOUNG H. LEE, AND JAMES STATHIS, **Evaluation of NBTI in HfO₂ Gate-Dielectric Stacks With Tungsten Gates**, IEEE Electron Device Letters, Vol. 25, No. 3, pp. 153–155, 2004.
- 118 S D.K. SCHRODER, **Negative bias temperature instability: What do we understand?**, Microelectronics Reliability, vol. 47, pp. 841-852, 2007.
- 119 N. GRAZIANO JUNIOR, F. J. DA COSTA, R. TREVISOLI, R.T. DORIA, **Correlation Between the Electric Field and the Negative Temperature Bias Instabilities Degradation in Junctionless Nanowire Transistors**, 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), 2019, pp. 1-4.
- 120 T. GRASSER, B. KACZER, W. GOES, TH. AICHINGER, PH. HEHENBERGER, M. NELHIEBEL, **A Two-Stage Model for Negative Bias Temperature Instability**, in IEEE International Reliability Physics Symposium (IRPS), Montréal, Québec, Canada, pp. 33–44, April 2009
- 121 S. ZAFAR, A. KUMAR, E. GUSEV, E. CARTIER, **Threshold Voltage Instabilities in High-k Gate Dielectric Stacks**, IEEE Transactions on Devices and Materials Reliability, vol. 5, pp. 45-64, 2005.
- 122 E. T. FONTE, R. TREVISOLI AND R. T. DORIA, **Charge Pumping-Based Method for Traps Density Extraction in Junctionless Transistors**, 2021 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EuroSOI-ULIS), 2021, pp. 1-4.
- 123 R. TREVISOLI, R.T. DORIA, M. DE SOUZA, M.A. PAVANELLO, **Extraction of the Interface Trap Density Energetic Distribution in SOI Junctionless Nanowire Transistors**, Microelectron. Engineering, 147, 23–26, 2015.
- 124 R. TREVISOLI, R.T. DORIA, S. BARRAUD, M.A. PAVANELLO, **Compact Analytical Model for Trap-Related Low Frequency Noise in Junctionless Transistors**, In: Proceedings of ESSDERC 2019, pp. 1-4, 2019.
- 125 E. H. NICOLLIAN, J. R. BREWS. **MOS (Metal Oxide Semiconductor) Physic and Technology**, Wiley-Interscience, 2002.

- 126 R. TREVISOLI, R.T. DORIA, M. DE SOUZA, S. DAS, I. FERAIN, AND M. PAVANELLO, **Surface-Potential-Based Drain Current Analytical Model for Triple-Gate Junctionless Nanowire Transistors**, IEEE Transactions on Electron Devices, vol. 59, pp. 3510, 2012.
- 127 R. TREVISOLI, R.T. DORIA, M. DE SOUZA, AND M. PAVANELLO, **A physically-based threshold voltage definition, extraction and analytical model for junctionless nanowire transistors**, Solid State Electronics, vol. 90, pp. 12, 2013.
- 128 E. H. SNOW, A. S. GROVE, B. E. DEAL, AND C. T. SAH, **Ion Transport Phenomena in Insulating Films**, Journal of Applied Physics, Vol. 36, No. 5, pp-1664-1673, 1965.
- 129 R. TREVISOLI, R.T. DORIA, M. DE SOUZA, AND M. PAVANELLO, **A physically-based threshold voltage definition, extraction and analytical model for junctionless nanowire transistors**, Solid State Electronics, vol. 90, pp. 12, 2013.
- 130 R.D. TREVISOLI, R.T. DORIA, M. DE SOUZA, AND M.A. PAVANELLO, **Threshold voltage in junctionless nanowire transistors**, Semicond. Sci. Technol., v. 26, pp. 105009, 2011.
- 131 C.W. LEE, A. BORNE, I. FERAIN, A. AFZALIAN ET AL., **High-Temperature Performance of Silicon Junctionless MOSFETs**, IEEE Transactions on Electron Devices, v. 57, n. 2, pp. 620-625, 2010.
- 132 N. GRAZIANO JUNIOR, F. J. DA COSTA, R. TREVISOLI, S. BARRAUD, AND R. T. DORIA, **Influence of Interface Traps Density and Temperature Variation on the NBTI Effect in p-Type Junctionless Nanowire Transistors**, Solid-State Electronics, 2021..
- 133 N. GRAZIANO JUNIOR, R. TREVISOLI, AND R. T. DORIA. **Analysis of the Correlation Between NBTI Effect and the Surface Potential in Junctionless Nanowire Transistors**, Journal of Integrated Circuits and Systems, vol. 17, pp. 1-7, 2020.

APÊNDICE 1 – INFLUÊNCIA DA VARIAÇÃO DO COMPRIMENTO DE CANAL NO EFEITO NBTI EM TRANSISTORES MODO INVERSÃO E SEM JUNÇÕES

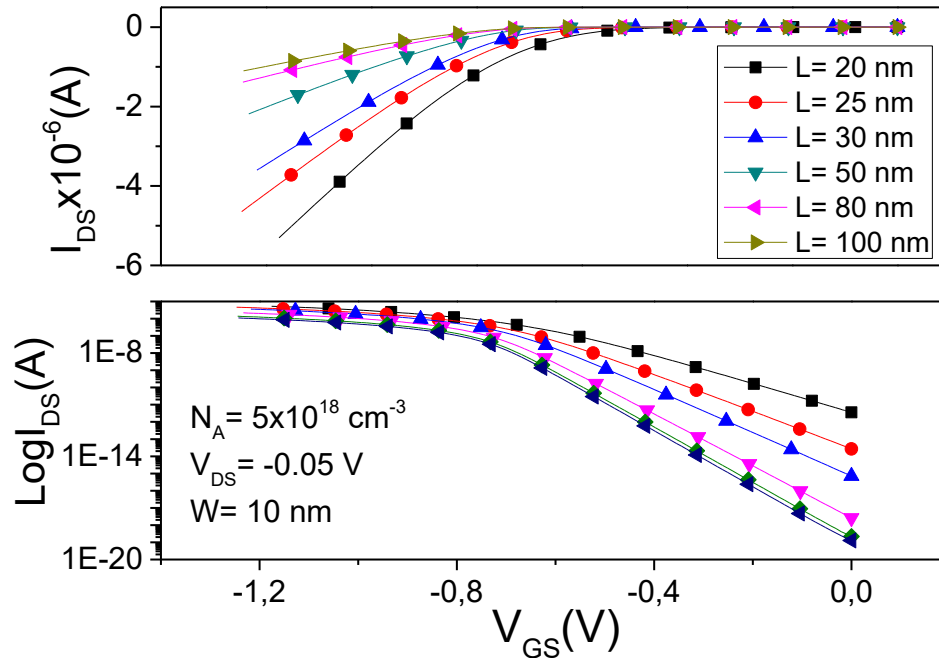
Esse estudo, teve como objetivo, determinar como o efeito NBTI é influenciado pela redução do comprimento de canal em dispositivos manométricos. Aqui, de forma bastante resumida, constam alguns procedimentos e conclusões que são relevantes para a contextualização da tese.

Os objetos dessa pesquisa foram dispositivos JNTs e FD-SOI. Para tanto, utilizou-se tanto de dispositivos experimentais com de simulados. Para que a comparação entre os dois tipos de dispositivos tivesse validade, estes têm características construtivas semelhantes. Naturalmente, o que mais os diferencia são a dopagem de fonte e dreno e concentração de dopantes do canal, além do modo de condução.

A1.1 CURVAS I_{DS} X V_{GS} NATIVAS

Previamente, foram obtidos os valores de V_{TH} antes do estresse. Sendo assim, a primeira tarefa, foi a de se levantar as curvas I_{DS} x V_{GS} . A Figura A1.1 diz respeito às curvas I_{DS} x V_{GS} para N_A de $5 \times 10^{18} \text{ cm}^{-3}$, com as quais, aplicando-se o método g_m/I_{DS} , se obteve os valores iniciais para o V_{TH} .

Figura A1.1 - Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de $-0,05 \text{ V}$



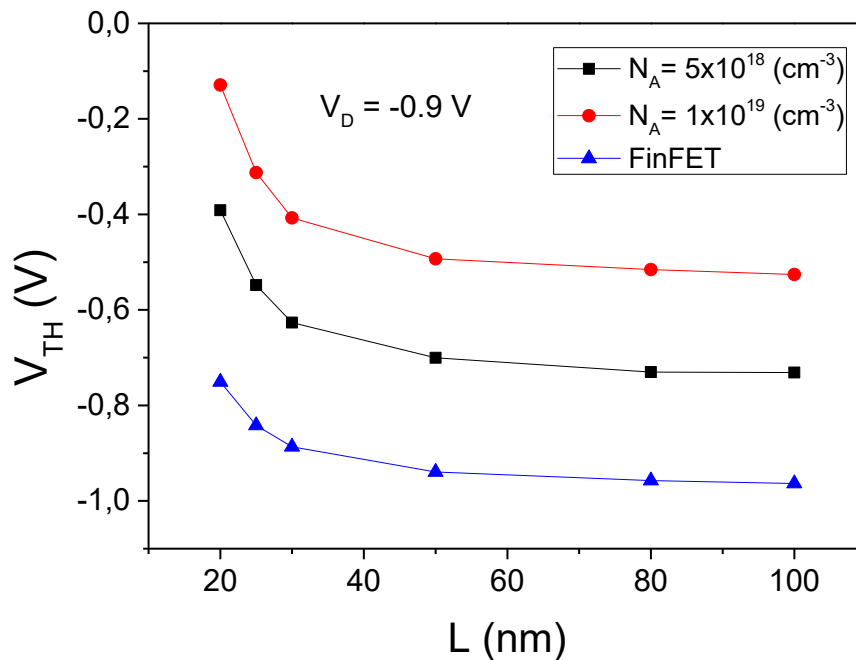
Fonte: **Nilton Graziano Jr.** ESTUDO DO EFEITO NBTI EM TRANSISTORES MOS SEM JUNÇÕES. Dissertação de Mestrado [107]

Fica patente que quanto menor o L , menor será I_{DS} . Para os outros valores de V_{DS} e N_A , o comportamento praticamente reproduz o da Figura A1.1.

A1.2 EXTRAÇÃO DO V_{TH} ANTES DO ESTRESSE POR EFEITO NBTI

Naturalmente, uma vez de posse das curvas $I_{DS} \times V_{GS}$, deu-se andamento à extração dos valores de V_{TH} . Os resultados estão expressos na Figura A1.2.

Figura A1.2 - $V_{TH} \times L$ para V_{DS} de $-0,9$ V



Fonte: **Nilton Graziano Jr.** ESTUDO DO EFEITO NBTI EM TRANSISTORES MOS SEM JUNÇÕES. Dissertação de Mestrado [107]

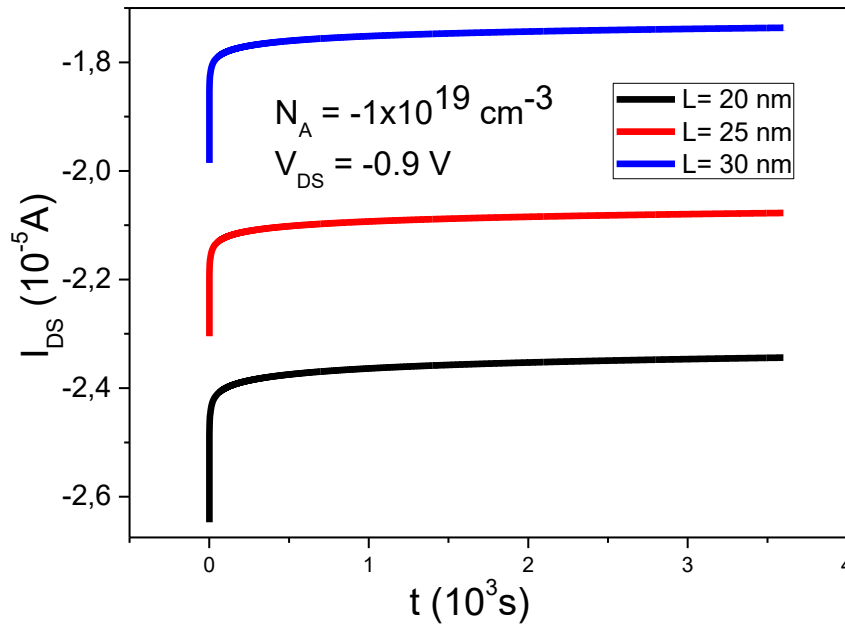
Observando a Figura A1.2, esta apresenta a tensão de limiar em função de L para os dispositivos simulados, é fácil concluir que os dispositivos FinFET apresentaram maiores valores de V_{TH} . Já em relação aos JNTs, para a menor dopagem, os V_{TH} s serão maiores. Quanto menor o L menor será o V_{TH} , devido à influência dos efeitos de canal curto.

A1.3 $I_{DS} \times$ TEMPO EM DISPOSITIVOS SIMULADOS

Com o V_{TH} em mãos, se fez a polarização dos dispositivos visando à análise do NBTI. Nessa etapa, foi adotado um V_{GT} de 0,5 V. Esse valor permite que o transistor atue mais dentro da acumulação e, com isso, é possível obter-se resultados mais significativos. Habilitou-se o modelo para degradação NBTI. Para as diversas polarizações, o tempo de referência adotado para aferição da degradação do V_{TH} foi de 10^3 s.

As curvas de $I_{DS} \times$ tempo, expõem de forma bastante intuitiva a maneira que se dá a degradação por efeito NBTI para os diversos dispositivos. Na Figura A1.3, tem-se a curva de $I_{DS} \times$ tempo para transistores sem junções com diferentes comprimentos de canal polarizados com $V_{DS} = -0,9$ V.

Figura A1.3 - Curvas de I_{DS} x tempo para dispositivos submetidos a degradação NBTI



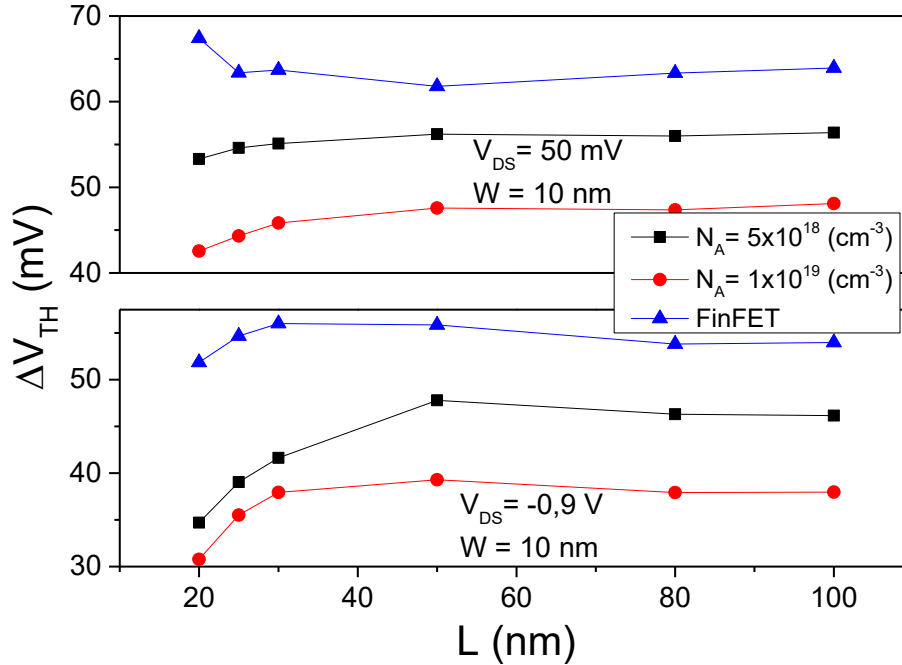
Fonte: **Nilton Graziano Jr.** ESTUDO DO EFEITO NBTI EM TRANSISTORES MOS SEM JUNÇÕES. Dissertação de Mestrado [107].

As curvas descrevem a redução em valor absoluto da corrente de dreno no decorrer do tempo. Toda a variação da corrente no tempo pode ser atribuída à alteração da tensão de limiar dos dispositivos devido às armadilhas geradas através do efeito de NBTI. Assim, a partir da diferença obtida entre o valor da corrente apresentado na curva $I_{DS} \times V_{GS}$ inicial (desconsiderando-se o NBTI) para uma dada condição de polarização e aquele observado após $10^3 s$ estresse, pode-se estimar a variação da tensão de limiar decorrente do NBTI (ΔV_{TH}).

A1.4 VARIAÇÃO DE V_{TH} DEVIDO AO EFEITO NBTI EM DISPOSITIVOS SIMULADOS

O que costumeiramente mais reflete numericamente a degradação por efeito NBTI é o ΔV_{TH} , ou seja, o quanto houve de variação na tensão de limiar. Ao depender de quanto se teve de degradação desse parâmetro, o transistor pode chegar a apresentar, para uma dada tensão de porta, uma inversão do seu estado logico, inutilizando esse dispositivo. Na Figura A1.4, observa-se o comportamento $\Delta V_{TH} \times L$ para dispositivos sem junções e FinFETs.

Figura A1.4 - Curvas de $\Delta V_{TH} \times L$ para dispositivos sem junções e FinFETs com V_{DS} de -0,05 e -0,9 V



Fonte: **Nilton Graziano Jr.** ESTUDO DO EFEITO NBTI EM TRANSISTORES MOS SEM JUNÇÕES. Dissertação de Mestrado [107]

Ao se observar e comparar as duas figuras, é possível concluir que a degradação por NBTI obtida em transistores sem junções é inferior à observada em FinFETs com características similares. Isso pode estar relacionado ao fato de que, nos dispositivos JNTs, a maior parte das cargas são conduzidas pelo centro canal. Contrapondo a dopagem de $5 \times 10^{18} \text{ cm}^{-3}$ com $1 \times 10^{19} \text{ cm}^{-3}$, há uma menor degradação para a maior dopagem. Finalmente, ao se observar as figuras a partir dos diferentes V_{DS} , para o maior valor absoluto $|0,9 \text{ V}|$, tem-se os menores ΔV_{TH} . Pois, aumentando o V_{DS} , reduz-se a diferença de tensão entre V_{GS} e V_{DS} , reduzindo o campo elétrico resultante.

É importante ressaltar que os resultados obtidos nas simulações seguem as mesmas tendências dos obtidos em laboratório.


```
(sdegeo:define-contact-set "fonte" -0.001 (color:rgb 1 0 0) "##")
```

```
(sdegeo:set-current-contact-set "fonte")
```

```
;(sdegeo:define-3d-contact (list      (car (find-face-id (position 0.000  (- (/ contato 2) (+ (/
Lfin 2) Lfonte)) (/ Hfin 2) )))) "fonte")
(sdegeo:define-3d-contact (list      (car (find-face-id (position 0.000  (- (+ (/ Lfin 2) Lfonte))
0 )))) "fonte")
```

```
; Contato do substrato
```

```
(sdegeo:define-contact-set "substrato" -0.001 (color:rgb 1 0 0) "##")
```

```
(sdegeo:set-current-contact-set "substrato")
```

```
(sdegeo:define-3d-contact (list      (car (find-face-id (position 0.000 0.000 (- (+ (/ Hfin 2)
tbox)) )))) "substrato")
```

```
;;;;;;;;;;
;; DOPAGEM ;;
;;;;;;;;;;
```

```
; Canal
```

```
(sdedr:define-constant-profile "definicao_perfil_constante_canal"
"BoronActiveConcentration" dop)
(sdedr:define-constant-profile-material "placement_perfil_constante_canal"
"definicao_perfil_constante_canal" "Silicon")
```

```
; Dreno
```

```
;(sdedr:define-refeval-window "DopGaussDrenoJan" "Cuboid" (position (- (/ Wfin 2)) (- (+ (/
Lfin 2) Lfonte)) (- (/ Hfin 2))) (position (/ Wfin 2) (- (/ Lfin 2)) (/ Hfin 2)) )
;(sdedr:define-gaussian-profile "DopGaussDrenoDef" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 5e20 "Length" 0.0015 "Gauss" "Length" 0)
;(sdedr:define-analytical-profile-placement "DopGaussDreno" "DopGaussDrenoDef"
"DopGaussDrenoJan" "Both" "NoReplace" "Eval")
```

```
; Fonte
```

```
;(sdedr:define-refeval-window "DopGaussFonteJan" "Cuboid" (position (- (/ Wfin 2)) (+ (/
Lfin 2) Lfonte) (- (/ Hfin 2))) (position (/ Wfin 2) (/ Lfin 2) (/ Hfin 2)) )
;(sdedr:define-gaussian-profile "DopGaussFonteDef" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 5e20 "Length" 0.0015 "Gauss" "Length" 0)
;(sdedr:define-analytical-profile-placement "DopGaussFonte" "DopGaussFonteDef"
"DopGaussFonteJan" "Both" "NoReplace" "Eval")
```

```
;;;;;;;;;;
;; GRADE ;;
;;;;;;;;;;
```

```
; Definição de janelas
;;Fonte-Canal-Dreno
```

```

(sdedr:define-refeval-window "CanalFonte" "Cuboid"
(position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2))))
(position (/ Wfin 2) (- refino_canal (/ Lfin 2)) (/ Hfin 2)) )
(sdedr:define-refeval-window "CanalDreno" "Cuboid"
(position (- (/ Wfin 2)) (/ Lfin 2) (- (/ Hfin 2))))
(position (/ Wfin 2) (- (/ Lfin 2) refino_canal) (/ Hfin 2)) )
(sdedr:define-refeval-window "Fonte" "Cuboid"
(position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2))))
(position (/ Wfin 2) (- (+ refino_FD (/ Lfin 2))) (/ Hfin 2)) )
(sdedr:define-refeval-window "Dreno" "Cuboid"
(position (- (/ Wfin 2)) (/ Lfin 2) (- (/ Hfin 2))))
(position (/ Wfin 2) (+ (/ Lfin 2) refino_FD) (/ Hfin 2)) )

(sdedr:define-refeval-window "ContatoFonte" "Cuboid"
(position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2))))
(position (/ Wfin 2) (- refino_canal (+ (/ Lfin 2) Lfonte)) (/ Hfin 2)) )
(sdedr:define-refeval-window "ContatoDreno" "Cuboid"
(position (- (/ Wfin 2)) (+ (/ Lfin 2) Lfonte) (- (/ Hfin 2))))
(position (/ Wfin 2) (- (+ (/ Lfin 2) Lfonte) refino_canal) (/ Hfin 2)) )

; Multibox fonte-canal-dreno
(sdedr:define-multibox-size "MultiboxCanalFonte"
0.020 0.10 0.020
0.010 0.002 0.010
1 1.8 1)

(sdedr:define-multibox-size "MultiboxCanalDreno"
0.020 0.10 0.020
0.010 0.002 0.010
1 -2 1)

(sdedr:define-multibox-size "MultiboxFonte"
0.020 0.10 0.020
0.010 0.002 0.010
1 -2 1)

(sdedr:define-multibox-size "MultiboxDreno"
0.020 0.10 0.020
0.010 0.002 0.010
1 2 1)

(sdedr:define-multibox-size "MultiboxContatoFonte"
0.020 0.10 0.020
0.010 0.001 0.010
1 2 1)

(sdedr:define-multibox-size "MultiboxContatoDreno"
0.020 0.10 0.020
0.010 0.001 0.010
1 -2 1)

```

```

; AplicaÃ§Ã£o refino materiais
(sdedr:define-refinement-material "RefSi" "Si" "Silicon" )
(sdedr:define-refinement-placement "RefOx" "Ox" "Oxide" )

; AplicaÃ§Ã£o multibox
(sdedr:define-multibox-placement "RefMultiboxCanalFonte" "MultiboxCanalFonte"
"CanalFonte")
(sdedr:define-multibox-placement "RefMultiboxCanalDreno" "MultiboxCanalDreno"
"CanalDreno")
(sdedr:define-multibox-placement "RefMultiboxFonte" "MultiboxFonte" "Fonte")
(sdedr:define-multibox-placement "RefMultiboxDreno" "MultiboxDreno" "Dreno")
(sdedr:define-multibox-placement "RefMultiboxContatoFonte" "MultiboxContatoFonte"
"ContatoFonte")
(sdedr:define-multibox-placement "RefMultiboxContatoDreno" "MultiboxContatoDreno"
"ContatoDreno")

; Refino Interfaces
(sdedr:define-refinement-function "Si" "MaxLenInt" "Silicon" "Oxide" 0.0005 2.5
"DoubleSide")

.....
;; CONSTRUCAO DA GRADE ;;
.....

(sde:build-mesh "snmesh" "" nome)

```

APÊNDICE 3 – ARQUIVO DE SIMULAÇÃO DO DISPOSITIVO

```

File {
    * output files:
    Output = "IdxVg_L10000-tsi10-tox1.7-tbox100_des.out"
    Plot = "IdxVg_Lfd30_H10_L25_W10_tbox_100_tox2_Na5.tdr"
    Current = "IdxVg_BTI-
Lfd30_H10_L30_Vd@_Vd@_W10_tbox_100_tox2_Na5_JNTs.plt"
    PMIPath = "."
}

Physics {
    Temperature=300
    Mobility (
#        Phumob
#        Enormal
        HighFieldSaturation
    )
    Recombination( SRH(DopingDep TempDependence)
    )
    EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
}

#Physics (Material="Silicon") { eQuantumPotential}

Physics ( MaterialInterface = "Oxide/Silicon" ) {
    NBTI (
        Conc = 5.0e12                # N_0 [/cm^2]
        NumberOfSamples = 1000      # N_sample [1]
        -hSHEDistribution            # (off by default)
    )
}

Plot {
    AcceptorConcentration
    BandGap BandGapNarrowing
    ConductionBandEnergy
    ConductionCurrent
    DielectricConstant
    DonorConcentration
    Doping
    DisplacementCurrent
    eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal eEparallel
    eEquilibriumDensity
    eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass
    eSaturationVelocity eVelocity
    EffectiveBandGap EffectiveIntrinsicDensity
    ElectricField
    ElectronAffinity

```

```

        Potential EquilibriumPotential
        hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal hEparallel
hEquilibriumDensity
        hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass
hSaturationVelocity hVelocity
        IntrinsicDensity
        Temperature
        Current
        TotalRecombination
        ValenceBandEnergy
        SpaceCharge
        SRHRecombination
    }

Device JL{
    File {
        * input files:
        Grid = "L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Na@Na@e18-
Lfd@Lfd@_msh.tdr"
        Parameter = "Param.par"
        * output files:

    }
    Electrode {
        { Name="fonte" Voltage= 0.000 }
        { Name="dreno" Voltage= 0.000 }
        { Name="porta" Voltage= 0.000 Workfunction=4.15 }
        { Name="substrato" Voltage= 0.000 Material="Silicon"(P=1e15)}
    }
#    CurrentPlot {
#        Potential ((0,0,0) (0,-0.45,0) (0,0.45,0) (0.005,0,0) (0.005,-0.45,0)
(0.005,0.45,0))
#        eDensity ( Average( Window[(-0.005,-0.45,-0.005) (0.005,-0.4,0.005)] )
#                    Average( Window[(-0.005,0.45,-0.005) (0.005,0.4,0.005)] )
#                    )
#    }
#
}

System {
    JL t1 (fonte=f dreno=d porta=g substrato=s)
    Vsource_pset Vd (d 0) {dc=0}
    Vsource_pset Vg (g 0) {dc=0}
    Vsource_pset Vf (f 0) {dc=0}
    Vsource_pset Vs (s 0) {dc=0}
    Plot "IdxVg_BTI_Lfd30_H10_L25_Vd@Vd@_W10_tbox_100_tox2_Na5_JNTs.txt"
(v(g f) v(d f) v(s f) i(t1 f))
}

Math {
    Extrapolate
#    NotDamped=2

```

```

Iterations=20
ExitOnFailure
# Smooth
Method = pardiso
number_of_threads = 2
}

Solve {

    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
                          Goal {Parameter=Vg.dc Value=0 } )
                          {Coupled(Iterations=50) { Poisson } CurrentPlot ( Time = (-1)) }

    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
                          Goal {Parameter=Vg.dc Value=0 } )
                          {Coupled(Iterations=50) { Poisson } CurrentPlot ( Time = (-1)) }

    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
                          Goal {Parameter=Vg.dc Value=0 } )
                          {Coupled(Iterations=50) { Poisson Electron Hole } CurrentPlot ( Time = (-1))
    }

    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
                          Goal {Parameter=Vs.dc Value=0 } )
                          {Coupled(Iterations=50) { Poisson Electron Hole } CurrentPlot ( Time = (-1))
    }

    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
                          Goal {Parameter=Vg.dc Value=0 } )
                          {Coupled(Iterations=50) { Poisson Electron Hole } CurrentPlot ( Time = (-1))
    }

    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
                          Goal {Parameter=Vd.dc Value=@Vd@ } )
                          {Coupled(Iterations=50) { Poisson Electron Hole } CurrentPlot ( Time = (-1))
    }

#    Save (FilePrefix="Vd005V_IdxVg_L@L@-W@W@-H@H@-tox@tox@-
Nd@Nd@e18_")
#    NewCurrentPrefix="Vd005V_"
#
    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
                          Goal {Parameter=Vg.dc Value=-1.2019} )
                          {Coupled(Iterations=10) { Poisson Electron Hole } CurrentPlot( Time =
(range = (0 1) intervals = 120)) }

    Transient (InitialTime=0 FinalTime=3600 Initialstep=1 Minstep=1e-12 MaxStep=01)
              {Coupled(Iterations=5) { Poisson Electron Hole} }

#
#    Load (FilePrefix="Vd005V_IdxVg_L@L@-W@W@-H@H@-tox@tox@-
Nd@Nd@e18_")

```

```

# NewCurrentPrefix="Vd1V_"
#
# Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
# Goal {Parameter=Vd.dc Value=1 } )
# {Coupled(Iterations=30) { Poisson Electron Hole Circuit Contact
eQuantumPotential} CurrentPlot ( Time = (-1)) }
#
# Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
# Goal {Parameter=Vg.dc Value=0 } )
# {Coupled(Iterations=10) { Poisson Electron Hole Circuit Contact
eQuantumPotential} CurrentPlot( Time = (range = (0 1) intervals = 200)) }
}

```