CENTRO UNIVERSITÁRIO FEI
ARIANNE SOARES DO NASCIMENTO PEREIRA

MODELOS ANALÍTICOS PARA EFEITOS DE CANAL CURTO EM TRANSISTORES DE PORTA DUPLA SIMÉTRICOS E ASSIMÉTRICOS

São Bernardo do Campo
2016

ARIANNE SOARES DO NASCIMENTO PEREIRA

MODELOS ANALÍTICOS PARA EFEITOS DE CANAL CURTO EM TRANSISTORES DE PORTA DUPLA SIMÉTRICOS E ASSIMÉTRICOS

Tese apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Doutor em Engenharia Elétrica. Orientado pelo Prof. Dr. Renato Camargo Giacomini.

São Bernardo do Campo

2016

Soares do Nascimento Pereira, Arianne.
Modelos Analíticos para Efeitos de Canal Curto em Transistores de Porta Dupla Simétricos e Assimétricos / Arianne Soares do Nascimento Pereira. São Bernardo do Campo, 2016.
153 f. : il.

Tese - Centro Universitário FEI.
Orientador: Prof. Dr. Renato Camargo Giacomini.

1. FinFET. 2. UTBB. 3. Modelo analítico. 4. Resistência parasitária. 5. DIBL. I. Camargo Giacomini, Renato, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE TESE
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Doutorado

PGE-10

Aluno: Arianne Soares do Nascimento Pereira **Matrícula:** 512308-8

Título do Trabalho: Modelos analíticos para efeitos de canal curto em transistores de porta dupla simétricos e assimétricos.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Renato Camargo Giacomini

Data da realização da defesa: 05/08/2016

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

São Bernardo do Campo, 05 /08 / 2016.

MEMBROS DA BANCA EXAMINADORA	
Prof. Dr. Renato Camargo Giacomini	Ass.: _____
Prof. Dr. Victor Sonnenberg	Ass.: _____
Prof. Dr. Aparecido Sirley Nicolett	Ass.: _____
Prof.ª Dr.ª Talitha Nicoletti Régis	Ass.: _____
Prof. Dr. Sandro Martini	Ass.: _____

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA TESE

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha família. Em especial à minha mãe (*in memorian*) e ao meu filho.

AGRADECIMENTOS

Ao Prof. Dr. Renato Camargo Giacomini, orientador e amigo, por sempre me apoiar e acreditar no meu trabalho.

Aos professores Dr. Denis Flandre e Dra. Valeria Kilchytska pelo conhecimento compartilhado, incentivo e sugestões durante o período de estágio na UCL.

Aos amigos do grupo de pesquisa André Perin, Danilo Silva, Fernando Oka e Dr. Rudolf Buhler, pela parceria nos trabalhos realizados em conjunto com os quais pude avançar em meu aprendizado.

Às amigas Bruna e Maria, por tornarem os seis meses que passei longe da minha família mais felizes.

À família Dalemans que me recebeu em sua casa e me acolheu com muito carinho e atenção.

Aos demais amigos Carla, Genaro, Lígia e Juliana, pelo compartilhamento de experiências, medos e expectativas.

Aos professores do grupo IED Dr. Marcelo Antonio Pavanello, Dra. Michelly de Souza, Dr. Salvador Pinillos Gimenez, Dr. Rodrigo Doria e Dr. Renan Trevisoli pela experiência compartilhada.

Ao meu pai, minha irmã e meu sobrinho, pelo amor e por sempre acreditarem na minha capacidade. À minha mãe que sempre me incentivou e torceu por mim, e que infelizmente nos deixou e não pôde me ver concluir este trabalho.

Aos meus sogros e minha cunhada, por todo incentivo, amor e carinho.

Ao meu marido e meu filho, por me amarem e despertarem em mim o desejo ser uma pessoa, esposa e mãe melhor a cada dia.

Ao Centro Universitário da FEI e à Université catholique de Louvain, por oferecerem a infraestrutura necessária para a realização dessa pesquisa.

À FAPESP, pelo apoio financeiro indispensável para a realização deste trabalho.

A tantas outras pessoas, que de alguma forma colaboraram para a realização deste trabalho e que, de forma involuntária foram aqui omitidos.

AKNOWLEDGMENTS

I would like to thank Prof. Dr. Renato Camargo Giacomini, my advisor and friend, for always supporting me and for believe in my work.

I am also grateful to Professors Dr. Denis Flandre and Dr. Valeria Kilchytska for sharing their knowledge, for all the encouragement and suggestions during my internship at UCL.

Thank you my research group friends André Perin, Danilo Silva, Fernando Oka and Dr. Rudolf Buhler, for the partnership in the works developed together, in which I could progress my learning.

Thank you my friends Bruna and Maria for becoming happier the six months that I stayed away from my family.

I would like to thank Dalemans family, which received me in their house with affection and attention.

I am also grateful to my friends Carla, Genaro, Lígia and Juliana, for the shared experiences, insecurities and expectations.

Thank you to Professors of IED group Dr. Marcelo Antonio Pavanello, Dr. Michelly de Souza, Dr. Salvador Pinillos Gimenez, Dr. Rodrigo Doria and Dr. Renan Trevisoli for the shared experience.

I am thankful to my father, my sister and my nephew, for loving me and believe in my ability. Special thank to my mother that always cheered me, but unfortunately left us and could not see me conclude this work.

Thank you to my parents in law and my sister in law, for the encouragement, love and caress.

I am grateful to my husband and my son, for loving me and make me desire to be a better person, wife and mother each day.

I would like to thank Centro Universitário da FEI and Université catholique de Louvain, for offering the infrastructure to perform this research.

I am thankful to FAPESP, for the financial support indispensable to this work.

My gratitude to the many other people which also collaborated in this work in one way or another, but were here involuntarily omitted.

“esquecendo-me das coisas que ficaram para trás e avançando para as que estão adiante, prossigo para o alvo, a fim de ganhar o prêmio.”
Filipenses 3:13-14

RESUMO

A tecnologia Silício-sobre-Isolante (Silicon-on-Insulator - SOI) tem evoluído e oferecido novas arquiteturas para os dispositivos. Dentre os novos dispositivos, o FinFET e o UTBB estão entre os poucos que permitem o escalamento para tecnologias abaixo de 10 nm, quando se trata de maior imunidade aos efeitos de canal curto. Uma ferramenta importante para auxiliar o entendimento dos dispositivos e facilitar a predição de novas tecnologias são os modelos analíticos, que descrevem o comportamento de alguma característica ou efeito presente nos transistores. Neste trabalho, foram estudados e propostos modelos analíticos de resistência parasitária e corrente de dreno em FinFETs e de DIBL (*Drain Induced Barrier Lowering* – Diminuição da Barreira de potencial Induzida pelo Dreno) em UTBBs. Esses são efeitos parasitários importantes nesses dispositivos que são utilizados como critérios para dizer se uma tecnologia tem ou não uma boa imunidade aos efeitos de canal curto. Em FinFETs, é feita a avaliação dos modelos já existentes para a resistência parasitária, além do estudo e proposta de evolução do modelo de corrente de dreno SDDGM, proposto por Cerdeira et al em 2008, acrescentando a ele a resistência parasitária modelada fisicamente, que antes fazia parte do modelo apenas como um parâmetro de ajuste. A análise dos três modelos de resistência parasitária presentes na literatura mostrou que o modelo de Pereira e Giacomini é o mais adequado, apresentando erros percentuais abaixo de 10% para diferentes características de fonte e dreno, quando comparado aos resultados de simulações numéricas tridimensionais e de dados experimentais de resistência parasitária. Também foi feita a integração do modelo de corrente com o modelo da resistência parasitária, com base na degradação das tensões efetivas aplicadas à porta e ao dreno do dispositivo, permitindo assim a substituição de um parâmetro de ajuste pela resistência parasitária calculada fisicamente através do modelo proposto por Pereira e Giacomini. Essa alteração não acrescenta nenhum parâmetro de ajuste adicional ao modelo de corrente de dreno. O modelo completo de corrente proposto foi avaliado através de simulações numéricas tridimensionais e apresentou boa concordância, reproduzindo muito bem as curvas de corrente de dreno para caracteristícas e polarizações diversas. Em UTBBs, o comportamento do DIBL é investigado em detalhes para temperaturas até 150ºC. A análise é baseada em dados experimentais, simulações numéricas de dispositivos e modelos publicados na literatura. As medidas revelaram aumento do DIBL com o aumento da temperatura. Simulações de dispositivos realizadas para diferentes estruturas de camada fina (totalmente depletadas) mostraram a generalidade desse comportamento. Três modelos analíticos disponíveis na literatura para o cálculo do DIBL:

modelo VDT, modelo de Arshad et al e modelo de Fasarakis et al foram avaliados quando aplicados para diferentes temperaturas. Embora o modelo de Fasarakis tenha apresentado os valores mais próximos aos experimentais, a dependência do DIBL com a temperatura foi superestimada para dispositivos com canal mais curto e subestimada para dispositivos com canal mais longo. Foi proposta neste trabalho uma forma de adequar o modelo de Fasarakis et al, através da inclusão da carga de inversão e da posição do canal dependente da temperatura, com o intuito de reproduzir corretamente a variação do DIBL com a temperatura para comprimentos de canal diferentes. Os resultados obtidos mostraram uma boa concordância com os dados experimentais e um significativo ganho de precisão em relação aos modelos da literatura, principalmente para comprimentos de canal na faixa de aplicações de tensão ultra baixa digital e com bom desempenho analógico para a tecnologia estudada.

Palavras-chave: FinFET. UTBB. Modelo analítico. Resistência parasitária. DIBL.

ABSTRACT

The Silicon-on-Insulator technology (SOI) has evolved and offered new architectures for devices. Among the new devices, FinFET and UTBB are in the few that allow the scaling for technologic nodes beyond 10 nm regarding short channel effects' immunity. An important tool to help the understanding of devices and ease the prediction of new technologies are the analytical models, which describe the behavior of some characteristic or effect in transistors. In this work, analytical models of parasitic resistance and drain current in FinFETs and DIBL (Drain Induced Barrier Lowering) in UTBBs were studied and proposed. These are parasitic effects important in such devices, as they are used as criterion to know if a technology has or not a good immunity to short channel effects. In FinFETs, is performed the evaluation of existing models for the parasitic resistance, beyond the study and the proposed developments for the drain current SDDGM model, proposed by Cerdeira et al in 2008, including the parasitic resistance effect, which has been physically modeled, formerly part of the model as a fitting parameter. The analysis of three models of parasitic resistance in the literature showed that the model of Pereira and Giacomini is the most adequate, showing percentage errors below 10% for different characteristics of source and drain when compared to the results of three-dimensional numerical simulations and experimental data of parasitic resistance. Also, it is made the integration between the current model and the model of the parasitic resistance based on the degradation of the effective gate and drain voltages. In addition, it allows the replacement of a fitting parameter by the physically parasitic resistance calculated through the model proposed by Pereira and Giacomini. This change does not add any fitting parameters to the drain current model. The complete proposed current model was evaluated by three-dimensional numerical simulations and presented good agreement, reproducing very well the drain current curves for different features and bias conditions. In UTBBs, the DIBL behavior is investigated in details in the temperature range up to 150ºC. The analysis is based on experimental data, physical device simulation and previously published models. Experiments reveal DIBL increase with temperature. Physical device simulations of different thin-film fully-depleted devices outline the generality of such behavior. Three analytic models available in the literature for DIBL calculation: VDT model, Arshad et al model and Fasarakis et al model are assessed when applied to different temperatures. Although being the closest to experiments, Fasarakis' model overestimates DIBL(T) dependence for shortest devices and underestimates it for upsized gate lengths. A way to upgrade the Fasarakis et al model is proposed in this work, by including the inversion charge and channel position dependence on

temperature in order to correctly reproduce/predict DIBL variation with temperature for devices with different lengths. The obtained results show very good agreement with experimental data and significant gain of precision in comparison with literature models results, mainly for channel lengths in the range used for low leakage ULV digital and good performance analog applications for this technology.

Keywords: FinFET. UTBB. Analytical model. Parasitic resistance. DIBL.

LISTA DE ILUSTRAÇÕES

Figura 1 – Evolução tecnológica dos processadores Intel desde 2003. 32

Figura 2 – Dispositivos estudados neste trabalho: (a) FinFET e (b) UTBB. 33

Figura 3 – Escalamento em dispositivos SOI considerando o critério de DIBL < 100 mV/V. 35

Figura 4 – Corte transversal de um transistor SOI nMOSFET. 38

Figura 5 – Diagrama de faixas de energia para os transistores: (a) PDSOI e (b) FDSOI com a primeira e segunda interfaces invertidas. 39

Figura 6 – Corrente de dreno em escala logarítmica em função da tensão de porta para dois transistores SOI: FDSOI (t_{Si} = 80 nm) e PDSOI (t_{Si} = 320 nm). 44

Figura 7 – Perfis de carga: (a) MOS convencional de canal longo, (b) MOS convencional de canal curto, (c) FDSOI de canal longo e (d) FDSOI de canal curto. 46

Figura 8 – Tensão de limiar em função do comprimento de canal para duas tecnologias: MOS convencional e FDSOI com t_{Si} de 100 nm. 47

Figura 9 – Potencial ao longo do canal para V_D=0 e V_D alto. 48

Figura 10 – Algumas estruturas de múltiplas portas: (a) DELTA, (b) GAA, (c) TG FinFET e (d) CYNTHIA. 50

Figura 11 – DIBL em função de t_{Si} para duas estruturas FDSOI com t_{BOX} = 380nm e t_{BOX} = 50nm. 52

Figura 12 – Transistores UTBB caracterizados em [16]: (a) perfil transversal sem GP, (b) perfil transversal com GP e (c) imagem SEM. 52

Figura 13 – (a) Estrutura CMOS com transistores UTBB utilizada para diferentes V_T e (b) Curva de V_T x t_{BOX} para os transistores nMOS e pMOS. 55

Figura 14 – Inclinação de limiar em dispositivos SOI de porta dupla, tripla, quadrupla e porta Π em função do comprimento de canal. 56

Figura 15 – Concentração de elétrons ao longo da posição em t_{Si} na condição de limiar para UTBBs com diferentes GP e polarizações do substrato. 57

Figura 16 – Sistema de coordenadas e componentes de campo elétrico que podem atuar na região do canal nas direções x, y e z. 58

Figura 17 – (a) Estrutura DG FinFET com SEG e siliceto nos contatos de fonte e dreno e (b) imagem SEM de um contato de fonte e dreno aumentado por SEG. 62

Figura 18 – Associação das parcelas de resistência consideradas pelo modelo proposto por Dixit et al. 63
Figura 19 – Estruturas de siliceto consideradas para a modelagem de Tekleab et al. 66
Figura 20 – Vista superior do dispositivo considerado na modelagem e associação das parcelas do modelo de Tekleab et al. 66
Figura 21 – Associação das parcelas proposta por Pereira e Giacomini. 69
Figura 22 – (a) Vista superior de um FinFET mostrando o alargamento das regiões de contato de fonte e dreno e (b) Representação da aproximação exponencial do alargamento das regiões de contato de fonte e dreno. 70
Figura 23 – Associação de resistências utilizadas para calcular a parcela de resistência de contato inferior R_{CONB} considerando o contato aproximado por exponencial. 71
Figura 24 – Método gráfico de extração de ΔL e R_{PAR} a partir da curva da resistência total em função do comprimento de máscara do canal proposto por Terada e Muta. 73
Figura 25 – Método gráfico de extração de ΔL e R_{PAR} a partir da curva da resistência total em função do comprimento de máscara para o par de tensões V_{G1} e V_{G2} proposto por Hu et al. 74
Figura 26 – ΔL e R_{PAR} em função de $V_G - V_T$ extraídos pelo método de Hu et al para: (a) transistor sem região LDD e (b) transistor com região LDD. 75
Figura 27 – Método gráfico de extração de R_{PAR} a partir da curva da resistência total em função da tensão de porta proposto por Dixit et al. 76
Figura 28 – Estrutura FinFET de porta dupla gerada no simulador Atlas para comparação dos métodos de extração de R_{PAR}. 77
Figura 29 – R_{PAR} x H_S extraída para três tensões de porta diferentes utilizando o método de Hu et al. 78
Figura 30 – R_{PAR} x H_S extraída para três comprimentos de canal diferentes utilizando o método de Dixit et al. 79
Figura 31 – R_{PAR} x H_S extraída pelos três métodos diferentes para dispositivos: (a) sem região LDD e (b) com região LDD. 79
Figura 32 – Estrutura básica de porta dupla utilizada para o desenvolvimento de modelos analíticos de corrente de dreno. 80
Figura 33 – Comparação entre as geometrias de contato dos modelos que serão avaliados e a geometria utilizada nas simulações. 89

Figura 34 – Estrutura FinFET de porta dupla com contato trapezoidal gerada pelo simulador Atlas. 90
Figura 35 – Exemplo de extração de R_{PAR} utilizando o método de Terada e Muta. 91
Figura 36 – R_{PAR} em função da profundidade de siliceto para três comprimentos de siliceto e resistividade de contato (ρ_C) de $1x10^{-7}$ $\Omega.cm^2$. 93
Figura 37 – R_{PAR} em função da profundidade de siliceto para três comprimentos de extensão de fonte e dreno e resistividade de contato (ρ_C) de $1x10^{-7}$ $\Omega.cm^2$. 94
Figura 38 – R_{PAR} em função da profundidade de siliceto e resistividade de contato (ρ_C) de $1x10^{-8}$ $\Omega.cm^2$: (a) para três comprimentos de siliceto (L_S) e (b) para três comprimentos de extensão de fonte e dreno (L_{EXT})..... 95
Figura 39 – R_{PAR} em função da profundidade de siliceto alterando as concentrações de dopantes das regiões de extensão de fonte e dreno (N_{DEXT}) e das regiões fortemente dopadas (N_{DHDD})..... 96
Figura 40 – R_{PAR} em função da resistividade de contato para profundidades de siliceto diferentes..... 97
Figura 41 – R_{PAR} em função da largura da aleta para comprimentos de siliceto diferentes..... 98
Figura 42 – Resistividade em função da concentração de dopantes no silício em temperatura ambiente..... 99
Figura 43 – Valores experimentais de R_{PAR} da referência [99] em função da largura da aleta (W_{FIN}) em comparação com simulações do Atlas e modelos. 102
Figura 44 – Valores experimentais de R_{PAR} da referência [75] em função da largura da aleta (W_{FIN}) em comparação com simulações do Atlas e modelos. 103
Figura 45 – Valores experimentais de R_{PAR} da referência [100] em função da largura da aleta (W_{FIN}) em comparação com simulações do Atlas e modelos. 104
Figura 46 – Imagens SEM dos FinFETs estudados nas referências (a) [75], (b) [101] e (c) [21]..... 105
Figura 47 – Circuito equivalente utilizado para integração do efeito de R_{PAR} na corrente de dreno I_{DS}..... 106
Figura 48 – Comparação entre as curvas I_{DS} x V_G da simulação bidimensional e do modelo SDDGM para diferentes mobilidades constantes. 108
Figura 49 – Estrutura SOI FinFET de porta dupla descrita no simulador Atlas para avaliação tridimensional do modelo SDDGM com mobilidade constante..... 108

Figura 50 – Comparação entre as curvas I_{DS} x V_G da simulação tridimensional e do modelo SDDGM com mobilidade constante. 109
Figura 51 – Curvas I_{DS} x V_G com os parâmetros de mobilidade ajustados. 110
Figura 52 – Tensões efetivas normalizadas V_{GEFF} e V_{DEFF} calculadas pelo modelo completo de corrente em função da tensão de porta para diferentes W_{FIN}. 112
Figura 53 – Corrente de dreno em função da tensão de porta para diferentes W_{FIN} e: (a) W_{SEG} = 100 nm e (b) W_{SEG} = 25 nm. 113
Figura 54 – Corrente de dreno em função da tensão de porta para diferentes H_{FIN} e: (a) W_{SEG} = 100 nm e (b) W_{SEG} = 25 nm. 113
Figura 55 – Corrente de dreno em função da tensão de porta para diferentes H_S. 114
Figura 56 – Corrente de dreno em função da tensão de porta para diferentes resistividades de contato. 115
Figura 57 – Corrente de dreno em função da tensão de porta para diferentes tensões de dreno. 115
Figura 58 – Corrente de dreno em função da tensão de dreno para diferentes sobretensões de condução (V_{GT}). 116
Figura 59 – Representação da distribuição do potencial no canal. A área sombreada representa a localização do catodo virtual, ponto onde o potencial elétrico tem o seu valor mínimo. 118
Figura 60 – Janela de dispositivos do software MASTAR. 121
Figura 61 – Posição vertical do canal (Y_{MEAN}) em função da tensão de substrato para transistores UTB e UTBB. 122
Figura 62 – Imagem SEM do dispositivo fabricado na ST Microelectronics e utilizado neste trabalho. 126
Figura 63 – DIBL experimental em função da temperatura (símbolos) e calculado pelo software MASTAR (linhas) para dispositivos SVT e LVT com comprimentos de canal de 38, 42, 60, 90, 120 e 500 nm (de cima para baixo). 127
Figura 64 – Estruturas UTBB conforme geradas no Atlas : (a) *underlap* e (b) *overlap*. 128
Figura 65 – DIBL em função da temperatura para diferentes estruturas FD nMOS simuladas no Atlas. 129
Figura 66 – Curvas I_{DS}xV_G experimentais e simuladas para o dispositivo com L = 42 nm. . 130
Figura 67 – Y_{MEAN} em função da temperatura para os dispositivos com L=38 e 120 nm, extraídos das simulações ajustadas. 131

Figura 68 – DIBL em função do comprimento de canal para as temperaturas de (a) 25ºC e (b) 150ºC. 132
Figura 69 – ΔDIBL/ΔT experimental e calculado por diferentes modelos em função do comprimento de canal. 132
Figura 70 – Q_{TH} em função da temperatura calculados pelo modelo de Fasarakis et al e extraídos das simulações. 133
Figura 71 – DIBL em função da temperatura para os dispositivos com L=38 e 120 nm. 134
Figura 72 – ΔDIBL/ΔT em função do comprimento de canal experimental e calculado por diferentes modelos. 135

LISTA DE TABELAS

Tabela 1 – Diferentes V_T alcançados para transistores pMOS e nMOS de acordo com a polarização do substrato e o tipo de dopante utilizado no GP [59]. 54
Tabela 2 – Características dos FinFETs simulados para a comparação dos métodos de extração de R_{PAR} [78]. 77
Tabela 3 – Características dos dispositivos simulados para avaliação dos modelos de R_{PAR}. . 90
Tabela 4 – Comparação dos erros percentuais máximos dos três modelos analíticos quando comparados às simulações. 98
Tabela 5 – Características de fonte e dreno dos FinFETs experimentais estudados nas referências [99], [75] e [100]. 100
Tabela 6 – Características dos dispositivos simulados para avaliação do modelo completo de corrente. 111
Tabela 7 – Características das diferentes estruturas FD nMOS simuladas no Atlas. 127

LISTA DE ABREVIATURAS E SIGLAS

BGN	Band Gap Narrowing
BOX	Buried OXide
CYNTHIA	CYliNdrical THin PillAr transistor
CMOS	Complementary Metal Oxide Semiconductor
DELTA	fully DEpleted Lean-channel TrAnsistor
DIBL	Drain Induced Barrier Lowering
DG	Double Gate
EI	Electrostatic Integrity
FDSOI	Fully depleted Silicon On Insulator
FinFET	Fin Field Effect Transistor
GAA	Gate All Around
GP	Ground Plane
HDD	Heavily Doped Drain
HVT	High Threshold Voltage
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain
LOCOS	LOCal Oxidation of Silicon
LVT	Low Threshold Voltage
MASTAR	Model for Assessment of cmoS Technologies And Roadmaps
MG	Multiple Gate
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSGT	Multi pillar Surrounding Gate Transistor
NFDSOI	Near Fully Depleted Silicon On Insulator
PDSOI	Partially Depleted Silicon On Insulator

RT	Room Temperature
SCE	Short Channel Effects
SDDGM	Symmetric Doped Double Gate MOSFET
SEG	Selective Epitaxial Growth
SEM	Scanning Electron Microscopy
SHI	Shirahata
SOI	Silicon-On-Insulator
SRH	Shockley-Read-Hall
STI	Shallow Trench Isolation
SVT	Standard Threshold Voltage
TG	Triple Gate
VDT	Voltage Drop Transformation
ULV	Ultra Low Voltage
UTBB	Ultra Thin Body and Buried oxide

LISTA DE SÍMBOLOS

a	Coeficiente de modelagem do expoente da curva exponencial [1/nm]
A_C	Parâmetro de ajuste para a posição do canal no modelo de Fasarakis et al [adimensional]
A_f	Fator para o cálculo da tensão de limiar de transistores UTBB pelo modelo de Fasarakis et al [adimensional]
B_f	Fator para o cálculo da tensão de limiar de transistores UTBB pelo modelo de Fasarakis et al [adimensional]
C_D	Capacitância de depleção por unidade de área [F/cm^2]
C_{OX}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm^2]
C_{OX1}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{OX2}	Capacitância do óxido enterrado do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância do silício por unidade de área [F/cm^2]
d	Distância ocupada pelas cargas de depleção das junções de fonte e dreno sobre a segunda interface do transistor FDSOI [nm]
E_C	Nível de energia inferior da faixa de condução [eV]
eC	Concentração de elétrons ao longo da camada de silício [cm^{-3}]
E_F	Nível de Fermi do semicondutor [eV]
E_i	Nível de energia intrínseco [eV]
EI	Integridade eletrostática de um transistor [adimensional]
EI_{DG}	Integridade eletrostática do transistor de porta dupla simétrico [adimensional]
EI_{FDSOI}	Integridade eletrostática do transistor FDSOI [adimensional]
EI_{MOS}	Integridade eletrostática do transistor MOS convencional [adimensional]
E_V	Nível de energia superior da faixa de valência [eV]
H_{FIN}	Altura da aleta no transistor FinFET [nm]
H_S	Profundidade do siliceto no transistor FinFET [nm]
I_{DS}	Corrente de dreno no transistor MOS [A]

I_0 Constante de corrente do transistor de porta dupla [A]

k Constante de Boltzmann [1,38066 x 10^{-23} J/K]

L Comprimento de máscara do canal do transistor [nm]

L_{EFF} Comprimento efetivo do canal do transistor [nm]

L_{EXT} Comprimento de extensão de fonte e dreno [nm]

$L_{EXTLOWER}$ Comprimento médio da corrente inferior nas regiões de extensão [nm]

L_S Comprimento de contato de fonte e dreno [nm]

L_T Comprimento de transferência [cm]

L_{UL} Comprimento da região underlap no transistor UTBB [nm]

n Fator de corpo [adimensional]

N Concentração de impurezas em um semicondutor [cm^{-3}]

N_A Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]

$N_{Amáx}$ Concentração de impurezas na camada de silício quando o potencial no centro atinge o seu valor máximo [cm^{-3}]

N_A* Concentração de impurezas unidimensional modificada do modelo VDT [cm^{-3}]

N_D Concentração de impurezas doadoras em um semicondutor [cm^{-3}]

N_{DEXT} Concentração de impurezas doadoras nas extensões de fonte e dreno [cm^{-3}]

N_{DHDD} Concentração de impurezas doadoras nas regiões de fonte e dreno fortemente dopadas [cm^{-3}]

n_i Concentração intrínseca de portadores em um semicondutor [cm^{-3}]

n_{MOS} Fator de corpo do transistor MOS convencional e PDSOI [adimensional]

$n_{SOI,acc2}$ Fator de corpo do transistor FDSOI com a segunda interface acumulada [adimensional]

$n_{SOI,depl2}$ Fator de corpo do transistor FDSOI com a segunda interface depletada [adimensional]

n_{UTBB} Fator de corpo do transistor UTBB [adimensional]

P_1 Expoente do campo elétrico 1 de degradação da mobilidade pelo modelo de Shirahata [adimensional]

P_2 Expoente do campo elétrico 2 de degradação da mobilidade pelo modelo de Shirahata [adimensional]

q Carga elementar do elétron [1,6 x 10^{-19} C]

q_b Carga de depleção normalizada [adimensional]

q_d Carga no dreno normalizada [adimensional]

$Q_{D1,MOS}$ Densidade de carga de depleção controlada pela porta do transistor MOS convencional ou PDSOI de canal curto [C/cm^2]

$Q_{D1,SOI}$ Densidade de carga de depleção controlada pela porta do transistor FDSOI de canal curto [C/cm^2]

Q_{depl} Densidade de carga total de depleção do canal do transistor [C/cm^2]

$Q_{depl,MOS}$ Densidade de carga total de depleção do canal do transistor MOS convencional [C/cm^2]

$Q_{depl,SOI}$ Densidade de carga total de depleção na camada de silício do transistor FDSOI [C/cm^2]

Q_{inv1} Densidade de carga de inversão na primeira interface do transistor SOI [C/cm^2]

q_n Carga no semicondutor normalizada [adimensional]

Q_{OX} Densidade de carga fixa no óxido de porta do transistor MOS convencional [C/cm^2]

Q_{OX1} Densidade de carga fixa no óxido de porta do transistor SOI [C/cm^2]

Q_{OX2} Densidade de carga fixa no óxido enterrado do transistor SOI [C/cm^2]

q_s Carga na fonte normalizada [adimensional]

q_{SAT} Carga normalizada no dreno na condição de saturação [adimensional]

Q_{Si} Densidade de carga no filme de silício do transistor FDSOI [C/cm^2]

Q_{S2} Densidade de carga de inversão ou acumulação na segunda interface do transistor SOI [C/cm^2]

Q_{TH} Carga de inversão na condição de limiar [cm^{-2}]

R Resistência total [Ω]

$R_{b\text{-}R2}$ Fator geométrico para o cálculo de $R_{CON\text{-}1}$ do modelo de Tekleab [adimensional]

R_{CH} Resistência do canal do transistor MOS [Ω]

R_{CONA} Resistência do contato lateral do siliceto [Ω]

R_{CONB} Resistência do contato inferior do siliceto [Ω]

R_{CONBE} Resistência da parte exponencial do contato inferior do siliceto [Ω]

R_{CONBR} Resistência da parte retangular do contato inferior do siliceto [Ω]

R_{CON-R1} Resistência de contato da região pertencente à aleta [Ω]

R_{CON-R2} Resistência de contato da região de fonte e dreno aumentada pelo SEG [Ω]

R_{CON-T} Resistência de contato de correção geométrica total do modelo de Tekleab [Ω]

R_{CON-1} Resistência de contato de correção geométrica da região traseira da aleta do modelo de Tekleab [Ω]

R_{CON-2} Resistência de contato de correção geométrica da região lateral da aleta do modelo de Tekleab [Ω]

R_D Resistência da região de dreno do transistor MOS [Ω]

R_{EXT} Resistência das regiões de extensão de fonte e dreno [Ω]

$R_{EXTLOWER}$ Resistência da região inferior das extensões de fonte e dreno [Ω]

$R_{EXTUPPER}$ Resistência da região superior das extensões de fonte e dreno [Ω]

r_j Profundidade das junções de fonte e dreno do transistor MOS convencional [μm]

R_{PAR} Resistência parasitária [Ω]

R_S Resistência da região de fonte do transistor MOS [Ω]

R_{SHDD} Resistência de folha das regiões de fonte e dreno fortemente dopadas [Ω]

R_{SP1} Resistência de espraiamento entre canal e extensões de fonte e dreno [Ω]

R_{SP2} Resistência de espraiamento entre extensões e regiões fortemente dopadas de fonte e dreno [Ω]

R_{s-R2} Fator geométrico para o cálculo de R_{CON-2} do modelo de Tekleab [adimensional]

S Inclinação de sublimiar [mV/déc]

S1 Primeira raiz da equação diferencial do modelo de linhas de transmissão para a parte exponencial do contato [1/nm]

S2	Segunda raiz da equação diferencial do modelo de linhas de transmissão para a parte exponencial do contato [1/nm]
T	Temperatura absoluta [K]
t_{BOX}	Espessura do óxido enterrado [nm]
T_{DS}	Distância entre a concentração máxima de elétrons no filme de silício e a interface do transistor SOI [nm]
t_{HM}	Espessura do óxido espesso (*hard-mask*) no topo do FinFET de porta dupla [nm]
t_{OX}	Espessura do óxido de porta [nm]
t_{OXel}	Espessura do óxido de porta corrigida do modelo de Arshad et al [nm]
t_{Si}	Espessura da camada de silício no transistor SOI [nm]
t_{OXel}	Espessura da camada de silício corrigida do modelo de Arshad et al [nm]
V	Tensão elétrica [V]
V_{bi}	Potencial de barreira de uma junção p-n [V]
V_{BS}	Tensão de substrato do transistor MOS [V]
V_D	Tensão aplicada ao dreno do transistor MOS [V]
V_{DEFF}	Tensão efetiva no dreno do transistor MOS [V]
$V_{DEFFSAT}$	Tensão de saturação efetiva do transistor MOS [V]
$V_{DEFFSATS}$	Tensão que considera o efeito da saturação efetiva na região de sublimiar [V]
V_{FB}	Tensão de faixa plana [V]
V_G	Tensão aplicada à porta do transistor MOS [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
$V_{GB,acc2}$	Tensão aplicada ao substrato do transistor SOI que acumula a segunda interface [V]
V_{GEFF}	Tensão efetiva na porta do transistor MOS [V]
V_{GF}	Tensão aplicada à porta do transistor SOI [V]
V_{GM}	Máxima tensão que pode ser aplicada à porta do dispositivo de porta dupla [V]
V_{GT}	Sobretensão de condução (V_G - V_T) [V]
V_{GX}	Tensão de porta escolhida para extração de R_{PAR} pelo método de Hu et al [V]

V_{G1}	Primeira tensão de porta do par para extração de R_{PAR} pelo método de Hu et al [V]
V_{G2}	Segunda tensão de porta do par para extração de R_{PAR} pelo método de Hu et al [V]
V_S	Tensão aplicada à fonte do transistor MOS [V]
V_{SAT}	Tensão de saturação do transistor MOS [V]
v_{SAT}	Velocidade de saturação do portador [cm/s]
V_T	Tensão de limiar do transistor MOS [V]
V_{T1}	Tensão de limiar da primeira interface do transistor FDSOI [V]
$V_{T1,acc2}$	Tensão de limiar da primeira interface do transistor FDSOI com a segunda interface acumulada [V]
$V_{T1,depl2}$	Tensão de limiar da primeira interface do transistor FDSOI com a segunda interface depletada [V]
$V_{T1,inv2}$	Tensão de limiar da primeira interface do transistor FDSOI com a segunda interface invertida [V]
W	Largura do canal do transistor [nm]
W_{EFF}	Largura efetiva de canal do transistor [nm]
W_{FIN}	Largura da aleta no transistor FinFET [nm]
W_S	Largura dos contatos de fonte e dreno do transistor FinFET [nm]
W_{SEG}	Largura da camada aumentada na fonte e no dreno pelo crescimento seletivo epitaxial (SEG) [nm]
X_{bar}	Posição no filme de silício onde ocorre a concentração máxima de elétrons na condição de limiar [nm]
x_c	Espessura do canal [nm]
x_{dmax}	Profundidade máxima da região de depleção [cm]
x_j	Profundidade de junção de fonte e dreno [cm]
Y_{MEAN}	Posição do canal de inversão ao longo da camada de silício no transistor UTBB [nm]
α	Fator dimensional para o cálculo da tensão de limiar de transistores UTBB pelo modelo de Fasarakis et al [adimensional]

α_b Fator de presença de siliceto na traseira da aleta do modelo de Tekleab [adimensional]

α_d Diferença de potencial entre a superfície e o centro da camada de silício normalizada [adimensional]

α_{dT} Diferença de potencial entre a superfície e o centro da camada de silício na condição de limiar normalizada [adimensional]

α_s Fator de presença de siliceto nas laterais da aleta do modelo de Tekleab [adimensional]

χ Fator de penetração do campo elétrico de porta no óxido enterrado do transistor SOI [adimensional]

ΔL Diferença entre o comprimento de máscara e o comprimento efetivo de canal dos transistores MOS [nm]

ΔV_G Variação de tensão de porta escolhida para extração de R_{PAR} pelo método de Hu et al [V]

ε_{OX} Permissividade do óxido de silício [3,45 x 10^{-13} F/cm]

ε_{Si} Permissividade do silício [1,06 x 10^{-12} F/cm]

ϕ Potencial elétrico [V]

ϕ_d Diferença de potencial entre a superfície e o centro da camada de silício [V]

ϕ_{dBT} Diferença de potencial entre a superfície e o centro da camada de silício na condição bem abaixo do limiar [V]

ϕ_{dM} Diferença de potencial entre a superfície e o centro da camada de silício para a condição bem acima do limiar [V]

ϕ_{dT} Diferença de potencial entre a superfície e o centro da camada de silício para a condição de limiar [V]

ϕ_{d1} Diferença de potencial entre a superfície e o centro da camada de silício para a condição abaixo do limiar [V]

ϕ_{d2} Diferença de potencial entre a superfície e o centro da camada de silício para a condição acima do limiar [V]

ϕ_{d2a} Diferença de potencial entre a superfície e o centro da camada de silício para a condição acima do limiar quando $N_A < N_{Amáx}$ [V]

ϕ_{d2a} Diferença de potencial entre a superfície e o centro da camada de silício para a condição acima do limiar quando $N_A > N_{Amáx}$ [V]

ϕ_F Potencial de Fermi da camada de silício [V]

ϕ_{MS} Diferença de função trabalho entre metal de porta e semicondutor [V]

ϕ_{MS1} Diferença de função trabalho entre metal e semicondutor na primeira interface do transistor SOI [V]

ϕ_{MS2} Diferença de função trabalho entre metal e semicondutor na segunda interface do transistor SOI [V]

ϕ_S Potencial de superfície [V]

ϕ_{SAT} Potencial de superfície na condição acima do limiar [V]

ϕ_{SBT} Potencial de superfície na condição abaixo do limiar [V]

ϕ_{ST} Potencial de superfície na condição de limiar [V]

ϕ_{S1} Potencial de superfície na primeira interface do transistor SOI [V]

ϕ_{S2} Potencial de superfície na segunda interface do transistor SOI [V]

ϕ_t Potencial térmico [V]

ϕ_0 Potencial no centro da camada de silício [V]

γ_b Fator geométrico para o cálculo de $R_{b\text{-}R2}$ do modelo de Tekleab [adimensional]

γ_s Fator geométrico para o cálculo de $R_{s\text{-}R2}$ do modelo de Tekleab [adimensional]

λ Comprimento natural [cm]

Λ Parâmetro de ajuste do efeito de modulação do comprimento de canal do modelo SDDGM [adimensional]

μ Mobilidade do portador [$cm^2/V.s$]

μ_0 Mobilidade inicial [$cm^2/V.s$]

μ_S Mobilidade de superfície [$cm^2/V.s$]

ν Tensão no catodo virtual segundo o modelo VDT [V]

ρ	Resistividade [Ω.cm]
ρ_C	Resistividade de contato entre o material de contato e semicondutor [$\Omega.cm^2$]
ρ_{EXT}	Resistividade das regiões de extensão de fonte e dreno [Ω.cm]
ρ_{HDD}	Resistividade das regiões de fonte e dreno fortemente dopadas [Ω.cm]
τ	Parâmetro de ajuste da tensão de saturação do modelo SDDGM [adimensional]
ξ	Campo elétrico [V/cm]
ξ_M	Campo elétrico médio na camada de silício no transistor de porta dupla [V/cm]
ξ_x	Componente do campo elétrico na direção x [V/cm]
ξ_y	Componente do campo elétrico na direção y [V/cm]
ξ_z	Componente do campo elétrico na direção z [V/cm]
ξ_1	Campo elétrico 1 de degradação da mobilidade pelo modelo de Shirahata [V/cm]
ξ_2	Campo elétrico 2 de degradação da mobilidade pelo modelo de Shirahata [V/cm]

SUMÁRIO

1 INTRODUÇÃO 31

1.1 APRESENTAÇÃO DO TRABALHO 35

2 CONCEITOS BÁSICOS 37

2.1 TECNOLOGIA SOI 37

2.1.1 Transistores SOI de Porta Única 37

2.1.1.1 Tensão de Limiar 40

2.1.1.2 Inclinação de Sublimiar 42

2.1.1.3 Efeitos de Canal Curto 44

2.1.2 Transistores SOI de Múltiplas Portas 49

2.1.3 Transistores de Porta Dupla Simétricos e Assimétricos 50

2.1.3.1 Tensão de Limiar 53

2.1.3.2 Inclinação de Sublimiar 55

2.1.3.3 Efeitos de Canal Curto 57

3 RESISTÊNCIA PARASITÁRIA E CORRENTE DE DRENO EM TRANSISTORES DE PORTA DUPLA SIMÉTRICOS 61

3.1 A RESISTÊNCIA PARASITÁRIA EM FINFETS 61

3.1.1 Modelo de Dixit et al 62

3.1.2 Modelo de Tekleab et al 65

3.1.3 Modelo de Pereira e Giacomini 68

3.2 MÉTODOS DE EXTRAÇÃO DA RESISTÊNCIA PARASITÁRIA 72

3.2.1 Método de Terada e Muta 72

3.2.2 Método de Hu et al 73

3.2.3 Método de Dixit et al 75

3.2.4 Comparação dos Métodos de Extração em Transistores de Porta Dupla Simétricos 76

3.3 MODELOS ANALÍTICOS PARA CÁLCULO DA CORRENTE DE DRENO 80

3.3.1 O Modelo SDDGM 81

3.3.1.1 Cálculo dos Potenciais 81

3.3.1.2 Cálculo das Cargas e Tensão de Limiar 84

3.3.1.3 Cálculo da Corrente de Dreno 84

4 AVALIAÇÃO DOS MODELOS PARA TRANSISTORES DE PORTA DUPLA SIMÉTRICOS 88

4.1 AVALIAÇÃO DOS MODELOS DE RESISTÊNCIA PARASITÁRIA A PARTIR DE SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS 88

4.1.1 Metodologia 88

4.1.2 Resultados Obtidos 92

4.2 AVALIAÇÃO DOS MODELOS DE RESISTÊNCIA PARASITÁRIA A PARTIR DE RESULTADOS EXPERIMENTAIS 99

4.2.1 Metodologia 99

4.2.2 Resultados Obtidos 101

4.3 ACRÉSCIMO DO CÁLCULO DE R_{PAR} NO MODELO SDDGM 104

4.4 AVALIAÇÃO DO MODELO COMPLETO DE CORRENTE 107

4.4.1 Metodologia 107

4.4.2 Resultados Obtidos 112

5 MODELOS ANALÌTICOS PARA O CÁlculo de DIBL EM TRANSISTORES DE PORTA DUPLA ASSIMÉTRICOS 117

5.1 MODELO VDT 117

5.2 MODELO DE ARSHAD ET AL 121

5.3 MODELO DE FASARAKIS ET AL 123

6 ANÁLISE E MODELAGEM DO EFEITO DA TEMPERATURA NO DIBL DE TRANSISTORES DE PORTA DUPLA ASSIMÉTRICOS 125

6.1 RESULTADOS EXPERIMENTAIS 126

6.2 SIMULAÇÃO NUMÉRICA 127

6.3 AVALIAÇÃO DOS MODELOS ANALÍTICOS 129

7 CONCLUSÕES 136

7.1 SEQUÊNCIA DE TRABALHO PROPOSTA 137

TRABALHOS PUBLICADOS 138

REFERÊNCIAS 140

APÊNDICE A – MODELO COMPLETO DE CORRENTE 148

APÊNDICE B – SIMULAÇÃO UTBB AJUSTADA 151

1 INTRODUÇÃO

Com o objetivo de acompanhar a constante demanda pelo aumento de velocidade e baixo consumo de potência nos circuitos integrados, a tecnologia CMOS (*Complementary Metal Oxide Semiconductor* – Metal Óxido Semicondutor Complementar) tem evoluído segundo a tendência da Lei de Moore [1], em que o número de transistores em um circuito integrado deve dobrar a cada dezoito meses. Esse processo é chamado de escalamento, no qual as dimensões físicas dos transistores devem ser reduzidas a cada nova geração tecnológica.

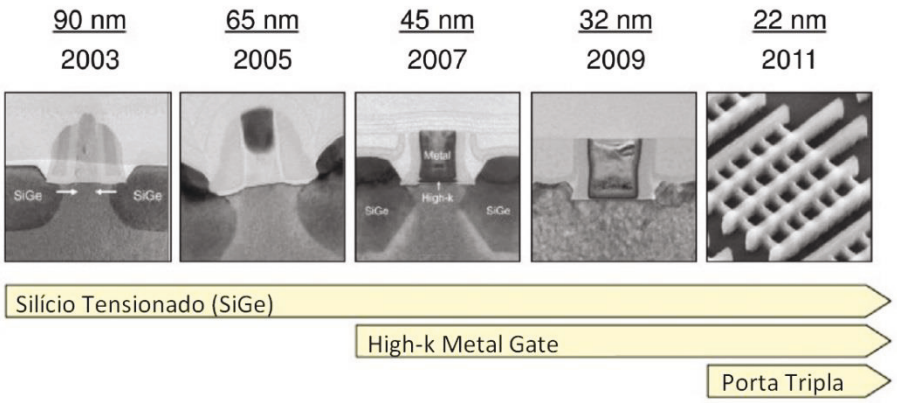
Porém, a contínua redução das dimensões físicas dos transistores deram origem aos efeitos de canal curto (*Short Channel Effects* - SCE), onde parte do controle das cargas no canal do dispositivo pelo eletrodo de porta é perdido, influenciando assim o seu funcionamento e degradando as suas características elétricas quando o comprimento do canal é reduzido [2].

Com o intuito de minimizar os efeitos de canal curto, a indústria passou a investir na tecnologia SOI (*Silicon-On-Insulator* – Silício Sobre Isolante). Nesta tecnologia os transistores e os circuitos são fabricados sobre uma fina camada de silício que repousa sobre uma camada de isolante, o óxido enterrado (BOX – *Buried OXide*), o que resulta na isolação elétrica entre a região ativa do transistor e o substrato. Nestes dispositivos há um melhor controle dos portadores elétricos da região ativa do transistor pela porta, em função de um melhor acoplamento elétrico. Por este motivo, os dispositivos SOI estão menos sujeitos aos efeitos de canal curto, possibilitando o escalamento além dos limites dos transistores convencionais [3] [4].

Porém, para comprimentos de canal abaixo 100 nm, apenas a redução das dimensões dos transistores segundo a regra do escalamento não é suficiente para garantir a melhoria de desempenho dos dispositivos a cada nova geração tecnológica [5] [6] [7]. Por este motivo, a indústria investiu no uso de silício tensionado no canal (*strained silicon*) [8], em novos materiais de porta (*metal gate*) e em novos materiais dielétricos (*high-k*) [9] [10]. Além disso, para melhorar o controle eletrostático nos dispositivos, surgiram os dispositivos de múltiplas portas, que possuem dois ou mais planos de condução de corrente. Esse maior número de planos de condução faz com que a porta desses transistores tenha um melhor controle das cargas na região do canal, tornando-os mais imunes aos SCE [11]. Desde 2011, a Intel anunciou a produção em larga escala de dispositivos de porta tripla (*Triple Gate* - TG) em

substrato *bulk*, para a tecnologia de 22 nm [12] [13]. A Figura 1 apresenta a evolução tecnológica utilizada nos processadores da Intel desde 2003 [14].

Figura 1 – Evolução tecnológica dos processadores Intel desde 2003.

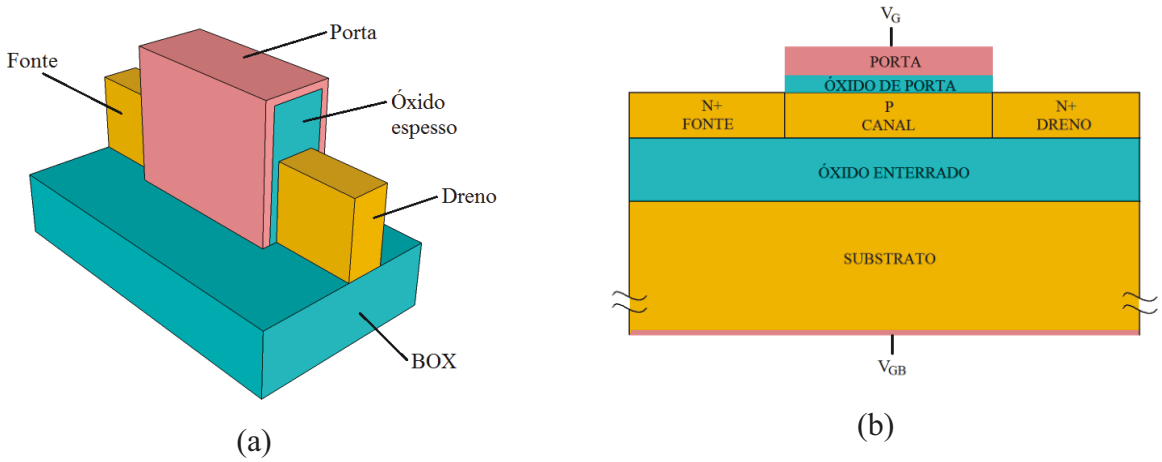


Fonte: Autor “adaptado de” Bohr, 2012, p. 7.

De acordo com a ITRS (*International Technology Roadmap for Semiconductors*) [15], quando se trata de maior imunidade aos efeitos de canal curto existem dois tipos de dispositivos que permitem o escalamento para tecnologias abaixo de 10 nm: os dispositivos de múltiplas portas (*Multiple Gate* - MG) e os SOI de corpo e óxido enterrado ultrafinos (*Ultra-Thin Body and Buried oxide* - UTBB). No caso dos UTBB, essas dimensões podem ser alcançadas devido às baixas espessuras de óxido enterrado, e não apenas do óxido de porta e da camada de silício como nos transistores SOI totalmente depletados (*Fully Depleted* SOI - FDSOI) [16].

Neste trabalho, esses dois tipos de dispositivos foram estudados: o FinFET (*Fin Field Effect Transistor*) [17] que é um exemplo de transistor de múltiplas portas, podendo ser de porta dupla ou tripla, e o UTBB, que também pode ser considerado como porta dupla caso a tensão de substrato (V_{GB}) também seja utilizada para controle das cargas na região do canal [18] [19] . A Figura 2 apresenta as duas estruturas, nota-se que a diferença entre o FinFET e o UTBB é que no FinFET as portas estão conectadas, enquanto no UTBB existe a porta superior e inferior (substrato) que são independentes entre si, ou seja, não são controladas pela mesma tensão. Na literatura, os dispositivos com porta comum são também chamados de simétricos, e os dispositivos com porta independente são chamados de assimétricos.

Figura 2 – Dispositivos estudados neste trabalho: (a) FinFET e (b) UTBB.



Fonte: Autor.

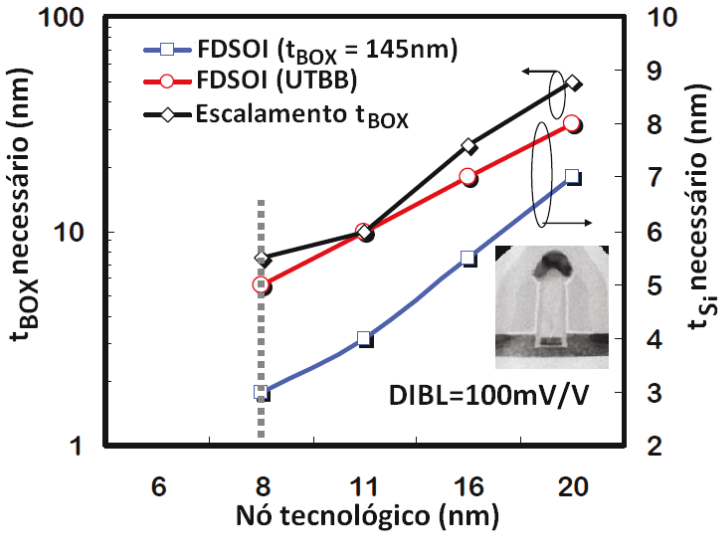
Uma ferramenta importante para auxiliar o entendimento dos dispositivos e facilitar a predição de novas tecnologias são os modelos analíticos, que descrevem o comportamento de alguma característica ou efeito presente nos transistores. Neste trabalho, foram estudados e propostos modelos analíticos de resistência parasitária e corrente de dreno em FinFETs e de DIBL (*Drain Induced Barrier Lowering* – Diminuição da Barreira de potencial Induzida pelo Dreno) em UTBBs. Esses são efeitos parasitários importantes nesses dispositivos que são utilizados como critérios para dizer se uma tecnologia tem ou não uma boa imunidade aos SCE.

FinFETs apresentam melhor desempenho quanto mais estreita for a região ativa de silício, ou seja, quanto menor a distância entre as portas laterais (W_{FIN}). Porém, essa diminuição na área resulta na imposição de uma alta resistência nas regiões de fonte e dreno, denominada resistência parasitária (R_{PAR}). A diminuição de R_{PAR} em FinFETs é considerada como requisito para a continuidade do escalamento nesses dispositivos [15] [20] [21]. Um valor de resistência parasitária aceitável num dispositivo de múltiplas portas deve ser da ordem de 300 Ω.µm de largura da aleta [15]. Neste trabalho, é feita uma análise da modelagem de dispositivos FinFET com o foco principal na descrição do comportamento físico e da possibilidade de eliminação de parâmetros de ajuste dos modelos. Um estudo aprofundado dos modelos existentes de resistência parasitária para FinFETs é feito, através de simulações numéricas e comparação com dados experimentais presentes na literatura, levando em consideração a geometria real desses dispositivos. Além disso, é proposta uma evolução em um modelo de corrente já existente, o SDDGM (*Symmetric Doped Double Gate MOSFET*) [22], acrescentando a ele a resistência parasitária modelada fisicamente, que antes

fazia parte do modelo apenas como um parâmetro de ajuste. Os resultados do modelo modificado proposto foram analisados através de simulações numéricas tridimensionais para diferentes dimensões e condições de polarização.

O DIBL é a diminuição da barreira de potencial induzida pelo dreno, que ocorre mais pronunciadamente em dispositivos de canal curto. Seu valor é utilizado como critério eletrostático para investigar a capacidade de escalamento de transistores MOS (*Metal Oxide Semiconductor* – Metal Óxido Semicondutor) em geral. A Figura 3 apresenta o escalamento de transistores SOI, considerando DIBL < 100 mV/V [18] como critério, onde t_{Si} é a espessura da camada de silício e t_{BOX} é a espessura do óxido enterrado. É possível observar que para alcançar o nó tecnológico de 8 nm sem a redução da espessura do óxido enterrado seria necessária a redução de t_{Si} até 3 nm, enquanto que ao reduzir t_{BOX} juntamente com t_{Si}, que é o caso dos UTBBs, o critério para a tecnologia de 8 nm pode ser atendido para t_{Si} = 5 nm. Através de uma pesquisa na literatura, foi observado que o comportamento do DIBL com o aumento da temperatura nesses dispositivos ainda não havia sido investigado em detalhes. Estudar a influência da temperatura em UTBBs é importante mesmo em aplicações com temperatura ambiente, já que estes podem sofrer com o auto-aquecimento e atingir temperaturas de até 100 ^{o}C em condições normais [23]. Na referência [24], foi analisado comparativamente o impacto da redução do comprimento de canal em UTBBs com e sem extensões de fonte e dreno, para dispositivos com comprimento de canal entre 29 e 69 nm, onde foi observado aumento do DIBL com a temperatura. Para dispositivos com comprimento de canal de 28 nm, foi observado um aumento de 20 mV/V no DIBL em uma faixa de 100 ^{o}C [25]. Este trabalho investiga o comportamento experimental do DIBL em UTBBs até 150ºC e compara os resultados com simulações numéricas e modelos analíticos presentes na literatura. Com o intuito de reproduzir o comportamento experimental do DIBL com a temperatura, é proposta uma melhoria em um dos modelos estudados, o modelo de Fasarakis et al [26].

Figura 3 – Escalamento em dispositivos SOI considerando o critério de DIBL < 100 mV/V.



Fonte: Autor “adaptado de” Faynot, 2010, p. 4.

1.1 APRESENTAÇÃO DO TRABALHO

Este trabalho está dividido em sete capítulos. O capítulo 2 apresenta uma revisão bibliográfica sobre a tecnologia SOI de porta única, múltiplas portas, de porta dupla simétricos e assimétricos com algumas de suas características elétricas.

O capítulo 3 faz uma revisão bibliográfica dos modelos e métodos de extração da resistência parasitária em FinFETs presentes na literatura. Também é feita uma revisão preliminar dos modelos analíticos de corrente para FinFETs presentes na literatura e a apresentação do modelo de corrente SDDGM. No capítulo 4 é feita a avaliação dos modelos de resistência parasitária apresentados no capítulo 3. Além disso, é feita a proposta e avaliação de complementação do modelo SDDGM ao eliminar um parâmetro de ajuste e acrescentar a resistência parasitária calculada.

O capítulo 5 apresenta os modelos analíticos presentes na literatura para o cálculo do DIBL e no capítulo 6 esses modelos são avaliados quando aplicados em UTBBs para diferentes temperaturas, também é proposta uma melhoria em um dos modelos estudados, com o intuito de reproduzir o comportamento experimental do DIBL com a temperatura.

O capítulo 7 apresenta as conclusões obtidas com o desenvolvimento do trabalho e a sequência de trabalho proposta.

Por fim, são apresentadas as publicações geradas durante o período de doutoramento, as referências bibliográficas utilizadas no trabalho, o Apêndice A com o modelo completo de

corrente proposto conforme implementado para geração dos resultados apresentados e o Apêndice B com o arquivo de simulação utilizado para ajuste com os UTBBs experimentais estudados.

2 CONCEITOS BÁSICOS

Neste capítulo é apresentada a tecnologia SOI, seus modos de funcionamento e suas principais características elétricas em dispositivos de porta única, múltiplas portas e porta dupla simétricos e assimétricos.

2.1 TECNOLOGIA SOI

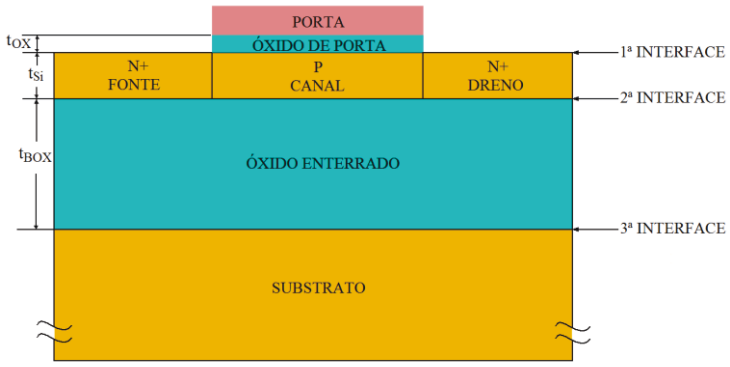
Na tecnologia SOI os dispositivos MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) são fabricados em uma camada de silício que repousa sobre uma camada de isolante, o óxido enterrado (BOX), o que resulta na isolação elétrica entre a região ativa do transistor e o substrato.

Nos circuitos MOS (*Metal Oxide Semiconductor*) convencionais, a isolação entre os transistores é feita através de junções reversamente polarizadas, oxidação local (LOCOS – *LOCal Oxidation of Silicon*) e óxido de trincheira (STI – *Shallow Trench Isolation*) [27]. Já na tecnologia SOI, os transistores estão dieletricamente isolados, eliminando totalmente a estrutura do tiristor parasitário (*latch-up*) presente na estrutura CMOS convencional [3]. Além disso, a diminuição na quantidade de junções reduz significativamente as capacitâncias parasitárias, o que faz com que os circuitos da tecnologia SOI sejam mais rápidos [4]. Outra vantagem da tecnologia SOI é a maior imunidade à radiação, devido ao menor volume da região ativa disponível para a geração de pares elétron-lacuna pela passagem das partículas ionizantes [3].

2.1.1 Transistores SOI de Porta Única

Os transistores SOI de porta única são também conhecidos como planares por possuírem apenas um plano de condução de corrente. A Figura 4 mostra o corte transversal de um transistor SOI nMOSFET, onde estão representadas a espessura do óxido de porta (t_{OX}), a espessura do filme de silício (t_{Si}), a espessura do óxido enterrado (t_{BOX}) e as interfaces Si/ SiO_2. O filme de silício entre a primeira e segunda interfaces é a chamada região ativa do transistor, pois é a região onde há a condução de corrente e influencia diretamente o funcionamento do dispositivo.

Figura 4 – Corte transversal de um transistor SOI nMOSFET.



Fonte: Autor.

A física dos transistores SOI depende fortemente da espessura e da concentração de dopantes do filme de silício, além da temperatura. Essas variáveis alteram a profundidade máxima de depleção (x_{dmax}), dada pela equação (1) [28]:

$$x_{dmax} = \sqrt{\frac{4 \,.\, \varepsilon_{Si} \,.\, \phi_F}{q \,.\, N_A}}, \text{onde } \phi_F = \frac{k \,.\, T}{q} \,.\, \ln\left(\frac{N_A}{n_i}\right) \tag{1}$$

onde ε_{Si} é a permissividade do silício, ϕ_F é o potencial de Fermi da camada de silício, q é a carga elementar do elétron, N_A é a concentração de impurezas aceitadoras na região do canal (no caso do transistor nMOSFET), n_i é a concentração intrínseca de portadores, k é a constante de Boltzman e T é a temperatura absoluta.

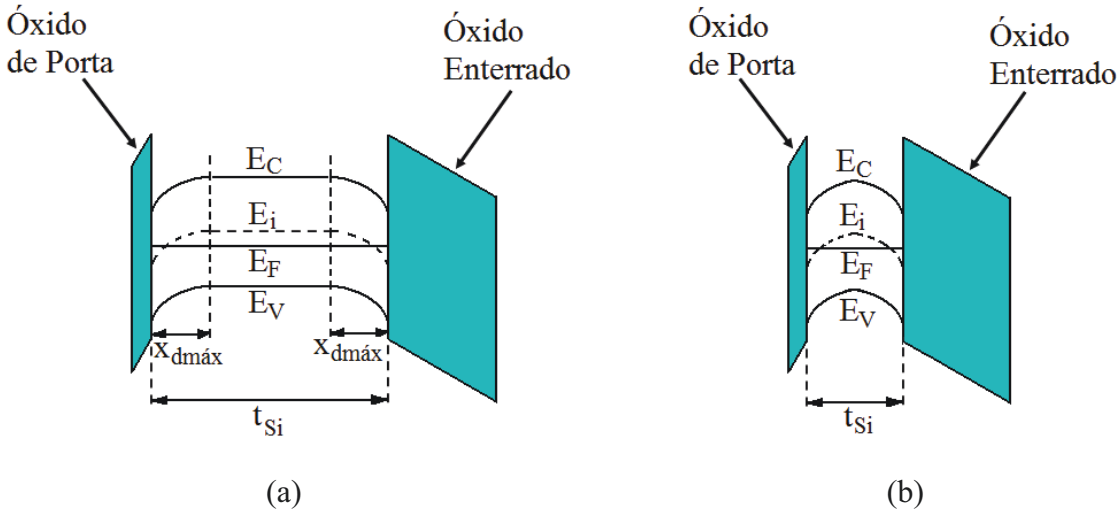
Dependendo da espessura do filme de silício (t_{Si}) e da profundidade máxima de depleção ($x_{dmáx}$), os transistores SOI podem apresentar diferentes modos de funcionamento: SOI Parcialmente Depletado (*Partially Depleted Silicon On Insulator - PDSOI*), SOI Totalmente Depletado (*Fully Depleted Silicon On Insulator* - FDSOI) ou ainda SOI Quase Totalmente Depletado (*Near Fully Depleted Silicon On Insulator* - NFDSOI).

No transistor parcialmente depletado (PDSOI) a espessura do filme de silício (t_{Si}) é maior do que duas vezes a profundidade máxima de depleção (x_{dmax}). Neste caso, não há interação das regiões de depleção da primeira e segunda interfaces, pois há uma região neutra entre as depleções, independentemente das tensões aplicadas na porta e no substrato. Caso essa região neutra seja ligada ao substrato por um contato de corpo, o funcionamento do PDSOI é semelhante ao de um transistor MOSFET convencional. Porém, quando a região neutra é flutuante, o transistor poderá sofrer alguns efeitos indesejados, como o efeito da elevação abrupta da corrente (efeito *kink*) e o efeito do transistor bipolar parasitário [29].

No transistor totalmente depletado (FDSOI) a espessura do filme de silício (t_{Si}) é menor do que a profundidade máxima de depleção (x_{dmax}). Neste caso, a espessura do filme de silício estará totalmente depletada quando a primeira interface estiver invertida, independentemente da tensão aplicada ao substrato (exceto pela aplicação de tensões muito positivas ou muito negativas ao substrato). Os dispositivos FDSOI com a segunda interface depletada são os que apresentam as características elétricas mais atrativas. Devido ao melhor acoplamento elétrico, há um melhor controle dos portadores elétricos da região ativa do transistor pela porta. Por este motivo, esses transistores apresentam maior transcondutância, menor sensibilidade aos efeitos de canal curto, inclinação de sublimiar próxima ao limite teórico de 60 mV/déc e imunidade ao efeito *kink* [30] [31] [32] [33] [34].

A Figura 5 apresenta a representação pelo diagrama de faixas de energia dos modos de funcionamento dos transistores PDSOI (Figura 5(a)) e FDSOI (Figura 5(b)) quando a primeira e segunda interfaces estão invertidas, onde E_C é o nível de energia inferior da faixa de condução, E_i é o nível de energia intrínseco, E_F é o nível de Fermi do semicondutor e E_V é o nível de energia superior da faixa de valência. É possível observar a presença da região neutra (não depletada) no caso do transistor PDSOI, enquanto que no FDSOI todo o filme de silício encontra-se em depleção.

Figura 5 – Diagrama de faixas de energia para os transistores: (a) PDSOI e (b) FDSOI com a primeira e segunda interfaces invertidas.



Fonte: Autor.

Um modo de funcionamento intermediário ocorre quando t_{Si} for maior do que x_{dmax} e menor do que $2x_{dmax}$, são os chamados quase totalmente depletados (NFDSOI). Neste caso, o

transistor poderá ter o comportamento de um FDSOI ou PDSOI, de acordo com a polarização de porta e de substrato.

2.1.1.1 Tensão de Limiar

A tensão de limiar (V_T) em um transistor MOSFET é definida como a tensão aplicada à porta necessária para a formação de um canal de inversão suficiente para que haja a condução de corrente entre fonte e dreno. Considera-se na literatura que para os transistores planares isto acontece quando o potencial na superfície do silício é igual a $2\phi_F$.

No transistor nMOSFET convencional o valor de V_T pode ser descrito pela equação (2) [2]:

$$V_T = V_{FB} + 2\,.\,\phi_F + \frac{Q_{depl,MOS}}{C_{OX}} \tag{2}$$

onde V_{FB} é a tensão de faixa plana descrita pela equação (3), C_{OX} é a capacitância do óxido de porta por unidade de área descrita pela equação (4) e $Q_{depl,MOS}$ é a carga total de depleção do canal do transistor MOS por unidade de área descrita pela equação (5):

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} \tag{3}$$

$$C_{OX} = \frac{\varepsilon_{OX}}{t_{OX}} \tag{4}$$

$$Q_{depl,MOS} = q\,.\,N_A\,.\,x_{dmax} \tag{5}$$

onde ϕ_{MS} é a diferença de função trabalho entre o metal de porta e o semicondutor, Q_{OX} é a densidade de carga fixa no óxido de porta e ε_{OX} é a permissividade do óxido.

No transistor PDSOI, como não há interação entre as depleções da primeira e segunda interfaces, o valor de V_T é calculado da mesma forma que no transistor MOS convencional, ou seja, pela equação (2).

Já no transistor FDSOI, onde há interação entre as depleções da primeira e segunda interfaces, a tensão de limiar pode ser obtida através do modelo de Lim e Fossum [35]. Esse modelo descreve a dependência entre as tensões de porta (V_{GF} – *Front Gate Voltage*) e

substrato (V_{GB} – *Back Gate Voltage*) com os potenciais de superfície na primeira interface (ϕ_{S1}) e segunda interface (ϕ_{S2}). Essa relação é descrita pelas equações (6) e (7):

$$V_{GF} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right).\phi_{S1} - \frac{C_{Si}}{C_{OX1}}.\phi_{S2} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{inv1}}{C_{OX1}} \quad (6)$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} + \left(1 + \frac{C_{Si}}{C_{OX2}}\right).\phi_{S2} - \frac{C_{Si}}{C_{OX2}}.\phi_{S1} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{S2}}{C_{OX2}} \quad (7)$$

onde ϕ_{MS1} e ϕ_{MS2} são respectivamente a diferença de função trabalho entre porta e a camada de silício e a diferença de função trabalho entre o substrato e a camada de silício, Q_{OX1} e Q_{OX2} são respectivamente as densidades de carga fixa da primeira e segunda interfaces, C_{OX1} e C_{OX2} são respectivamente a capacitância do óxido de porta e do óxido enterrado por unidade de área, C_{Si} é a capacitância da camada de silício por unidade de área, Q_{inv1} é a carga na inversão na primeira interface por unidade de área ($Q_{inv1} < 0$ quando a primeira interface estiver invertida), Q_{S2} é carga na segunda interface por unidade de área ($Q_{S2} < 0$ quando a segunda interface estiver invertida e $Q_{S2} > 0$ quando estiver acumulada) e $Q_{depl,SOI}$ é a carga total de depleção na camada de silício do transistor FDSOI por unidade de área, descrita na equação (8):

$$Q_{depl,SOI} = -q\,.\,N_A\,.\,t_{Si} \quad (8)$$

Combinando as equações (6) e (7), é possível obter as equações para a tensão de limiar da primeira interface (V_{T1}) de acordo com a condição de polarização do substrato V_{GB} e consequente situação da segunda interface (acumulada, invertida ou depletada).

Para V_{T1} com a segunda interface acumulada, temos $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 0$ e $Q_{inv1} = 0$, substituindo na equação (6), chegamos à equação (9):

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right).2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OX1}} \quad (9)$$

Para V_{T1} com a segunda interface invertida, temos $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 2\phi_F$ e $Q_{inv1} = 0$, substituindo na equação (6), chegamos à equação (10):

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OX1}} \quad (10)$$

Para V_{T1} com a segunda interface depletada, temos $\phi_{S1} = 2\phi_F$, $0 < \phi_{S2} < 2\phi_F$ e $Q_{inv1} = 0$, chegamos à equação (11):

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si} \,.\, C_{OX2}}{C_{OX1} \,.\, (C_{Si} + C_{OX2})} \,.\, (V_{GB} - V_{GB,acc2}) \quad (11)$$

onde o valor de $V_{GB,acc2}$ é determinado substituindo $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 0$ e $Q_{S2} = 0$ na equação (7), chegando na equação (12):

$$V_{GB,acc2} = \phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} - \frac{C_{Si}}{C_{OX2}} \,.\, 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OX2}} \quad (12)$$

Essas equações são válidas quando as espessuras das camadas de inversão e acumulação são muito menores que a camada de silício t_{Si}, o que não ocorre em dispositivos SOI ultrafinos ($t_{Si} < 10$ nm) [3].

2.1.1.2 Inclinação de Sublimiar

Quando a tensão aplicada à porta de um transistor está abaixo da tensão de limiar e o semicondutor está na chamada inversão fraca, dizemos que a corrente de dreno correspondente, formada pela corrente de difusão, é chamada de corrente de sublimiar [2]. Nessa região, a corrente de dreno varia exponencialmente com a tensão de porta, até que exista um canal formado e o transistor comece a conduzir.

A inclinação de sublimiar (S) é a forma de avaliar essa variação da corrente com a tensão aplicada à porta na região de sublimiar. O valor de S indica como é a transição entre o estado desligado e o estado ligado, e é uma característica muito importante especialmente quando o dispositivo for utilizado como chave lógica e memórias. Quanto menor o valor de S, mais vertical é a inclinação e mais rápida é a resposta do transistor.

A inclinação de sublimiar pode ser determinada pelo inverso da variação da corrente de dreno em relação à tensão aplicada à porta (V_G) na região de inversão fraca, conforme mostrado na equação (13) [27]:

$$S = \frac{dV_G}{d(\log I_{DS})} \tag{13}$$

onde I_{DS} é a corrente entre dreno e fonte.

Equacionando a corrente de dreno na região de inversão fraca também é possível descrever S pela equação (14) [36]:

$$S = \frac{k\,.\,T}{q}\,.\,\ln(10)\,.\,n \tag{14}$$

onde n é o fator de corpo.

O limite teórico para a inclinação de sublimiar em temperatura ambiente (300K) é de 60 mV/déc, isso ocorre quando o fator de corpo presente na equação (14) tem o valor neutro (n = 1).

O fator de corpo representa a dependência da tensão de limiar com a polarização do substrato. É descrito por associações de capacitâncias que variam de acordo com a tecnologia ou modo de funcionamento do transistor utilizado.

Para a tecnologia MOS convencional e PDSOI, desprezando as armadilhas de interface, o valor de n pode ser calculado através da equação (15) [36]:

$$n_{MOS} = 1 + \frac{C_D}{C_{OX}}, \text{onde } C_D = \frac{\varepsilon_{Si}}{x_{dmax}} \tag{15}$$

onde C_D é a capacitância de depleção por unidade de área.

Para os transistores FDSOI com a segunda interface em acumulação, desprezando as armadilhas de interface, o fator de corpo é descrito pela equação (16) [3]:

$$n_{SOI,acc2} = 1 + \frac{C_{Si}}{C_{OX1}} \tag{16}$$

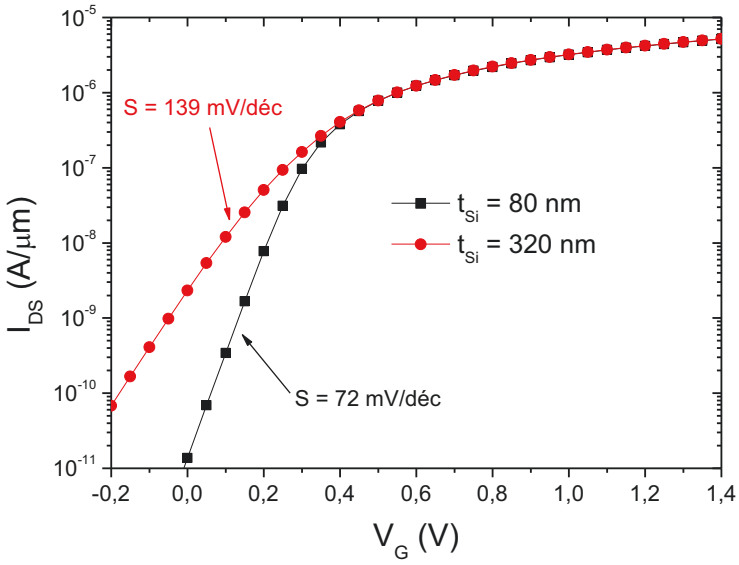
Para os transistores FDSOI com a segunda interface depletada também desprezando as armadilhas de interface, o fator de corpo é descrito pela equação (17) [3]:

$$n_{SOI,depl2} = 1 + \frac{(C_{Si} \,.\, C_{OX2})}{C_{OX1} \,.\, (C_{Si} + C_{OX2})} \tag{17}$$

Analisando os possíveis valores de n nas equações (15), (16) e (17) é possível afirmar que $n_{SOI,depl2} < n_{MOS} < n_{SOI,acc2}$ e, consequentemente, o menor valor para S será encontrado para o transistor FDSOI com a segunda interface depletada.

A Figura 6 mostra a comparação da inclinação de sublimiar de dois transistores SOI simulados no simulador de dispositivos Atlas [37]: um totalmente depletado (t_{Si} = 80 nm) e outro parcialmente depletado (t_{Si} = 320 nm). É possível observar que o transistor FDSOI apresenta um valor de inclinação de sublimiar de 72 mV/déc, muito mais próximo do limite teórico de 60 mV/déc do que o valor de 139 mV/déc extraído para o transistor PDSOI.

Figura 6 – Corrente de dreno em escala logarítmica em função da tensão de porta para dois transistores SOI: FDSOI (t_{Si} = 80 nm) e PDSOI (t_{Si} = 320 nm).



Fonte: Autor.

2.1.1.3 Efeitos de Canal Curto

Os efeitos de canal curto (*Short Channel Effects* - SCE) ocorrem devido à perda de parte do controle das cargas do canal pelo eletrodo de porta do transistor. Com a redução do comprimento de canal dos transistores, há uma aproximação das junções de fonte e dreno. À medida que essas junções se aproximam, suas regiões de depleção passam a ocupar parte significativa da região de depleção sob a porta. Com isso, a carga de depleção da região sob o

canal, que deveria ser integralmente controlada pela porta, passa a ser parcialmente controlada pelas regiões de depleção de fonte e dreno.

Essa perda do controle pela porta influencia o funcionamento do dispositivo, gerando alguns efeitos que não são levados em consideração nos modelos e equações de primeira ordem que descrevem o comportamento normal dos transistores [28].

Para os transistores MOS convencional e PDSOI, a carga total de depleção sob o canal ($Q_{depl,MOS}$) foi apresentada na equação (5). Porém, a quantidade de carga de depleção que efetivamente é controlada pela porta do transistor ($Q_{D1,MOS}$) é menor, conforme descrito pela equação (18) [3]:

$$Q_{D1,MOS} = Q_{depl,MOS} \cdot \left[1 - \frac{r_j}{L} \cdot \left(\sqrt{1 + \frac{2 \cdot x_{dmax}}{r_j}} - 1\right)\right] \tag{18}$$

onde r_j é a profundidade das junções de fonte e dreno e L é o comprimento de canal do transistor.

Quando o transistor é de canal longo, pode-se considerar que $Q_{D1,MOS} \approx Q_{depl,MOS}$, pois o valor de r_j não é significativo em relação ao valor de L. Já no caso do transistor de canal curto, o valor de $Q_{D1,MOS}$ em relação à $Q_{depl,MOS}$ passa a ser significativo, ou seja, a quantidade de carga de depleção sob o canal que efetivamente é controlada pela porta passa a ser bem menor.

No caso dos transistores FDSOI, a carga total de depleção sob o canal ($Q_{depl,SOI}$) foi apresentada na equação (8) e a quantidade de carga que efetivamente é controlada pela porta do transistor ($Q_{D1,SOI}$) é descrita pela equação (19) [38]:

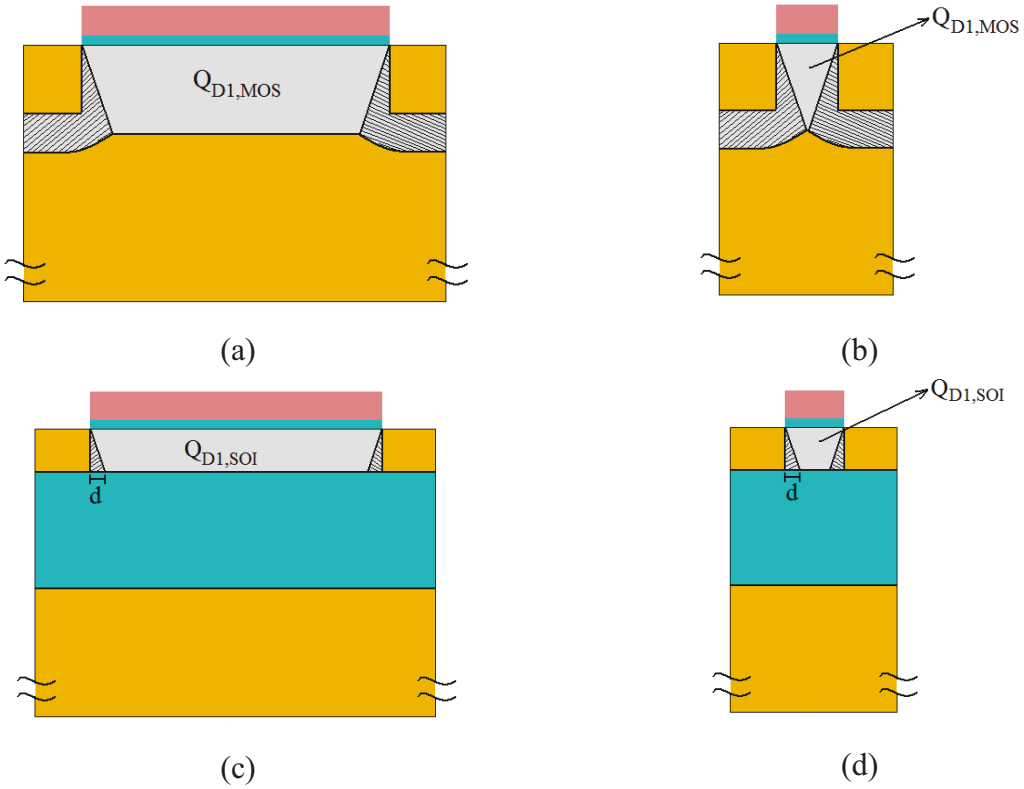
$$Q_{D1,SOI} = Q_{depl,SOI} \cdot \left(1 - \frac{d}{L}\right) \tag{19}$$

onde d é a distância ocupada pelas cargas de depleção das junções de fonte e dreno sobre a segunda interface, indicada na Figura 7(d). A descrição para o cálculo de d é encontrada em [38].

Da mesma forma que acontece no transistor MOS convencional, quando o transistor FDSOI é de canal longo, os valores de $Q_{D1,SOI}$ e $Q_{depl,SOI}$ se equivalem. Já no FDSOI de canal curto, o valor de $Q_{D1,SOI}$ é o que deve ser considerado nos modelos.

A Figura 7 mostra os perfis de carga para as duas tecnologias (MOS convencional e FDSOI) considerando transistores de canal longo e canal curto, onde estão representadas as depleções de fonte e dreno nas áreas com hachuras, $Q_{D1,MOS}$, $Q_{D1,SOI}$ e a distância d presente na equação (19). É possível observar que o percentual de carga de depleção total controlada pela porta dos transistores FDSOI é maior quando comparada aos transistores MOS convencionais. Isso ocorre devido à presença do óxido enterrado, que inibe parte da região de atuação das depleções de fonte e dreno, fazendo com que os transistores FDSOI sejam mais imunes aos SCE e permitindo assim o maior escalamento desta tecnologia.

Figura 7 – Perfis de carga: (a) MOS convencional de canal longo, (b) MOS convencional de canal curto, (c) FDSOI de canal longo e (d) FDSOI de canal curto.



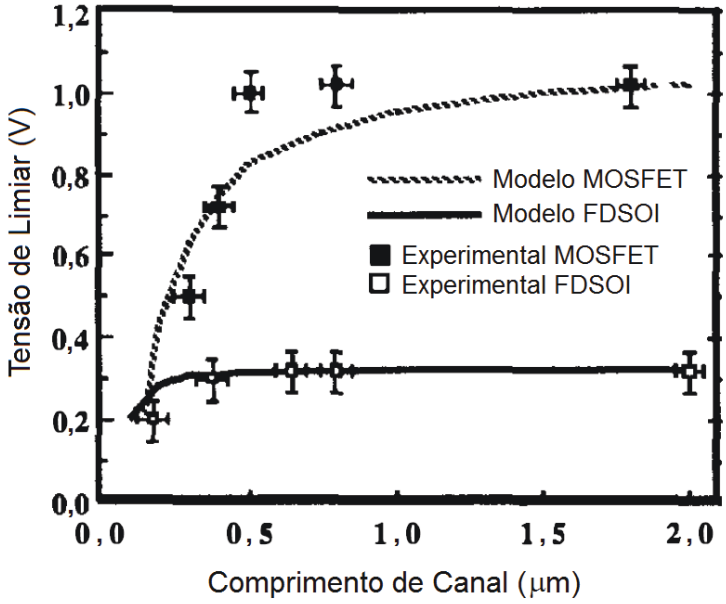
Fonte: Autor.

Um efeito comum em transistores que estão sofrendo de SCE é a redução na tensão de limiar com a redução do comprimento de canal (L). Isso acontece pois a tensão de limiar dos transistores, independentemente da tecnologia ou modo de funcionamento, é diretamente proporcional à quantidade de cargas de depleção, conforme mostrado nas equações (2), (9), (10) e (11) apresentadas na seção 2.1.1.1. No caso dos transistores de canal curto, os valores de $Q_{depl,MOS}$ ou $Q_{depl,SOI}$ nessas equações não correspondem às cargas efetivamente controladas pela porta. Portanto, esses valores devem ser substituídos respectivamente por $Q_{D1,MOS}$ e

$Q_{D1,SOI}$, que possuem valores menores do que os das suas respectivas cargas totais de depleção, reduzindo assim a tensão de limiar do transistor correspondente.

A Figura 8 mostra o comportamento da tensão de limiar com a redução do comprimento de canal para as tecnologias MOS convencional e tecnologia FDSOI com t_{Si} de 100 nm [30]. É possível observar que no caso dos transistores FDSOI só há redução na tensão de limiar para comprimentos de canal abaixo de 250 nm, enquanto para a tecnologia MOSFET convencional essa redução já começa a acontecer para comprimentos de canal de aproximadamente 400 nm.

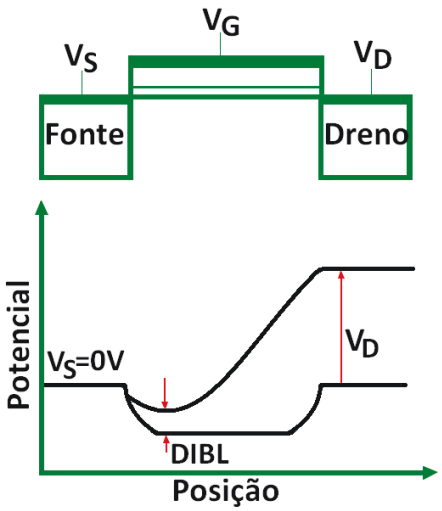
Figura 8 – Tensão de limiar em função do comprimento de canal para duas tecnologias: MOS convencional e FDSOI com t_{Si} de 100 nm.



Fonte: Autor “adaptado de” Colinge, 1989, p. 3.

Outro efeito de canal curto é o DIBL (*Drain Induced Barrier Lowering*), que é a redução da barreira de potencial entre canal e fonte induzida pelo dreno, ou seja, o quanto a tensão aplicada ao dreno pode influenciar a distribuição do potencial na região do canal, conforme ilustrado na Figura 9.

Figura 9 – Potencial ao longo do canal para V_D=0 e V_D alto.



Fonte: Autor.

Esse efeito ocorre mais pronunciadamente em dispositivos de canal curto, devido à menor distância geométrica entre fonte e dreno. Com o aumento da tensão de dreno, a região de depleção próxima ao dreno aumenta e passa a ocupar parte da região de depleção sob a porta. Na prática, o efeito do DIBL é observado pela diminuição da tensão de limiar com o aumento da tensão aplicada ao dreno. Logo, o DIBL pode ser determinado através da equação (20) [39]:

$$DIBL\left(\frac{mV}{V}\right) = \frac{\Delta V_T}{\Delta V_D} = \frac{V_T(V_{DL}) - V_T(V_{DH})}{V_{DH} - V_{DL}} \tag{20}$$

onde V_{DL} é a tensão de dreno baixa e V_{DH} é a tensão de dreno alta.

Para conhecer o valor de DIBL, é necessário utilizar um método de extração para a tensão de limiar (V_T) que seja válido para tensões de dreno altas e baixas. O mais comum é utilizar o método da corrente constante, onde V_T é o valor da tensão de porta para um valor constante de corrente de 10^{-7}.(W/L) [40].

Devido à sua ocorrência em transistores que sofrem com os SCE, o valor do DIBL é utilizado como critério eletrostático para saber se um dispositivo tem ou não uma boa imunidade aos SCE. O valor máximo de DIBL considerado aceitável em um transistor é de 100mV/V [41].

2.1.2 Transistores SOI de Múltiplas Portas

Os dispositivos de múltiplas portas (*Multiple Gate* – MG) surgiram como uma alternativa para continuar o desenvolvimento da tecnologia CMOS. Os MG possuem dois ou mais planos de condução de corrente e um único eletrodo de porta controla esse fluxo. O maior número de planos de condução de corrente faz com que a porta desses transistores tenha um melhor controle das cargas na região do canal, tornando-os mais imunes aos SCE. Isso ocorre devido à diminuição da influência do campo elétrico do dreno na região do canal, melhorando o controle eletrostático nessas estruturas. Por este motivo, são considerados promissores para aplicações em escalas nanométricas [42] [43].

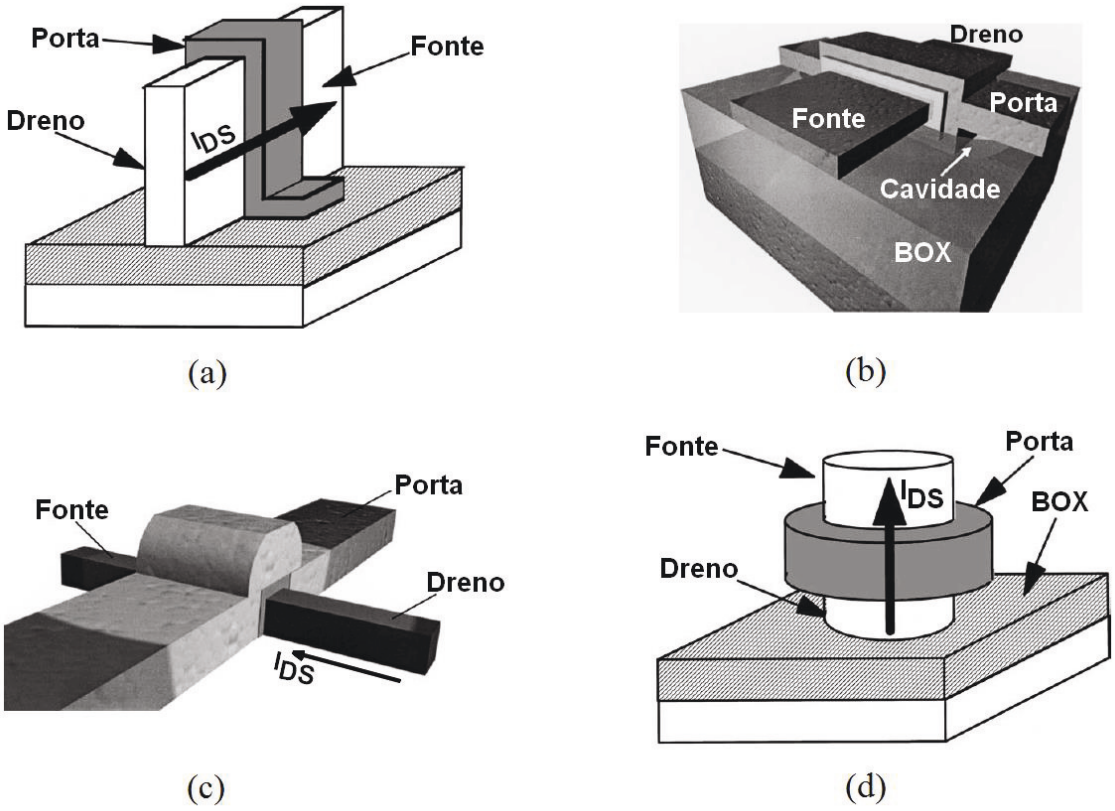
No ano de 1984, ocorreu a primeira publicação referente a um dispositivo com mais de uma porta, o transistor XMOS [44] de porta dupla. Porém, a complexidade no processo de alinhamento das portas superior e inferior foi um fator limitante para sua fabricação. Em 1989, foi fabricado o primeiro dispositivo de porta dupla (*Double Gate* - DG), o transistor DELTA (*fully DEpleted Lean-channel TrAnsistor*) [45], construído verticalmente em uma fina aleta de silício com portas laterais. Outras estruturas de canal vertical surgiram, como o FinFET de porta dupla [17], que diferencia-se do transistor DELTA apenas pela maior espessura do óxido de porta no topo da aleta, o óxido espesso ou *hard mask*. Outro dispositivo de porta dupla é o GAA (*Gate All Around*) ou porta circundante [46], que apresenta canal na forma horizontal. Porém, apesar da porta envolver todo o canal, é considerado de porta dupla, pois a largura do canal é bem maior que a espessura da camada de silício, fazendo com que apenas os planos superior e inferior influenciem significativamente o comportamento do dispositivo.

Os dispositivos de porta tripla (TG – *Triple Gate*) utilizam a mesma estrutura do FinFET, porém com portas no topo e nas laterais da aleta de silício [47]. Versões melhoradas do TG são os chamados Porta Tripla +, que aumentam a imunidade do canal aos campos elétricos induzidos pelas regiões de fonte e dreno através da extensão das portas laterais para dentro do óxido enterrado, também conhecidos como Porta Π (Π *Gate*) [48] e Porta Ω (Ω Gate) [49].

Outras estruturas MG são os dispositivos de porta circundante com canal vertical. Como exemplo pode-se citar o CYNTHIA (*CYliNdrical THin PillAr transistor*) [50] que possui seção circular e o MSGT (*Multi pillar Surrounding Gate Transistor*) [51] com seção quadrada.

A Figura 10 mostra algumas estruturas SOI de múltiplas portas [42]: (a) DELTA, (b) GAA, (c) Porta tripla ou TG FinFET e (d) CYNTHIA.

Figura 10 – Algumas estruturas de múltiplas portas: (a) DELTA, (b) GAA, (c) TG FinFET e (d) CYNTHIA.



Fonte: Autor “adaptado de” Colinge, 2004, p. 2-3.

2.1.3 Transistores de Porta Dupla Simétricos e Assimétricos

Neste trabalho foram estudados transistores SOI de porta dupla de dois tipos: FinFETs e UTBB.

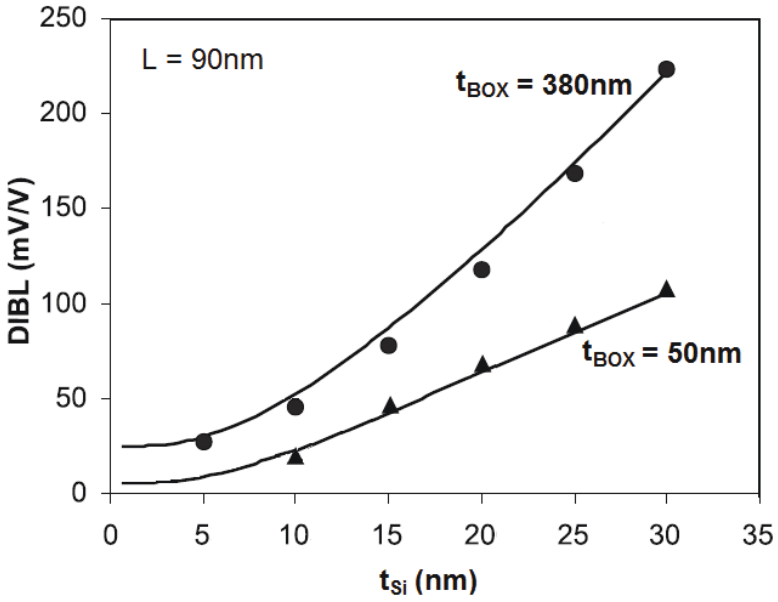
O FinFET (*Fin Field Effect Transistor*) foi proposto no ano 2000 [17], por Hisamoto et al. O nome FinFET foi dado pois esse dispositivo é construído em uma estreita ilha de silício chamada *finger*, *leg* ou simplesmente *fin*, ou ainda, aleta em português. A Figura 2(a) mostra o exemplo de uma estrutura FinFET de porta dupla. Embora a porta envolva três superfícies da região de silício (laterais e superior), a presença da camada de óxido espesso (*hard mask*) no topo não permite a formação de um canal de inversão pela porta superior, portanto, pode-se afirmar que o FinFET é um dispositivo de porta dupla. É possível observar

que as portas estão fisicamente conectadas, logo, são controladas pela mesma tensão. Por este motivo, o FinFET também pode ser chamado de transistor de porta dupla simétrico, onde todos os canais de inversão são controlados pelo mesmo terminal elétrico.

Os FinFETs tornaram-se muito atrativos por possuírem as vantagens de uma estrutura MG, com o melhor controle eletrostático das cargas do canal e, ao mesmo tempo, um processo de fabricação compatível com o utilizado na tecnologia CMOS de porta única, que permite uma migração com menor impacto [17] [52] [53] [54].

Em 2002, foi demonstrado que dispositivos FDSOI de porta única com comprimentos de canal abaixo de 100 nm passavam a sofrer com os SCE devido ao aumento do potencial do BOX que modifica a condição da segunda interface de depletada para inversão fraca, degradando assim a inclinação de sublimiar e aumentando o DIBL [55]. Nesta referência, foram simuladas duas estruturas FDSOI: a primeira com t_{BOX} = 380 nm e resistividade do substrato de 25 Ω.cm e a segunda com t_{BOX} = 50 nm e resistividade de substrato de 0 Ω.cm, a resistividade de substrato é alterada através da concentração de dopantes da região. A Figura 11 apresenta o DIBL em função da espessura da camada de silício (t_{Si}) para essas duas estruturas [55]. Conforme mencionado na seção 2.1.1.3, o valor do DIBL é utilizado para saber o quanto uma tecnologia pode ser escalada e valores de DIBL abaixo de 100 mV/V são considerados aceitáveis. Nota-se uma redução significativa no DIBL para a segunda estrutura com menor espessura do BOX e menor resistividade de substrato. Na prática, a redução na resistividade do substrato é o chamado plano de terra (*Ground Plane* – GP): uma região com maior concentração de dopantes (~$1x10^{19}$ cm^{-3}) logo abaixo do BOX. A partir deste estudo, notou-se que a redução do t_{BOX} e da resistividade do substrato eram muito eficientes para a redução dos SCE em dispositivos FDSOI planares.

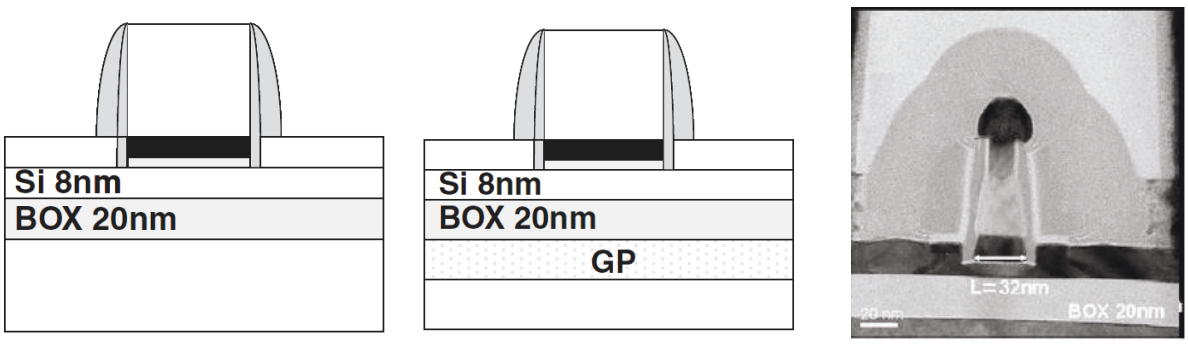
Figura 11 – DIBL em função de t_{Si} para duas estruturas FDSOI com t_{BOX} = 380nm e t_{BOX} = 50nm.



Fonte: Autor "adaptado de" Ernst, 2002, p. 3.

Desde então, outros estudos foram realizados até que foi proposto o transistor UTBB, o nome vem do inglês *Ultra-Thin Body and Buried oxide*, ou seja, corpo e óxido enterrado ultrafinos. Normalmente, dispositivos UTBB tem t_{BOX} entre 10 e 30 nm, t_{Si} entre 7 e 10 nm e podem ou não possuir o GP abaixo do BOX. A Figura 12 apresenta o perfil transversal de dois transistores UTBB caracterizados em [16]: sem GP (Figura 12(a)) e com GP (Figura 12(b)) com t_{BOX} = 20nm, t_{Si} = 8 nm e L = 32 nm. A Figura 12(c) apresenta a imagem SEM (*Scanning Electron Microscopy*) do transistor fabricado.

Figura 12 – Transistores UTBB caracterizados em [16]: (a) perfil transversal sem GP, (b) perfil transversal com GP e (c) imagem SEM.



(a) (b) (c)

Fonte: Autor "adaptado de" Fenouillet-Beranger, 2009, p. 2.

Na referência [56], as características muito atrativas dos UTBBs em relação ao controle dos SCE foram demonstradas experimentalmente para comprimento de canal de 30 nm. Além disso, a utilização dos UTBBs permite a implementação de circuitos de baixa potência e de alto desempenho no mesmo circuito integrado, graças às diversas tensões de limiar alcançadas através de diferentes polarizações da segunda interface (*back-gate*) [57]. Como tanto a tensão de porta quanto a tensão de substrato é utilizada para controle das cargas na região ativa de silício, o UTBB também é conhecido como transistor de porta dupla assimétrico, pois é controlado por terminais elétricos distintos.

Nas próximas seções serão apresentadas as principais características elétricas dos FinFETs e UTBBs.

2.1.3.1 Tensão de Limiar

Um modelo para cálculo da tensão de limiar em dispositivos SOI de porta dupla simétricos, foi proposto em 1994 por Francis et al [58]. Segundo o modelo, a tensão de limiar é atingida quando o potencial de superfície (ϕ_S) tem o valor descrito na equação (21):

$$\phi_S = 2\phi_F + \frac{kT}{q} . \ln\left[\delta \frac{1}{1 - e^{(-\alpha)}}\right] \tag{21}$$

onde $\delta = C_{OX}/4C_{Si}$ e $\alpha = (q/k.T).(Q_{depl}/8C_{Si})$ e Q_{depl} é a densidade de carga de depleção na região do canal do transistor.

O valor da tensão de limiar (V_T) é descrito na equação (22):

$$V_T = \phi_S + V_{FB} + \frac{k.T}{q} . \frac{\alpha}{\delta} . \sqrt{1 + \frac{\delta}{\alpha}} \tag{22}$$

Comparando o valor de ϕ_S da equação (20) com o valor para um dispositivo de porta única, ou seja, $\phi_S = 2\phi_F$, é possível observar que a diferença entre os potenciais de superfície no limiar depende da espessura do óxido de porta, presente na variável C_{OX} em δ; da espessura da camada de silício, presente na variável C_{Si} em δ e α; e da concentração de dopantes presente na variável Q_{depl} em α. No caso dos transistores verticais, como o FinFET, o valor referente à espessura da camada de silício (t_{Si}) presente em C_{Si} nas equações (21) e

(22), deve ser substituído pelo valor da largura da aleta (W_{FIN}), pois referem-se à distribuição do potencial entre as portas do dispositivo.

Em UTBBs, é possível ter três opções de tensão de limiar para uma mesma tecnologia alterando as polarizações de substrato e o tipo de dopante no plano de terra (GP), sem a necessidade de dopagens na região do canal e utilizando o mesmo material de porta para todos os dispositivos [59]. Essas três opções de tensão de limiar são: V_T baixo (*Low* V_T - LVT), V_T padrão (*Standard* V_T - SVT) e V_T alto (*High* V_T - HVT). A Tabela 1 apresenta as diferentes condições possíveis de V_T para transistores pMOS e nMOS alcançados de acordo com a polarização do substrato (V_{GB}) e o tipo de dopante utilizado no GP [59]. Nota-se através dos índices (1), (2) e (3) que a opção de V_T padrão (SVT) pode ser alcançada de três formas distintas.

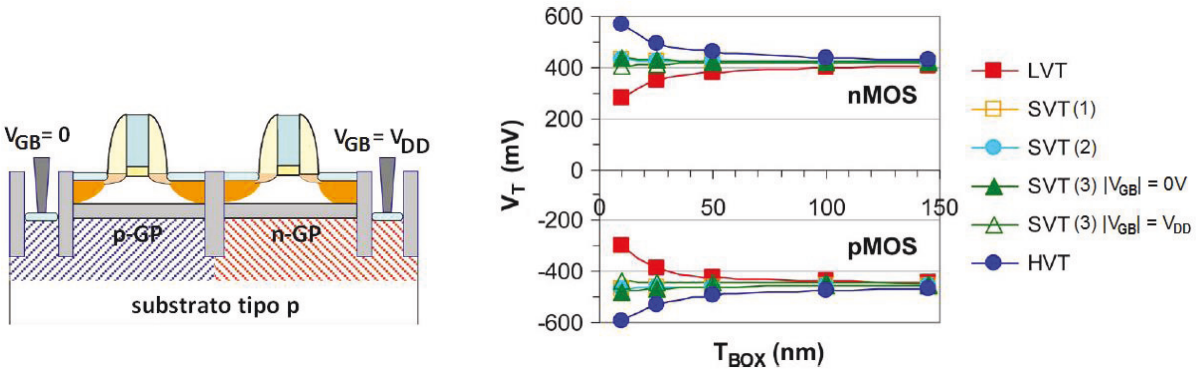
Tabela 1 – Diferentes V_T alcançados para transistores pMOS e nMOS de acordo com a polarização do substrato e o tipo de dopante utilizado no GP [59].

nMOS			**pMOS**		
V_{GB}	**0**	**V_{DD}**	**$\|V_{GB}\|$**	**0**	**V_{DD}**
n-GP	SVT (1)	LVT	**n-GP**	HVT	SVT (2)
p-GP	HVT	SVT (2)	**p-GP**	SVT (1)	LVT
sem GP	SVT (3)	SVT (3)	**sem GP**	SVT (3)	SVT (3)

Fonte: Noel, 2011.

A Figura 13(a) apresenta a estrutura CMOS utilizada para que essas condições de V_T sejam alcançadas e a Figura 13(b) apresenta o gráfico de V_T em função de t_{BOX} para os transistores nMOS e pMOS [59]. É possível observar que a maior distinção entre as tensões de limiar acontecem apenas para espessuras de BOX abaixo de 30nm.

Figura 13 – (a) Estrutura CMOS com transistores UTBB utilizada para diferentes V_T e (b) Curva de V_T x t_{BOX} para os transistores nMOS e pMOS.



(a) (b)

Fonte: Autor "adaptado de" Noel, 2011, p. 2.

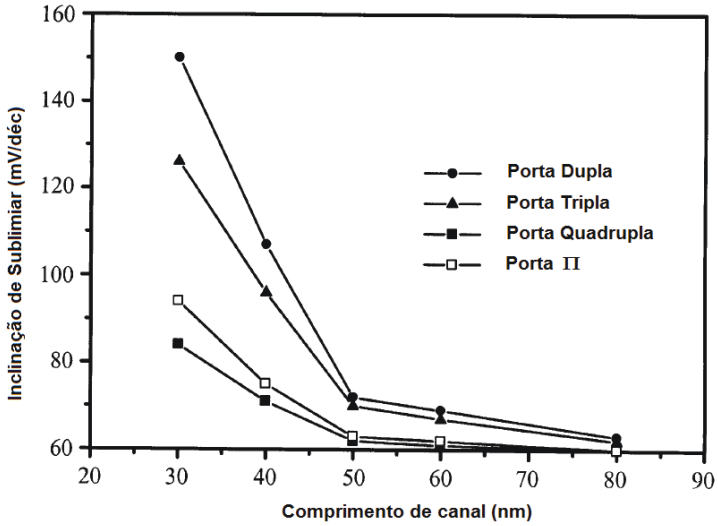
2.1.3.2 Inclinação de Sublimiar

Os transistores SOI com múltiplas portas apresentam comportamento de sublimiar muito semelhante aos transistores FDSOI de porta única. Através das aproximações realizadas na equação do potencial na região de sublimiar, Francis et al [58] afirmam que em transistores de porta dupla com filmes finos (t_{Si} < 100 nm), desprezando as armadilhas de interface, o valor da inclinação de sublimiar pode ser descrito pelo limite teórico, conforme mostrado na equação (23):

$$S = \frac{k.T}{q} .\ln(10) \tag{23}$$

A Figura 14 apresenta a inclinação de limiar para dispositivos experimentais de múltiplas portas [42]. É possível observar que para o maior comprimento de canal estudado (L = 80nm), todos os dispositivos apresentaram inclinação de sublimiar muito próxima do limite teórico de 60 mV/déc. À medida que o comprimento de canal é reduzido, o valor de S aumenta, devido aos efeitos de canal curto. Nos dispositivos de porta quadrupla e porta Π, o aumento da inclinação de limiar demora mais para acontecer, devido ao melhor controle eletrostático desses dispositivos, conforme será mostrado na próxima seção.

Figura 14 – Inclinação de limiar em dispositivos SOI de porta dupla, tripla, quadrupla e porta Π em função do comprimento de canal.

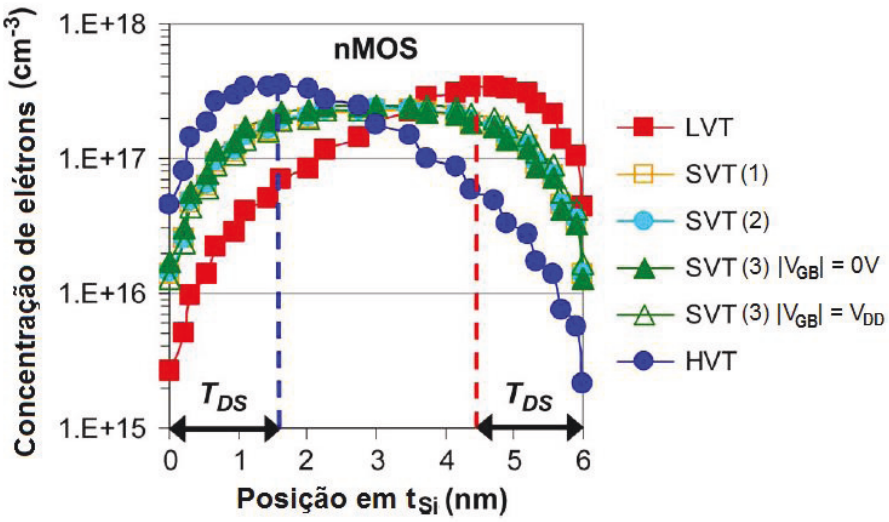


Fonte: Autor “adaptado de” Colinge, 2004, p 6.

Os UTBBs são transistores FDSOI planares, logo, o comportamento da inclinação de sublimiar vai depender do acoplamento capacitivo entre a camada de silício e o BOX, conforme apresentado na seção 2.1.1.2. Porém, algumas particularidades interferem no comportamento da inclinação de sublimiar nestes dispositivos.

A Figura 15 apresenta a concentração de elétrons ao longo da posição em t_{Si} na condição de limiar [59], onde T_{DS} é a distância entre a interface e o ponto de maior concentração de elétrons, que ocorre devido ao confinamento quântico [60]. É possível observar que o dispositivo HVT possui o pico de concentração de elétrons próximo à primeira interface, o LVT próximo à segunda interface e os SVTs possuem a concentração máxima no centro da camada de silício.

Figura 15 – Concentração de elétrons ao longo da posição em t_{Si} na condição de limiar para UTBBs com diferentes GP e polarizações do substrato.



Fonte: Autor "adaptado de" Noel, 2011, p. 3.

Considerando o comportamento mostrado na Figura 15, o fator de corpo em UTBBs pode ser descrito pela equação (24) [59]:

$$n_{UTBB} = 1 + \frac{t_{OX} + \frac{\varepsilon_{OX}}{\varepsilon_{Si}}(X_{bar})}{t_{BOX} + \frac{\varepsilon_{OX}}{\varepsilon_{Si}}(t_{Si} - X_{bar})} \tag{24}$$

onde X_{bar} é a posição em t_{Si} onde está localizado o baricentro da carga Q_{Si}, ou seja, onde ocorre a maior concentração de elétrons.

Neste caso, para transistores LVT temos $X_{bar} = t_{Si} - T_{DS}$, para transistores HVT $X_{bar} = T_{DS}$ e para transistores SVT $X_{bar} = t_{Si}/2$.

Em geral, devido ao menor t_{BOX}, os UTBBs apresentam inclinação de sublimiar próxima dos 70mV/déc [61].

2.1.3.3 Efeitos de Canal Curto

Conforme mostrado na seção 2.1.1.3, os efeitos de canal curto surgem a partir do compartilhamento das cargas de depleção sob a porta à medida que o comprimento de canal dos transistores é reduzido. Essa competição é causada pela invasão das linhas de campo elétrico provenientes do dreno na região do canal.

Considerando um sistema tridimensional, a distribuição do potencial elétrico (ϕ) na região do canal de um dispositivo SOI totalmente depletado pode ser descrito pela solução da equação de Poisson nas três direções (x,y,z) conforme apresentado na equação (25) [11]:

$$\frac{d^2\phi(x,y,z)}{dx^2}+\frac{d^2\phi(x,y,z)}{dy^2}+\frac{d^2\phi(x,y,z)}{dz^2}=\frac{q.N_A}{\varepsilon_{Si}} \tag{25}$$

A equação (25) pode ser reescrita em termos do campo elétrico (ξ), conforme apresentado na equação (26) [11]:

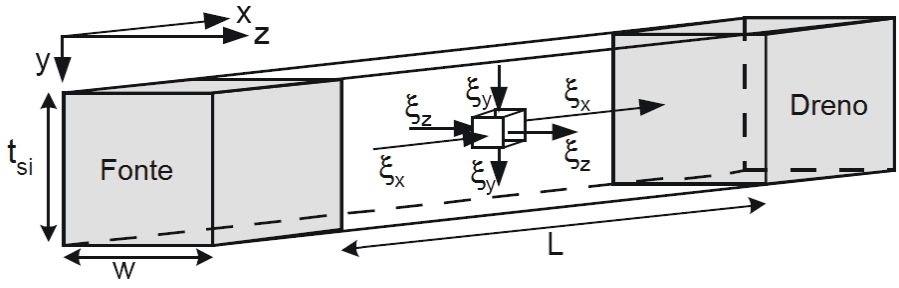
$$\frac{d\xi_x(x,y,z)}{dx}+\frac{d\xi_y(x,y,z)}{dy}+\frac{d\xi_z(x,y,z)}{dz}=-\frac{q.N_A}{\varepsilon_{Si}} \tag{26}$$

onde ξ_x, ξ_y e ξ_z são, respectivamente, as componentes do campo elétrico nas direções x,y e z.

Analisando a equação (26), podemos observar que, em qualquer ponto da região do canal, a soma das variações do campo elétrico nas três direções é igual a uma constante. Portanto, se a componente em uma direção aumenta, a soma das outras duas deve diminuir.

A Figura 16 apresenta o sistema de coordenadas e cada componente de campo elétrico que pode atuar na região do canal nas direções x, y e z. A componente de campo elétrico controlada pelo dreno é na direção x. Isso significa que, quanto maior a atuação do campo elétrico na direção x, maiores serão os efeitos de canal curto nesse dispositivo.

Figura 16 – Sistema de coordenadas e componentes de campo elétrico que podem atuar na região do canal nas direções x, y e z.



Fonte: Autor “adaptado de” Colinge, 2008, p. 18.

Se considerarmos um dispositivo de porta única, as componentes de campo elétrico atuantes serão ξ_y, controlada pela porta, e ξ_x, controlada pelo dreno. Ao acrescentar uma segunda porta ao dispositivo, a atuação da componente ξ_y, controlada pela porta, ficará maior e, consequentemente, a atuação do campo elétrico controlado pelo dreno, na direção x, ficará

menor, reduzindo também os efeitos de canal curto nesse dispositivo. No caso de um FinFET de porta dupla, como as portas são laterais, elas controlam o campo na direção z (ξ_z) da Figura 16.

Por este motivo, é possível afirmar que os dispositivos com mais de uma porta possuem um melhor controle eletrostático das cargas na região do canal e que quanto maior o número de portas do dispositivo, maior a sua imunidade aos SCE, conforme observado na Figura 14.

Com base nessa análise, em 1992, Yan et al [62] propuseram o conceito de comprimento natural (λ), com o qual é possível estimar o quanto se pode reduzir a espessura da camada de silício de um dispositivo a fim de evitar os efeitos de canal curto.

O comprimento natural é um parâmetro dependente do óxido de porta e da espessura da camada de silício, que representa a distância de penetração das linhas de campo elétrico do dreno no corpo do transistor, permitindo assim saber a sua influência sobre o funcionamento do dispositivo. Sendo assim, quanto menor for o valor de λ, menor a influência do dreno e, portanto, mais imune esse dispositivo será aos SCE.

O valor de λ para um dispositivo FDSOI de porta única é descrito na equação (27) [62]:

$$\lambda = \sqrt{\frac{\varepsilon_{Si}}{\varepsilon_{OX}} . t_{OX} . t_{Si}} \tag{27}$$

Para um dispositivo de porta dupla, o valor de λ é calculado através da equação (28) [62]:

$$\lambda = \sqrt{\frac{\varepsilon_{Si}}{2\varepsilon_{OX}} . t_{OX} . t_{Si}} \tag{28}$$

Em sua proposta original, são analisadas apenas as estruturas de porta única e dupla, mas o conceito pode ser estendido para outras estruturas, como um dispositivo de porta quadrupla com seção quadrada, onde o valor de λ é o apresentado na equação (29) [42]:

$$\lambda = \sqrt{\frac{\varepsilon_{Si}}{4\varepsilon_{OX}} . t_{OX} . t_{Si}} \tag{29}$$

Comparando as equações (27), (28) e (29), é possível observar que quanto maior o número de portas de um dispositivo com o mesmo t_{Si} e t_{OX} que um dispositivo de porta única equivalente, o valor de λ é menor, ou seja, maior a sua imunidade aos efeitos de canal curto.

Estudos mostram que o comprimento de canal de um dispositivo deve ser de cinco a dez vezes maior que o valor de λ para prevenir os efeitos de canal curto [62].

Em FinFETs, o valor de t_{Si} na equação (28) deve ser substituído pelo valor da largura da aleta (W_{FIN}), ou seja, quanto menor o seu W_{FIN}, mais imune o FinFET se torna aos SCE.

3 RESISTÊNCIA PARASITÁRIA E CORRENTE DE DRENO EM TRANSISTORES DE PORTA DUPLA SIMÉTRICOS

Este capítulo faz uma revisão bibliográfica dos modelos e métodos de extração da resistência parasitária em FinFETs. Também é feita uma revisão dos modelos analíticos de corrente para FinFETs presentes na literatura.

3.1 A RESISTÊNCIA PARASITÁRIA EM FINFETS

Conforme apresentado na seção 2.1.3.3, pela análise do comprimento natural (λ), quanto menor a largura da aleta (W_{FIN}), maior a imunidade do FinFET aos SCE.

Porém, a diminuição de W_{FIN} resulta na imposição de uma alta resistência pelas regiões de fonte e dreno, conhecida como resistência parasitária (R_{PAR}) ou ainda resistência série de fonte e dreno. A diminuição de R_{PAR} em FinFETs é considerada um dos requisitos para permitir a continuidade do escalamento nesses dispositivos [15] [20] [21]. Por este motivo, o estudo e a modelagem de R_{PAR} são muito importantes para viabilizar a utilização dos dispositivos FinFET.

Com o objetivo de diminuir essa resistência parasitária, algumas alternativas vêm sendo utilizadas, como o crescimento seletivo epitaxial (*Selective Epitaxial Growth* - SEG), o uso de silicetos nos contatos, entre outros [21] [63] [64] [65] [66].

O SEG consiste no aumento da área original da aleta de silício (W_{FIN} x H_{FIN}) apenas nas regiões de fonte e dreno onde estão os contatos, possibilitando assim a diminuição da resistência de contato [67].

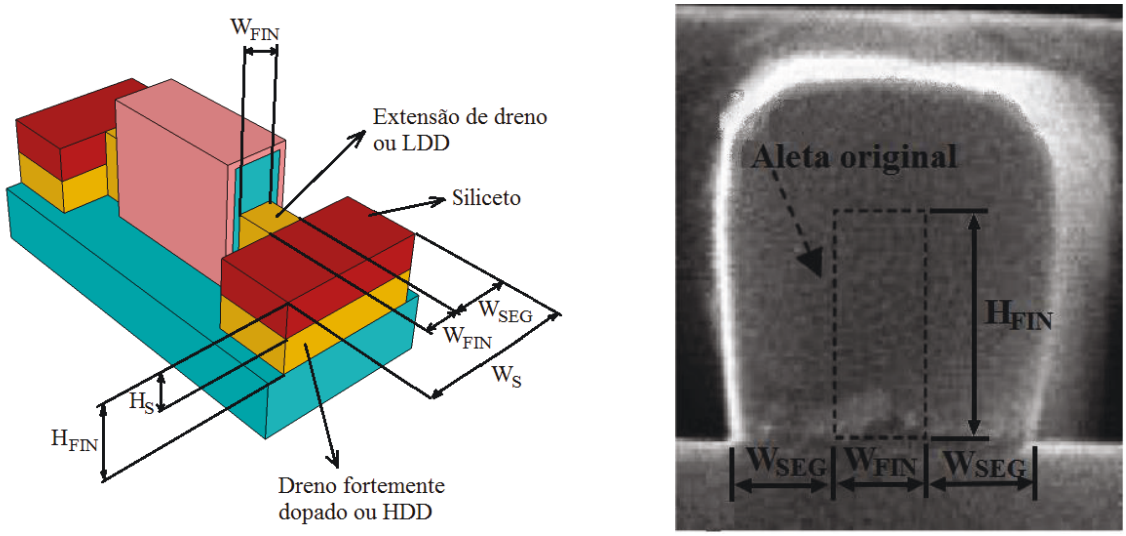
O uso de siliceto nos contatos permite também a redução da resistência de contato, pois se trata de um material com menor resistividade que o silício. O siliceto é uma liga feita de silício e metal, que quando colocado em contato com o silício, oferece uma resistência menor do que quando o silício é colocado em contato diretamente com o metal. Estudos mostram uma considerável variação em R_{PAR} ao variar a profundidade ou a geometria do siliceto [63].

Geralmente, as regiões de fonte e dreno abaixo do siliceto costumam ter uma maior concentração de dopantes, com o objetivo de reduzir a resistência de contato entre silício/siliceto. Por este motivo, essas regiões são conhecidas como fortemente dopadas ou HDD (*Heavily Doped Drain* – Dreno Fortemente Dopado).

As regiões de fonte e dreno que fazem fronteira com o canal são as extensões de fonte e dreno e também podem ser conhecidas como regiões fracamente dopadas ou LDD (*Lightly Doped Drain* – Dreno Fracamente Dopado). Essas regiões costumam ter uma concentração de dopantes menor visando reduzir a ação do campo elétrico lateral do dreno no canal [68]. Porém, valores baixos de concentração de dopantes resultam no aumento da resistência dessa região e, por este motivo, a concentração de dopantes e o comprimento dessas regiões devem ser projetados considerando esse compromisso.

A Figura 17(a) mostra um DG FinFET com o aumento das regiões de fonte e dreno através do SEG e siliceto nos contatos de fonte e dreno, onde H_{FIN} é a altura da aleta, H_S é a profundidade do siliceto, W_{SEG} é a largura do SEG e W_S é a largura dos contatos de fonte e dreno. O SEG também cresce o contato para cima no sentido de H_{FIN}, conforme mostrado na imagem SEM da Figura 17(b), porém, como essa região não faz fronteira com a aleta de silício, ela não altera significativamente R_{PAR}.

Figura 17 – (a) Estrutura DG FinFET com SEG e siliceto nos contatos de fonte e dreno e (b) imagem SEM de um contato de fonte e dreno aumentado por SEG.



(a) (b)

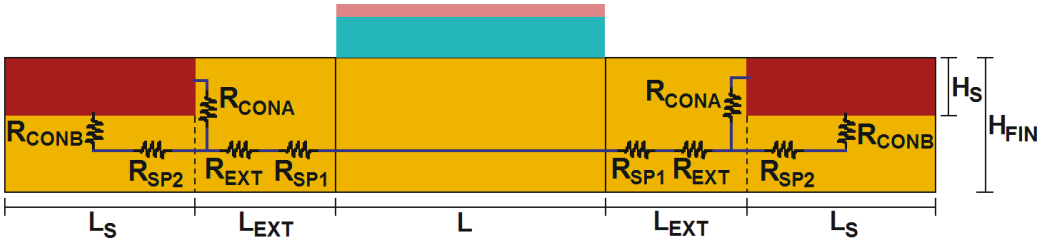
Fonte: (a) Autor e (b) Autor “adaptado de” Colinge, 2008, p. 90.

3.1.1 Modelo de Dixit et al

No ano de 2005, Dixit et al [69] fizeram uma análise da resistência parasitária em dispositivos de múltiplas portas e propuseram um modelo analítico completo para o cálculo de R_{PAR}.

A Figura 18 mostra a associação das parcelas de resistência consideradas pelo modelo proposto por Dixit et al, considerando um FinFET com a geometria de fonte e dreno apresentada na Figura 17, onde R_{SP1} é a parcela que se refere ao espraiamento da corrente do canal para as extensões de fonte e dreno, R_{EXT} é a parcela de resistência imposta pelas regiões de extensão de fonte e dreno, R_{CONA} é a parcela referente ao contato lateral entre as extensões e o siliceto, R_{SP2} é a parcela que se refere ao espraiamento da corrente das extensões para as regiões de fonte e dreno fortemente dopadas, R_{CONB} é a parcela referente ao contato inferior entre siliceto e as regiões de fonte e dreno fortemente dopadas, L é o comprimento de canal do transistor, L_{EXT} é o comprimento das regiões de extensão de fonte e dreno ou região LDD e L_S é o comprimento de siliceto ou comprimento da região HDD.

Figura 18 – Associação das parcelas de resistência consideradas pelo modelo proposto por Dixit et al.



Fonte: Autor.

A parcela R_{SP1} refere-se ao comportamento não paralelo das linhas de corrente na transição entre o canal e as extensões de fonte e dreno. Esse comportamento acontece devido à mudança no campo elétrico vertical, que é muito forte na região do canal e passa a ser praticamente nulo nas extensões de fonte e dreno. O modelo proposto por Dixit é uma adaptação do modelo para transistores MOS planares proposto por Baccarani em 1983 [70], para dispositivos de porta dupla. De acordo com Dixit, a parcela R_{SP1} pode ser calculada pela equação (30):

$$R_{SP1} = \frac{1}{2} \cdot \left\{ \frac{2.\rho_{EXT}}{\pi H_{FIN}} . \ln \left[0{,}75 \frac{\left({W_{FIN}}/{2} \right)}{x_c} \right] \right\} \tag{30}$$

onde ρ_{EXT} é a resistividade das regiões de extensão de fonte e dreno e x_c é a espessura do canal. O valor de x_c utilizado por Dixit et al foi de 1,5 nm [69].

A parcela R_{EXT} refere-se à resistência imposta pelas regiões de extensão de fonte e dreno, dada pela equação básica da resistência para essa região, mostrada na equação (31):

$$R_{EXT} = \rho_{EXT} \cdot \frac{L_{EXT}}{W_{FIN}.H_{FIN}} \tag{31}$$

A parcela R_{CONA} refere-se à resistência do contato lateral entre as regiões de extensão de fonte e dreno e o siliceto, e é calculada pela equação (32):

$$R_{CONA} = \frac{\rho_C}{W_{FIN}.H_S} \tag{32}$$

onde ρ_C é a resistividade de contato entre o material de contato e o silício dada em $\Omega.cm^2$.

A parcela R_{SP2} refere-se ao espraiamento da corrente entre as regiões de extensão e regiões fortemente dopadas de fonte e dreno. Esta distribuição não uniforme da corrente acontece devido ao aumento da largura da aleta entre as regiões de extensão e fortemente dopadas. Seu valor é calculado através da equação (33):

$$R_{SP2} = \frac{\rho_{HDD}.[\ln(0{,}75) + \ln(W_S) - \ln(W_{FIN})]}{\pi.(H_{FIN} + W_{SEG} - H_S)} \tag{33}$$

onde ρ_{HDD} é a resistividade das regiões de fonte e dreno fortemente dopadas e W_{SEG} é a largura da camada aumentada pelo SEG e pode ser calculada pela equação (34), conforme ilustrado na Figura 17:

$$W_{SEG} = \frac{(W_S - W_{FIN})}{2} \tag{34}$$

A parcela R_{CONB} refere-se ao contato inferior entre o siliceto e as regiões de fonte e dreno fortemente dopadas. É calculada através do modelo de linhas de transmissão proposto por Berger em 1969 [71] para cálculo da resistência de contato entre semicondutor e metal para uma distribuição de corrente não uniforme. Pode ser determinada pela equação (35) quando não houver aumento dos contatos por SEG ou pela equação (36) quando houver o aumento das regiões de contato por SEG:

$$R_{CONB} = \frac{\sqrt{R_{SHDD} \cdot \rho_C}}{W_{FIN}} \cdot \coth\left(\sqrt{\frac{R_{SHDD}}{\rho_C}} \cdot L_S\right) \tag{35}$$

$$R_{CONB} = \frac{\sqrt{R_{SHDD} \cdot \rho_C}}{W_S} \cdot \coth\left(\sqrt{\frac{R_{SHDD}}{\rho_C}} \cdot L_S\right) \tag{36}$$

onde R_{SHDD} é a resistência de folha das regiões de fonte e dreno fortemente dopadas que pode ser calculada pela equação (37):

$$R_{SHDD} = \frac{\rho_{HDD}}{H_{FIN} - H_S} \tag{37}$$

Dadas as equações de cada parcela, é possível calcular o valor de R_{PAR} através da equação (38), conforme associação mostrada na Figura 18:

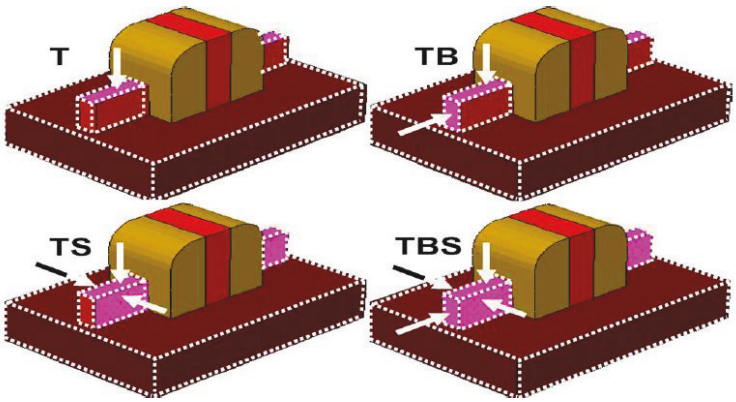
$$R_{PAR} = 2 \cdot \{(R_{SP1} + R_{EXT}) + [R_{CONA} \parallel (R_{SP2} + R_{CONB})]\} \tag{38}$$

3.1.2 Modelo de Tekleab et al

No ano de 2009, Tekleab et al [72] fizeram a análise e modelagem da resistência de contato em FinFETs de porta dupla.

Eles propuseram o cálculo da resistência de contato para quatro estruturas diferentes de siliceto, conforme mostrado na Figura 19, onde a estrutura T (*top*) possui siliceto apenas no topo das regiões de fonte e dreno, a estrutura TB (*top-back*) possui siliceto no topo e na traseira, a estrutura TS possui siliceto no topo e nas laterais e a estrutura TBS (*top-back-sides*) possui siliceto no topo, nas laterais e na traseira.

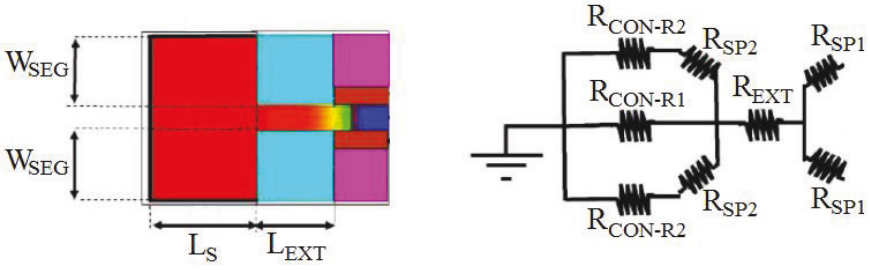
Figura 19 – Estruturas de siliceto consideradas para a modelagem de Tekleab et al.



Fonte: Tekleab, 2009, p. 1.

Além disso, eles analisaram e propuseram um modelo novo no caso da utilização de SEG nos contatos. A vista superior do dispositivo considerado na modelagem e a associação das parcelas são apresentadas na Figura 20, onde R_{CON-R1} é a parcela de resistência de contato referente apenas à largura original da aleta (W_{FIN}) e R_{CON-R2} são as parcelas de resistência de contato referentes às áreas com SEG (W_{SEG}).

Figura 20 – Vista superior do dispositivo considerado na modelagem e associação das parcelas do modelo de Tekleab et al.



Fonte: Autor “adaptado de” Tekleab, 2009, p. 2.

As parcelas R_{SP1} e R_{EXT} são calculadas da mesma forma proposta por Dixit et al [69], ou seja, respectivamente pelas equações (30) e (31) apresentadas na seção anterior.
A parcela R_{SP2} é calculada pela equação (39):

$$R_{SP2} = \frac{\rho_{HDD} \cdot \left[\frac{\ln(0{,}75.W_{SEG})}{W_{FIN}}\right]}{(\pi.H_{FIN})} \tag{39}$$

A parcela $R_{CON\text{-}R1}$ refere-se à resistência de contato pertencente à largura original da aleta (W_{FIN}). Ela terá valores diferentes, de acordo com a estrutura de siliceto utilizada, conforme apresentado na Figura 19. De acordo com os autores, quando a estrutura de siliceto for a apresentada na Figura 17(a), o valor de $R_{CON\text{-}R1}$ deve ser calculado utilizando a condição da estrutura T da Figura 19, ou seja, contato apenas no topo [72]. Neste caso, o valor de $R_{CON\text{-}R1}$ é calculado da mesma forma que o da parcela R_{CONB} apresentada na equação (35), na seção do modelo de Dixit et al.

A parcela $R_{CON\text{-}R2}$ é calculada pela equação (40):

$$R_{CON-R2} = \ (R_{CON-1} + R_{CON-2}) - \frac{R_{CON-T}}{2} \tag{40}$$

onde $R_{CON\text{-}1}$, $R_{CON\text{-}2}$ e $R_{CON\text{-}T}$ são parcelas de resistência de contato referentes a fatores geométricos e são calculadas respectivamente pelas equações (41), (42) e (43):

$$R_{CON-1} = \ \frac{\rho_C}{\gamma_b . L_T . W_{SEG}} . \left[\frac{R_{b-R2} + \tanh(\gamma_b . L_S/L_T)}{R_{b-R2} . \tanh(\gamma_b . L_S/L_T) + 1}\right] \tag{41}$$

$$R_{CON-2} = \ \frac{\rho_C}{\gamma_s . L_T . L_S} . \left[\frac{R_{s-R2} + \tanh(\gamma_S . W_{SEG}/L_T)}{R_{s-R2} . \tanh(\gamma_S . W_{SEG}/L_T) + 1}\right] \tag{42}$$

$$R_{CON-T} = \ \frac{\rho_C}{2 . L_T} . [\coth(\gamma_b . L_S/L_T)/(\gamma_b . W_{SEG}) + \coth(\gamma_S . W_{SEG}/L_T)/(\gamma_S . L_S)] \tag{43}$$

onde γ_b, γ_s, $R_{b\text{-}R2}$ e $R_{s\text{-}R2}$ são calculados pelas equações (44), (45), (46) e (47):

$$\gamma_b = \sqrt{1 + H_{FIN}/W_{SEG}} \tag{44}$$

$$\gamma_s = \sqrt{1 + H_{FIN}/L_S} \tag{45}$$

$$R_{b-R2} = \alpha_b . L_T/H_{FIN} \tag{46}$$

$$R_{s-R2} = \alpha_s . L_T/H_{FIN} \tag{47}$$

onde $\alpha_b = \alpha_s = \infty$ no caso onde há contato apenas no topo. L_T é o comprimento de transferência que descreve a aglomeração de corrente (*current crowding*) no início de um contato horizontal.

L_T representa a distância do início do contato para qual a densidade de corrente é um fator *e* (2,718) menor, ou seja, a maior parte da corrente passa apenas do início do contato até a distância L_T. O valor de L_T é descrito na equação (48) [73]:

$$L_T = \sqrt{\frac{\rho_C}{R_{SHDD}}} \tag{48}$$

Finalmente, o valor de R_{PAR} é obtido através da equação (49):

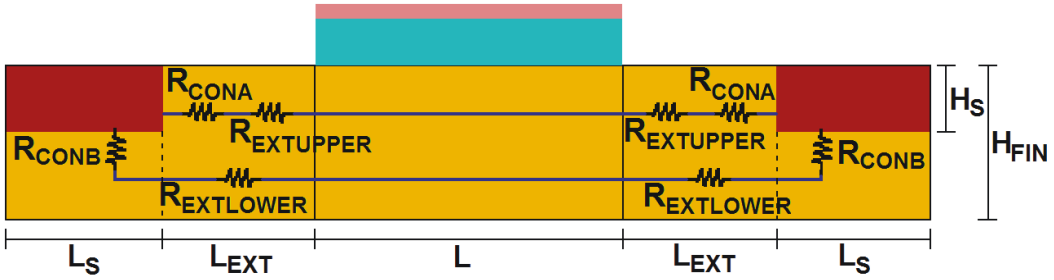
$$R_{PAR} = 2 \cdot \left\{ (R_{SP1} + R_{EXT}) + \left[R_{CON-R1} \parallel \left(\frac{R_{SP2} + R_{CON-R2}}{2} \right) \right] \right\} \tag{49}$$

3.1.3 Modelo de Pereira e Giacomini

No ano de 2012, Pereira e Giacomini propuseram um modelo completo para R_{PAR} com base na distribuição do potencial elétrico e do comportamento da corrente observados através de simulações numéricas tridimensionais e que propõe o cálculo da resistência de contato através de um modelo de linhas de transmissão com impedância variável, aproximada por uma exponencial, visando reproduzir melhor as geometrias de contato observadas em dispositivos experimentais [74].

A Figura 21 apresenta a associação das parcelas proposta por Pereira e Giacomini, onde $R_{EXTUPPER}$ é a parcela referente à região superior das extensões de fonte, R_{CONA} é a parcela referente ao contato lateral entre extensões e siliceto, $R_{EXTLOWER}$ é a parcela referente à região inferior das extensões de fonte e dreno e R_{CONB} referente ao contato inferior entre as regiões fortemente dopadas e o siliceto.

Figura 21 – Associação das parcelas proposta por Pereira e Giacomini.



Fonte: Pereira, 2012, p.56.

A parcela $R_{EXTUPPER}$ pode ser calculada pela equação básica da resistência, conforme a equação (50):

$$R_{EXTUPPER} = \frac{\rho_{EXT} \cdot L_{EXT}}{W_{FIN} \cdot H_S} \tag{50}$$

O valor de R_{CONA} é o mesmo apresentado na equação (32), na seção do modelo de Dixit el al.

O valor de $R_{EXTLOWER}$ pode ser calculado através da equação (51):

$$R_{EXTLOWER} = \frac{\rho_{EXT} \cdot L_{EXTLOWER}}{W_{FIN} \cdot (H_{FIN} - H_S)} \tag{51}$$

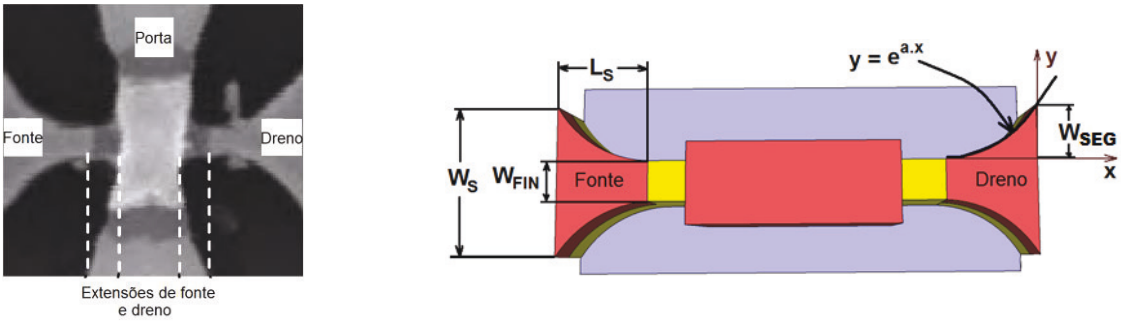
onde $L_{EXTLOWER}$ é o comprimento médio de extensão inferior, que é uma aproximação matemática entre o menor e o maior comprimento possível da região de extensão inferior até o contato, proposto devido a distribuição de corrente não uniforme na transição entre essas regiões. O valor de $L_{EXTLOWER}$ é calculado pela equação (52):

$$L_{EXTLOWER} = \frac{L_{EXT} + \sqrt{{L_{EXT}}^2 + (H_{FIN} - H_S)^2}}{2} \tag{52}$$

No modelo proposto por Pereira e Giacomini, foi considerada uma geometria diferente nos contatos de fonte e dreno. Essa geometria foi observada em imagens de FinFETs experimentais, que não possuem uma geometria retangular, como os modelos anteriores consideravam. O aumento das regiões de contato de fonte e dreno pelo SEG resulta em um alargamento gradual, conforme mostrado na imagem SEM da Figura 22(a) [75]. Com base na observação dessa geometria, o modelo propõe que esse alargamento (W_{SEG}) seja descrito por

uma função exponencial, conforme mostrado na Figura 22(b), onde *a* é o coeficiente de modelagem da função exponencial.

Figura 22 – (a) Vista superior de um FinFET mostrando o alargamento das regiões de contato de fonte e dreno e (b) Representação da aproximação exponencial do alargamento das regiões de contato de fonte e dreno.



(a) (b)

Fonte: (a) Autor "adaptado de" Matsukawa, 2011, p.2 e (b) Pereira, 2012, p.60.

O valor de W_{SEG} é calculado a partir de W_S e W_{FIN}, conforme apresentado na equação (34). Logo, conhecendo W_{SEG} e L_S, é possível encontrar o coeficiente de modelagem da função exponencial *a* adequado para reproduzir a geometria de fonte e dreno, conforme a equação (53):

$$a = \frac{\ln(W_{SEG})}{L_S}, pois\ W_{SEG} = e^{a.L_S} \tag{53}$$

A mudança na geometria dos contatos de fonte e dreno influencia a parcela R_{CONB}. Para o seu cálculo, foi desenvolvida uma nova equação com base no modelo de linhas de transmissão levando em conta que a da largura SEG (W_{SEG}) varia exponencialmente ao longo do seu comprimento (L_S).

Após a solução da linha de transmissão correspondente ao contato com alargamento exponencial, foi encontrada a expressão fechada para a resistência de contato da região de largura variável, a parcela (R_{CONBE}), ou seja, a parcela de resistência de contato inferior entre regiões de fonte e dreno fortemente dopadas com largura variável exponencialmente, dada pela equação (54):

$$R_{CONBE} = \frac{R_{SHDD}}{W_{SEG}}\left\{\left[\frac{(S1+1)e^{S1.L_S} - (S2+1)e^{S2.L_S}}{(S1^2+S1)e^{S1.L_S} - (S2^2+S2)e^{S2.L_S}}\right] + \frac{e^{S1.L_S} - e^{S2.L_S}}{S1e^{S1.L_S} - S2e^{S2.L_S}}\right\} \tag{54}$$

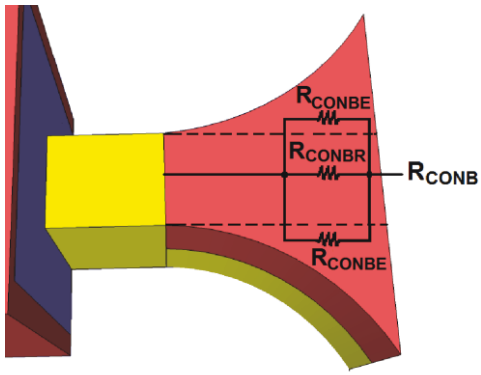
onde S1 e S2 são calculados respectivamente pelas equações (55) e (56):

$$S1 = \frac{-a + \sqrt{a^2 + \left(4\frac{R_{SHDD}}{\rho_C}\right)}}{2} \tag{55}$$

$$S2 = \frac{-a - \sqrt{a^2 + \left(4\frac{R_{SHDD}}{\rho_C}\right)}}{2} \tag{56}$$

Finalmente, para calcular o valor da parcela de resistência de contato inferior R_{CONB}, é necessário considerar três parcelas de resistência em paralelo: uma retangular (R_{CONBR}) e duas exponenciais (R_{CONBE}), conforme mostrado na Figura 23.

Figura 23 – Associação de resistências utilizadas para calcular a parcela de resistência de contato inferior R_{CONB} considerando o contato aproximado por exponencial.



Fonte: Pereira, 2012, p.63.

A parcela R_{CONBE} é calculada pela equação (54) e R_{CONBR}, referente à parte retangular do contato, é calculada pela equação (35), apresentada na seção de Dixit et al. Portanto, a parcela R_{CONB} para o contato aproximado por exponencial é calculada pela equação (57):

$$R_{CONB} = \frac{\left(\frac{R_{CONBE}}{2}\right) . R_{CONBR}}{\left(\frac{R_{CONBE}}{2}\right) + R_{CONBR}} \tag{57}$$

Finalmente, considerando a associação das parcelas apresentada na Figura 21, o valor de R_{PAR} é calculado pela equação (58):

$$R_{PAR} = [2(R_{EXTUPPER} + R_{CONA})] \parallel [2(R_{EXTLOWER} + R_{CONB})] \tag{58}$$

3.2 MÉTODOS DE EXTRAÇÃO DA RESISTÊNCIA PARASITÁRIA

Nesta seção serão apresentados três métodos de extração da resistência parasitária e a comparação entre eles quando utilizados em FinFETs.

3.2.1 Método de Terada e Muta

No ano de 1979, Terada e Muta [76] propuseram um método para determinação do comprimento efetivo de canal em MOSFETs. Através desse método seria possível também distinguir a resistência parasitária, referente às regiões de fonte e dreno.

A resistência total de um dispositivo MOS (R) é dada pela soma da resistência parasitária (R_{PAR}) com a resistência do canal (R_{CH}), conforme equação (59):

$$R = R_{CH} + R_{PAR} \tag{59}$$

A resistência do canal depende do comprimento efetivo de canal (L_{EFF}) e varia de acordo com a tensão aplicada à porta (V_G), enquanto R_{PAR} permanece constante.

A resistência total do dispositivo também pode ser determinada a partir da equação (60), dividindo o valor da tensão aplicada ao dreno (V_D) pela corrente de dreno (I_{DS}).

$$\mathrm{R} = \frac{V_D}{I_{DS}} \tag{60}$$

Para uma baixa polarização de dreno, ou seja, na região de triodo, a característica da curva de corrente de dreno em função da tensão aplicada à porta (I_{DS} x V_G), pode ser considerada linear.

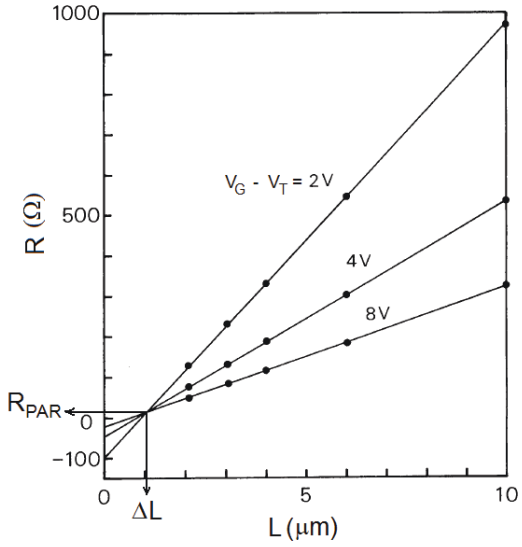
Para determinar L_{EFF}, é necessário definir o termo ΔL, que é a diferença entre o comprimento de máscara (L) e o comprimento efetivo. Essa diferença ocorre devido à difusão lateral das regiões de fonte e dreno e também por imperfeições na litografia e na corrosão [28]. ΔL é calculado pela equação (61):

$$\Delta L = L - L_{EFF} \tag{61}$$

Com base nessas observações, Terada e Muta propuseram um método gráfico que utiliza a curva da resistência total, calculada a partir da equação (60) em função do

comprimento de máscara do canal para diferentes polarizações de porta acima da tensão de limiar (V_G - V_T), conforme mostrado na Figura 24. É possível observar na figura que os valores de R_{PAR} e ΔL são extraídos no ponto de encontro das retas para diferentes polarizações de porta, pois são exatamente os pontos que independem de V_G.

Figura 24 – Método gráfico de extração de ΔL e R_{PAR} a partir da curva da resistência total em função do comprimento de máscara do canal proposto por Terada e Muta.



Fonte: Autor “adaptado de” Terada, 1979, p.3.

3.2.2 Método de Hu et al

Em 1987, Hu et al [77] propuseram um método para extração de R_{PAR} sob a afirmação de que em dispositivos com regiões LDD, além da resistência do canal, a resistência das regiões de fonte e dreno (R_{PAR}) pode também depender de V_G, devido essa região ter interação com o eletrodo de porta.

Portanto, para extrair R_{PAR} para uma determinada tensão V_{GX}, devem ser utilizadas duas tensões de porta V_{G1} e V_{G2}, que são calculadas respectivamente pelas equações (62) e (63):

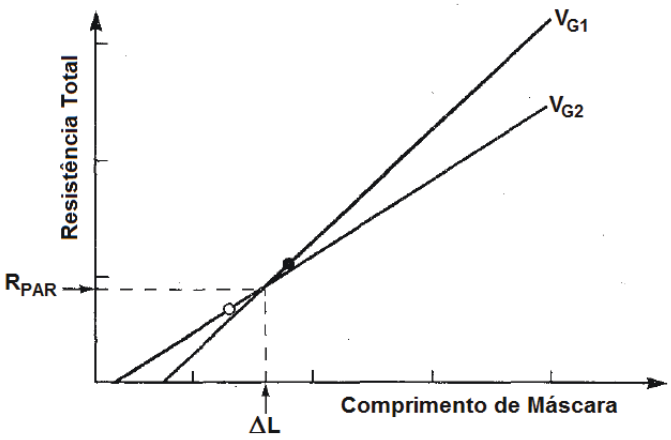
$$V_{G1} = V_{GX} - \frac{1}{2}\Delta V_G \tag{62}$$

$$V_{G2} = V_{GX} + \frac{1}{2}\Delta V_G \tag{63}$$

onde ΔV_G é uma tensão de baixo valor, quanto menor for o valor de ΔV_G, melhor será a solução proporcionada por essa intersecção de retas.

Então, é feito o gráfico da resistência total em função do comprimento de máscara para o par de tensões V_{G1} e V_{G2} e o valor de R_{PAR} e ΔL é extraído no ponto de intersecção das retas, conforme mostrado na Figura 25 [77].

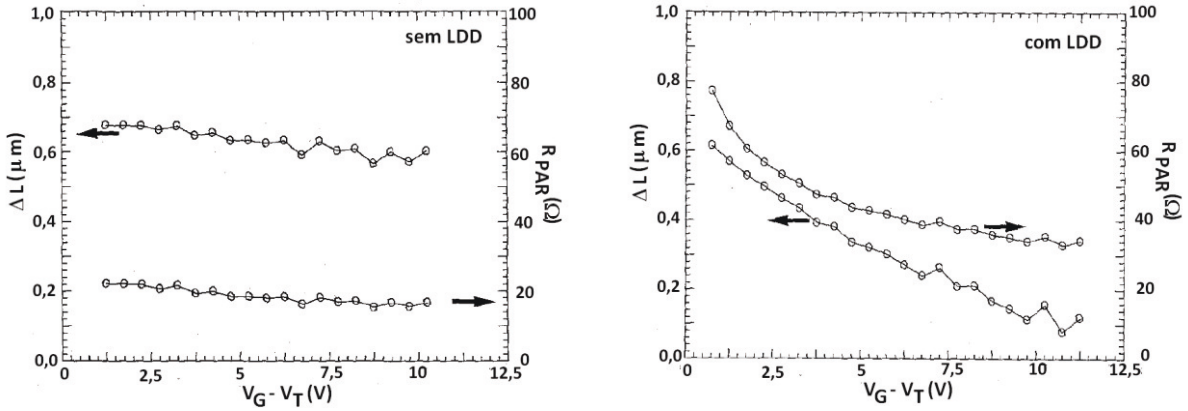
Figura 25 – Método gráfico de extração de ΔL e R_{PAR} a partir da curva da resistência total em função do comprimento de máscara para o par de tensões V_{G1} e V_{G2} proposto por Hu et al.



Fonte: Autor “adaptado de” Hu, 1987, p.2.

Portanto, para cada par de tensões V_{G1} e V_{G2} é encontrado um valor de R_{PAR} e ΔL. Na referência [77], foi demonstrado para MOSFETs convencionais que a variação de R_{PAR} e ΔL com a tensão V_G é pequena para transistores sem região LDD. Porém, para transistores com região LDD há uma grande dependência com V_G, conforme mostrado na Figura 26.

Figura 26 – ΔL e R_{PAR} em função de $V_G - V_T$ extraídos pelo método de Hu et al para: (a) transistor sem região LDD e (b) transistor com região LDD.



(a) (b)

Fonte: Autor "adaptado de" Hu, 1987, p.3-4.

3.2.3 Método de Dixit et al

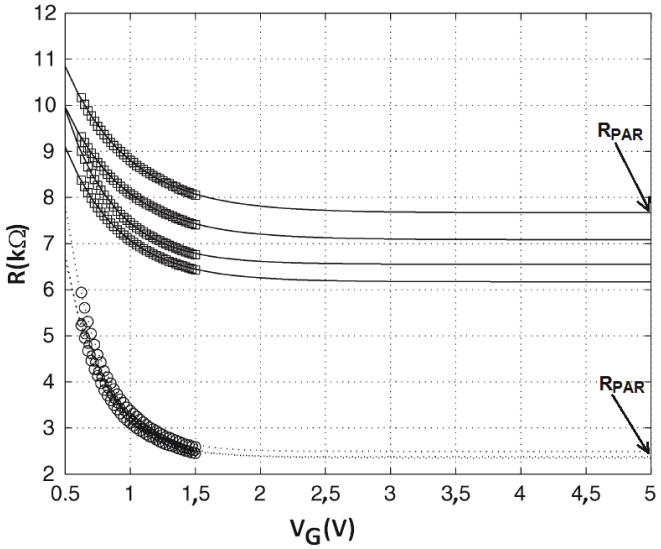
No mesmo trabalho onde Dixit et al propuseram o modelo para cálculo de R_{PAR} em dispositivos de múltiplas portas, eles também propõem um método para extrair essa resistência a partir de curvas $I_{DS}xV_G$ desses dispositivos [69].

O método proposto consiste na observação do comportamento da resistência total (R), calculada através da equação (60), em função da tensão de porta (V_G) para baixas polarizações de dreno (V_D). Notou-se que esta tinha um comportamento exponencial de primeira ordem, pois para valores muito altos de V_G, a resistência total diminui assintoticamente, o que significa que a resistência de canal é desprezível e restando assim apenas o valor de R_{PAR}.

Portanto, a partir das curvas medidas e/ou simuladas é possível ajustar uma função exponencial e extrair R_{PAR}, conforme mostrado na Figura 27 [69]. Na Figura, os símbolos representam a resistência total calculada a partir dos valores medidos para FinFETs com L = 40 nm, W_{FIN} = 18 nm (quadrados) e W_{FIN} = 120 nm (círculos). As linhas são as exponenciais ajustadas e o valor de R_{PAR} foi extraído para V_G = 5V.

Uma facilidade deste método é não precisar medir ou simular dispositivos com comprimentos de canal diferentes.

Figura 27 – Método gráfico de extração de R_{PAR} a partir da curva da resistência total em função da tensão de porta proposto por Dixit et al.



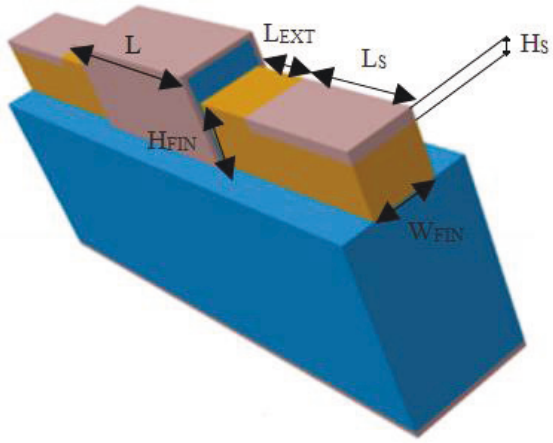
Fonte: Autor “adaptado de” Dixit, 2005, p.5.

3.2.4 Comparação dos Métodos de Extração em Transistores de Porta Dupla Simétricos

Nesta seção, será apresentada a comparação dos três métodos de extração de R_{PAR} apresentados na seção anterior quando utilizados em FinFETs de porta dupla, essa comparação foi realizada por Oka et al e apresentada na referência [78].

Para a comparação, estruturas FinFET de porta dupla conforme a apresentada na Figura 28 foram simuladas no Atlas [37].

Figura 28 – Estrutura FinFET de porta dupla gerada no simulador Atlas para comparação dos métodos de extração de R_{PAR}.



Fonte: Oka, 2016, p.1.

As curvas $I_{DS}xV_G$ para baixa tensão de dreno (V_D = 50mV) foram utilizadas para extrair R_{PAR} pelos três diferentes métodos. A Tabela 2 apresenta as características dos dispositivos simulados.

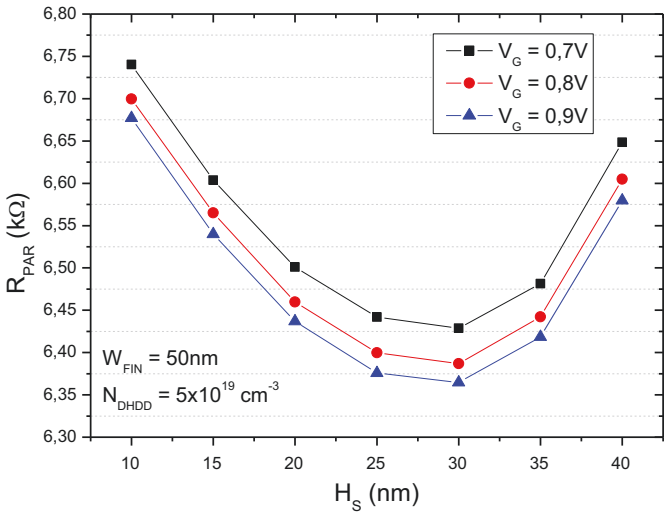
Tabela 2 – Características dos FinFETs simulados para a comparação dos métodos de extração de R_{PAR} [78].

Variável	**Símbolo**	**Valor**
Comprimento de canal	L (nm)	150, 175 e 200
Comprimento das extensões de fonte e dreno	L_{EXT} (nm)	50
Comprimento dos contatos de fonte e dreno	L_S (nm)	100
Largura da aleta	W_{FIN} (nm)	30, 40, 50 e 60
Altura da aleta	H_{FIN} (nm)	50
Espessura do siliceto	H_S (nm)	10, 15, 20, 25, 30, 35 e 40
Concentração de dopantes no canal (tipo p)	N_A (cm^{-3})	$1x10^{15}$
Concentração de dopantes das extensões de fonte e dreno (tipo n)	N_{DEXT} (cm^{-3})	$1x10^{19}$
Concentração de dopantes das regiões HDD de fonte e dreno (tipo n)	N_{DHDD} (cm^{-3})	$1x10^{19}$ e $5x10^{19}$
Resistividade de contato	ρ_C ($\Omega.cm^2$)	$1x10^{-7}$
Espessura do óxido de porta	t_{ox} (nm)	2
Espessura do óxido espesso (*hard-mask*)	t_{HM} (nm)	20

Fonte: Oka, 2016.

A Figura 29 apresenta R_{PAR} em função da profundidade de siliceto extraída pelo método de Hu et al quando utilizadas tensões V_G diferentes, com ΔV_G = 50 mV. Embora o dispositivo possua região LDD, é possível observar que o valor de R_{PAR} não é significativamente alterado com V_G neste caso.

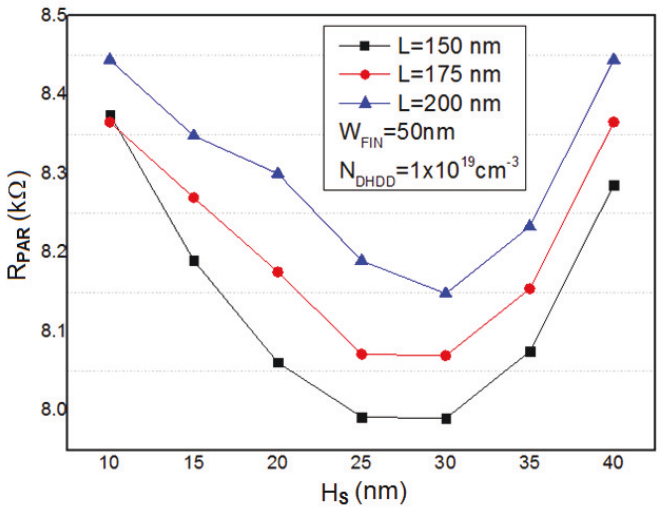
Figura 29 – R_{PAR} x H_S extraída para três tensões de porta diferentes utilizando o método de Hu et al.



Fonte: Oka, 2016, p.2.

A Figura 30 apresenta a resistência parasitária em função de H_S extraída pelo método de Dixit et al para três comprimentos de canal diferentes. É possível observar que R_{PAR} varia ao alterar o comprimento de canal, o que não deveria acontecer uma vez que as características de fonte e dreno são as mesmas para os três dispositivos, mostrando que o ajuste exponencial pode adicionar erros aos valores de R_{PAR}.

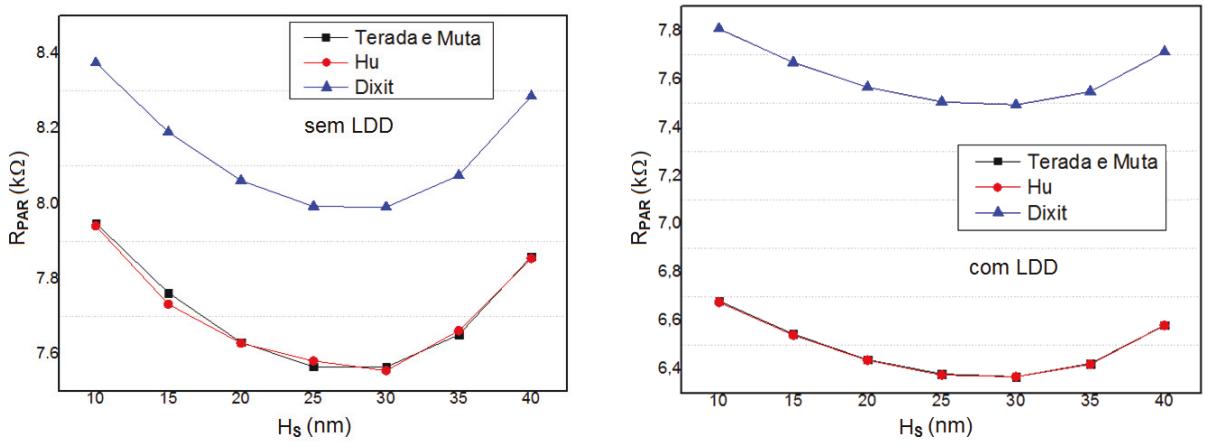
Figura 30 – R_{PAR} x H_S extraída para três comprimentos de canal diferentes utilizando o método de Dixit et al.



Fonte: Oka, 2016, p.3.

A Figura 31 apresenta a comparação de R_{PAR} x H_S extraída pelos três métodos de extração para dispositivos sem região LDD (Figura 31(a)) e com região LDD (Figura 31(b)). É possível observar que os métodos de Terada e Muta e de Hu et al tem resultados muito semelhantes, independentemente de possuir ou não região LDD. Logo, para os dispositivos estudados, os dois métodos se equivalem. O método de Dixit et al apresentou as mesmas tendências para R_{PAR}, porém valores um pouco mais altos.

Figura 31 – R_{PAR} x H_S extraída pelos três métodos diferentes para dispositivos: (a) sem região LDD e (b) com região LDD.

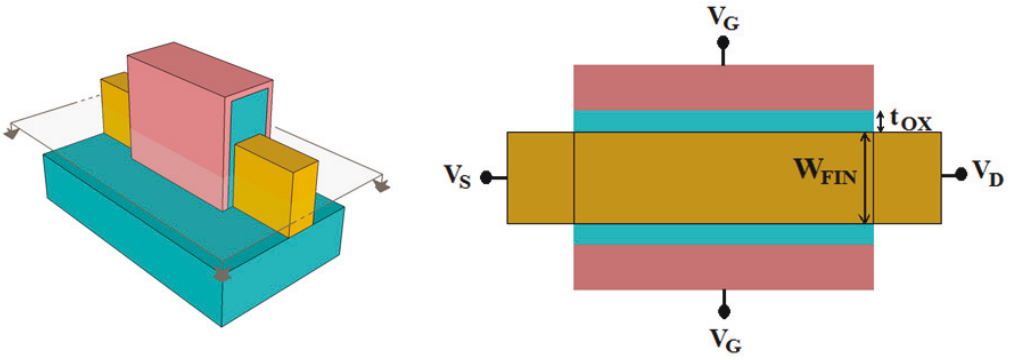


Fonte: Oka, 2016, p.3.

3.3 MODELOS ANALÍTICOS PARA CÁLCULO DA CORRENTE DE DRENO

Os primeiros modelos para corrente em FinFETs foram propostos para dispositivos de porta dupla e canal longo [79] [80] [81]. A estrutura básica utilizada para o desenvolvimento desses modelos é apresentada na Figura 32, onde W_{FIN} é a distância entre as portas ou largura da aleta, t_{OX} é a espessura do óxido de porta, V_G é a tensão aplicada à porta, V_S é a tensão de fonte e V_D é a tensão de dreno. Trata-se de uma estrutura simétrica e bidimensional, onde a corrente pode ser modelada a partir da carga ou dos potenciais de superfície. Conforme observado por Ortiz-Conde et al em [82], independentemente da origem, os modelos se equivalem e descrevem muito bem o comportamento do dispositivo com dopagem intrínseca no canal e de canal longo. Nestas referências, os resultados dos modelos são comparados com simulações numéricas bidimensionais, apresentando resultados precisos sem a necessidade de parâmetros de ajuste, considerando mobilidade constante no canal.

Figura 32 – Estrutura básica de porta dupla utilizada para o desenvolvimento de modelos analíticos de corrente de dreno.



Fonte: Autor.

Os modelos mencionados possuem fundamentação física e continuaram servindo como base para os próximos que surgiram, acrescentando mobilidade variável, efeitos de canal curto, efeitos quânticos, além de dopagem no canal [22] [83] [84] [85] [86]. Porém, ao acrescentar esses efeitos, os modelos se tornam dependentes de parâmetros de ajuste que devem ser retirados das próprias curvas simuladas para ajuste dos modelos. Em sua maioria, esses parâmetros não possuem significado físico, sendo apenas fatores empíricos utilizados para o ajuste das curvas. Na referência [87], o modelo apresentado em [22] é adequado à *bulk* FinFETs de porta tripla a partir do ajuste dos parâmetros com base em curvas experimentais.

Também são propostas evoluções para estruturas FinFET tridimensionais [88] [89] [90] [91] [92] [93] [94] e outras estruturas MuGFETs [95], já considerando efeitos de canal curto e variações nas dopagens do canal. Porém, esses modelos possuem equações mais complexas e também são dependentes de muitos parâmetros de ajuste.

3.3.1 O Modelo SDDGM

O modelo SDDGM (*Symmetric Doped Double Gate MOSFET*) [22] foi proposto por Cerdeira et al em 2008 e calcula analiticamente a densidade de cargas na região do canal através da modelagem dos potenciais de superfície e no centro da região de silício em função da distância entre as portas, da espessura do óxido de porta, da dopagem na região do canal e das tensões aplicadas. A estrutura utilizada para modelagem é a mesma apresentada na Figura 32. Neste trabalho, ele foi utilizado para integrar resistência parasitária modelada fisicamente, que antes fazia parte do modelo apenas como um parâmetro de ajuste. A integração dos modelos será apresentada no capítulo 4, enquanto o modelo original será apresentado nas próximas seções.

3.3.1.1 Cálculo dos Potenciais

O potencial (ϕ_d) expressa a diferença de potencial entre o potencial de superfície (ϕ_S) e o potencial no centro do filme de silício (ϕ_0) da estrutura de porta dupla da Figura 32, conforme equação (64):

$$\phi_d = \phi_S - \phi_0 \tag{64}$$

Com base em cálculo numérico, foi determinada uma expressão empírica para ϕ_d, conforme a equação (65):

$$\phi_d = \frac{\phi_{d1}}{2}[1 - \tanh[30(V_G - V_T - V)]] + \frac{\phi_{d2}}{2}[1 - \tanh[30(V_G - V_T - V)]] \tag{65}$$

onde V é a tensão elétrica aplicada à fonte ou ao dreno, ϕ_{d1} é a diferença de potencial para a condição abaixo do limiar e ϕ_{d2} é a diferença de potencial para a condição acima do limiar. Os valores para ϕ_{d1} e ϕ_{d2} podem ser calculados, respectivamente, pelas equações (66) e (67):

$$\phi_{d1} = \phi_{dBT} + \frac{19}{16}\phi_t \left[\frac{e^{\frac{V_G - V_T - V}{1,1\phi_t}}}{1 + e^{\frac{V_G - V_T - V}{1,1\phi_t}}} \right] \tag{66}$$

$$\phi_{d2} = \frac{\phi_{d2a}}{2}[1 - \tanh[10(\log N_A - \log N_{Amáx})] - 0,5] + \frac{\phi_{d2b}}{2}[1 - \tanh[10(\log N_A - \log N_{Amáx})] - 0,5] \tag{67}$$

onde ϕ_{dBT} é a diferença entre os potenciais de superfície e do centro bem abaixo do limiar, ϕ_t é o potencial térmico, ϕ_{d2a} é a diferença de potencial acima da condição de limiar para $N_A < N_{Amáx}$, ϕ_{d2b} é a diferença de potencial acima da condição de limiar para $N_A > N_{Amáx}$ e $N_{Amáx}$ é a concentração de dopantes na camada de silício quando o potencial no centro atinge o seu valor máximo. São respectivamente calculados pelas equações (68), (69), (70), (71) e (72):

$$\phi_{dBT} = \phi_t . \frac{q_b}{8} . \frac{C_{OX}}{C_{Si}} \tag{68}$$

$$\phi_t = \frac{k.T}{q} \tag{69}$$

$$\phi_{d2a} = \left(\frac{\phi_{dBT}}{3} + \phi_{dM} - 0,042\right) - \left(\frac{\phi_{dBT}}{3} + \phi_{dM} - 0,042 - \phi_{dT}\right) . \left(\frac{1 - \frac{V_G - V_T - V}{V_{GM} - V_T - V}}{1 + 1,35.(V_G - V_T - V)} \right) \tag{70}$$

$$\phi_{d2b} = \left(\frac{\phi_{dBT}}{2} + \phi_{dM} - 0,042\right) - \left(\frac{\phi_{dBT}}{2} + \phi_{dM} - 0,042 - \phi_{dT}\right) . \left(\frac{1 - \frac{V_G - V_T - V}{V_{GM} - V_T - V}}{1 + 0,5.(V_G - V_T - V)} \right) \tag{71}$$

$$N_{Amáx} = \frac{\varepsilon_{Si} . \phi_t}{q . {W_{FIN}}^2} . \left[11,68 + \frac{C_{OX}}{2 \, . \, C_{Si}} + \frac{1}{16} . \left(\frac{C_{OX}}{2 \, . \, C_{Si}} \right)^2 \right] \tag{72}$$

onde q_b é a carga de depleção normalizada, ϕ_{dT} é a diferença de potencial na condição de limiar, $V_{GM} = 2V$ é a máxima tensão que pode ser aplicada à porta do dispositivo e ϕ_{dM} é a

diferença de potencial bem acima da condição de limiar. Seus valores são calculados, respectivamente, pelas equações (73), (74) e (75):

$$q_b = \frac{q.N_A.W_{FIN}}{C_{OX}.\phi_t} \tag{73}$$

$$\phi_{dT} = \phi_t.\frac{q_b}{8}.\frac{C_{OX}}{C_{Si}} + \frac{5}{8}.\phi_t \tag{74}$$

$$\phi_{dM} = 0{,}197 - 0{,}047.t_{OX} + 0{,}0045.{t_{OX}}^2 + 0{,}00418.W_{FIN} - 3.10^{-5}.{W_{FIN}}^2 \tag{75}$$

O potencial de superfície abaixo da condição de limiar (ϕ_{SBT}) é calculado pela equação (76):

$$\phi_{SBT} = V_G - V_{FB} - \frac{q_b.\phi_t}{2} - \phi_t\,.Lambert\,W\left[\frac{q_b}{4}.e^{\frac{V_G - V_{FB} - 2\phi_F - \frac{q_b}{2}\phi_t}{\phi_t}}\right] \tag{76}$$

onde Lambert é uma função matemática descrita em [96].

O potencial de superfície para a condição acima do limiar (77):

$$\phi_{SAT} = V_G - V_{FB} - 2\phi_t\,.Lambert\,W\left[\sqrt{\frac{q_b}{2}.\frac{C_{Si}}{C_{OX}}}.\sqrt{1 - e^{-\alpha_d}}.e^{\frac{V_G - V_{FB} - 2\phi_F - V}{2\phi_t}}\right] \tag{77}$$

onde α_d é a normalização de ϕ_d pelo potencial térmico, conforme equação (78):

$$\alpha_d = \frac{\phi_d}{\phi_t} \tag{78}$$

O potencial de superfície na condição de limiar é calculado pela equação (79):

$$\phi_{ST} = 2\phi_F + \phi_t\,.\ln\left[\frac{C_{OX}}{4C_{Si}}\left(1 + \frac{1}{q_b}\right)\right] \tag{79}$$

Finalmente, o potencial de superfície pode ser calculado pela equação (80):

$$\phi_S = \frac{\phi_{SBT}}{2}[1 - \tanh[10(V_G - V_T - V)]] + \frac{\phi_{SAT}}{2}[1 + \tanh[10(V_G - V_T - V)]] \quad (80)$$

3.3.1.2 Cálculo das Cargas e Tensão de Limiar

A carga normalizada no semicondutor é calculada pela equação (81):

$$q_n = \sqrt{2q_b \frac{C_{Si}}{C_{OX}}}\sqrt{\alpha_d}\sqrt{1 + \frac{1 - e^{-\alpha_d}}{\alpha_d} e^{\frac{\phi_S - 2\phi_F - V}{\phi_t}}} - \frac{q_b}{2} \quad (81)$$

A tensão de limiar é calculada pela equação (82):

$$V_T = V_{FB} + \phi_{ST} + \phi_t \sqrt{2q_b \frac{C_{Si}}{C_{OX}}}\sqrt{\alpha_{dT}}\sqrt{1 + \frac{1 - e^{-\alpha_{dT}}}{\alpha_{dT}} . \frac{C_{OX}}{4C_{Si}} . \left(1 + \frac{1}{q_b}\right)} \quad (82)$$

onde α_{dT} é a diferença de potencial na condição de limiar normalizada, conforme equação (83):

$$\alpha_{dT} = \frac{\phi_{dT}}{\phi_t} \quad (83)$$

3.3.1.3 Cálculo da Corrente de Dreno

A equação contínua para a corrente de dreno (I_{DS}) em todas as regiões de operação para um FinFET de porta dupla de canal longo e considerando a mobilidade constante na região do canal é apresentada em (84):

$$I_{DS} = I_0 \left[\frac{{q_s}^2 - {q_d}^2}{2} + 2(q_s - q_d) - q_b \ln\left(\frac{q_s + q_b}{q_d + q_b}\right)\right] \quad (84)$$

onde q_s é a carga normalizada na fonte e q_d é a carga normalizada no dreno, estas são calculadas a partir da equação (81) substituindo V por V_S para o cálculo de q_s e V por V_D para

o cálculo de q_d. O mesmo deve ser feito para o cálculo dos potenciais apresentados na seção 3.3.1.1. I_0 é calculada pela equação (85):

$$I_0 = 2.\frac{H_{FIN}}{L}\mu\, C_{OX}{\phi_t}^2 \tag{85}$$

onde μ é a mobilidade do portador.

O acréscimo da variação da mobilidade no modelo SDDGM pode ser feita utilizando o modelo proposto por Shirahata et al [97] que considera a degradação da mobilidade na camada de inversão pelo campo elétrico de porta. A expressão para a mobilidade de superfície (μ_S) considerando tal efeito é apresentada em (86):

$$\mu_S = \frac{\mu_0}{\left(1+\frac{\xi_M}{\xi_1}\right)^{P_1} + \left(\frac{\xi_M}{\xi_2}\right)^{P_2}} \tag{86}$$

onde μ_0 é a mobilidade inicial, ξ_1, P_1, ξ_2 e P_2 são parâmetros de ajuste e ξ_M é o campo elétrico médio calculado pela equação (87):

$$\xi_M = \frac{C_{OX}\,\phi_t}{\varepsilon_{si}}\left(\frac{q_s+q_d}{2}+\frac{q_b}{2}\right) \tag{87}$$

Para altos valores de V_D, o efeito da modulação do comprimento de canal deve ser adicionado ao modelo SDDGM. A tensão de saturação é calculada pela equação (88):

$$V_{SAT} = \frac{\phi_t}{\tau}\left[q_s - q_{SAT} + 2\ln\left(\frac{q_s+q_b/2}{q_{SAT}+q_b/2}\right)\right] \tag{88}$$

onde q_{SAT} é a carga normalizada no dreno na saturação e τ é um parâmetro de ajuste.

A tensão de dreno efetiva na saturação é dada pela equação (89):

$$V_{DEFFSAT} = V_{SAT} + \frac{1}{2}\left[\left(V_D - V_{SAT} + \frac{\phi_t}{3}\right) - \sqrt{\left(V_D - V_{SAT} + \frac{\phi_t}{3}\right)^2 + 4\frac{\phi_t}{3}V_{SAT}}\right] \tag{89}$$

A mobilidade para altos valores de V_D é calculada pela equação (90):

$$\mu = \frac{\mu_S}{\sqrt{1 + \left(\frac{\mu_S . V_{DEFFSAT}}{v_{SAT} . L}\right)^2}} \tag{90}$$

onde v_{SAT} é a velocidade de saturação que é igual a $1{,}43 \times 10^7$ cm/s.

O efeito de modulação do comprimento de canal é obtida pela equação (91):

$$\frac{\Delta L}{L} = \Lambda \frac{\lambda}{L}\left[\ln\left(\frac{L}{\lambda}\right) - 1\right] \ln\left(1 + \frac{\mu_0 |V_D - V_{DEFFSATS}|}{v_{SAT} . \lambda}\right) \tag{91}$$

onde ΔL é a variação do comprimento de canal, λ é o comprimento natural para a estrutura de porta dupla apresentado na seção 2.1.3.3, Λ é um parâmetro de ajuste. $V_{DEFFSATS}$ é uma tensão de dreno efetiva que considera o efeito de $V_{DEFFSAT}$ na região de sublimiar e é calculada por (92):

$$V_{DEFFSATS} = \frac{V_D}{2}\left[1 - \tanh\left[3\left(1 - \frac{V_G}{V_T}\right)\right]\right] + \frac{V_{DEFFSAT}}{2}\left[1 + \tanh\left[3\left(1 - \frac{V_G}{V_T}\right)\right]\right] \tag{92}$$

A expressão para I_{DS} levando em consideração o efeito de modulação do comprimento de canal é apresentada na equação (93):

$$I_{DS} = \frac{I_0\left[\frac{{q_s}^2 - {q_d}^2}{2} + 2(q_s - q_d) - q_b \ln\left(\frac{q_s + q_b}{q_d + q_b}\right)\right]}{\left(1 - \frac{\Delta L}{L}\right)} \tag{93}$$

O numerador da equação (93) é a própria equação (84), sendo que μ presente em I_0 deve utilizar o valor calculado pela equação (90).

Finalmente, a equação para I_{DS} levando em consideração a degradação da corrente pela resistência parasitária (R_{PAR}) é apresentada em (94):

$$I_{DS} = \frac{I_0 \left[\frac{{q_s}^2 - {q_d}^2}{2} + 2(q_s - q_d) - q_b \ln\left(\frac{q_s + q_b}{q_d + q_b}\right) \right]}{\left(1 - \frac{\Delta L}{L}\right) . \left[1 + 2C_{OX} . \frac{W_{EFF}}{L} . \mu . R_{PAR} . \left(V_G - V_T - \left(\frac{1}{2} + \frac{C_{Si}}{C_{OX} + C_{Si}} \right) . V_{DEFFSAT} \right) \right]} \quad (94)$$

onde W_{EFF} é a largura efetiva do canal do transistor ($2H_{FIN}$) e R_{PAR} é um parâmetro de ajuste.

4 AVALIAÇÃO DOS MODELOS PARA TRANSISTORES DE PORTA DUPLA SIMÉTRICOS

Neste capítulo é feita a avaliação dos modelos de resistência parasitária apresentados no capítulo 3. Além disso, é feita a proposta e avaliação de complementação do modelo SDDGM ao eliminar um parâmetro de ajuste e acrescentar a resistência parasitária calculada fisicamente.

4.1 AVALIAÇÃO DOS MODELOS DE RESISTÊNCIA PARASITÁRIA A PARTIR DE SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Para avaliar quantitativamente se os modelos calculam com precisão os valores da resistência parasitária extraídos das simulações, foi utilizado o cálculo do erro percentual conforme equação (95):

$$Erro\ percentual = \frac{|Valor\ simulado - Valor\ calculado|}{Valor\ simulado}.100 \quad (95)$$

O termo valor simulado na equação (95) representa o valor extraído das simulações e o termo valor calculado é o valor de R_{PAR} calculado a partir de cada modelo analítico apresentados nas seções 3.1.1, 3.1.2 e 3.1.3.

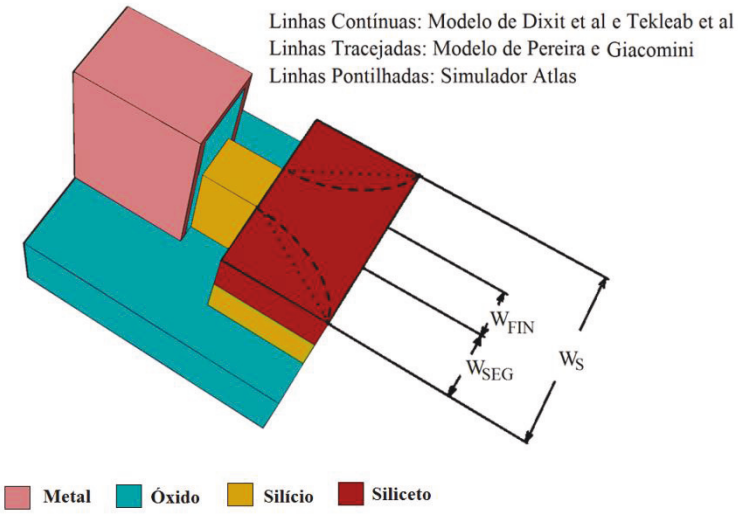
Como nenhum dos modelos contém parâmetros de ajuste, utilizando como entrada apenas as dimensões e resistividades das regiões de fonte e dreno, foi considerado que erros percentuais de até 10% são aceitáveis para prever adequadamente o valor de R_{PAR} em FinFETs.

4.1.1 Metodologia

As simulações deste trabalho foram feitas utilizando o simulador de dispositivos Atlas [37], da empresa Silvaco. A Figura 33 apresenta a comparação entre as diferentes geometrias de contato consideradas pelos modelos que serão avaliados e a geometria simulada. É possível observar que os modelos de Dixit et al e Tekleab et al consideram a geometria de contato retangular, ou seja, W_{SEG} é constante. O modelo de Pereira e Giacomini considera que W_{SEG} aumenta exponencialmente ao longo do comprimento de contato L_S. No simulador Atlas,

foram descritos contatos trapezoidais, pois se aproximam da geometria real dos dispositivos experimentais sem utilizar um tempo muito grande de simulação. De acordo com [74], os contatos trapezoidais podem ser utilizados para avaliação do modelo com contato exponencial.

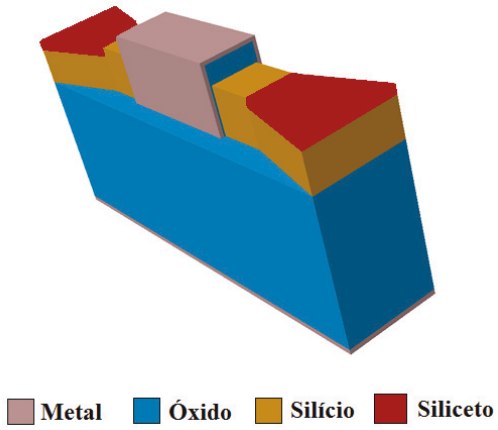
Figura 33 – Comparação entre as geometrias de contato dos modelos que serão avaliados e a geometria utilizada nas simulações.



Fonte: Autor.

A Figura 34 apresenta a visualização de uma das estruturas FinFET de porta dupla tridimensionais com contato trapezoidal gerada pelo simulador Atlas. O simulador Atlas é baseado em um conjunto de equações físicas que permitem obter características elétricas associadas às estruturas descritas e às condições de polarização. O dispositivo a ser simulado é descrito através de uma grade de pontos (*grid*). Para cada cruzamento das linhas de grade, chamado de nó (*node*), o simulador resolve numericamente esse conjunto de equações. Portanto, em todos os nós, independentemente do tipo de geometria simulado, todas as equações serão resolvidas levando em consideração os modelos físicos definidos no arquivo de entrada.

Figura 34 – Estrutura FinFET de porta dupla com contato trapezoidal gerada pelo simulador Atlas.



Fonte: Autor.

As características de fonte e dreno dos transistores simulados foram definidas de acordo com valores compatíveis para a tecnologia de 45 nm presentes em dispositivos fabricados e caracterizados nas referências [21], [75] e [98].

A Tabela 3 apresenta as características dos dispositivos simulados com contato trapezoidal para avaliação dos modelos de resistência parasitária.

Tabela 3 – Características dos dispositivos simulados para avaliação dos modelos de R_{PAR}.

L (nm)	150, 175 e 200
L_{EXT} (nm)	30, 40 e 50
L_S (nm)	50, 75 e 100
W_{FIN} (nm)	30, 40, 50, 60, 70, 80, 90 e 100
W_{SEG}(nm)	25 e 50
H_{FIN} (nm)	50
H_S (nm)	10, 15, 20, 25, 30, 35 e 40
N_A (cm^{-3})	$1x10^{15}$
N_{DEXT} (cm^{-3})	$1x10^{18}$, $5x10^{18}$ e $1x10^{19}$
N_{DHDD} (cm^{-3})	$1x10^{19}$ e $5x10^{19}$
ρ_C ($\Omega.cm^2$)	$1x10^{-7}$, $2x10^{-8}$, $1x10^{-8}$, $8x10^{-9}$ e $5x10^{-9}$
t_{OX} (nm)	2
t_{HM} (nm)	20

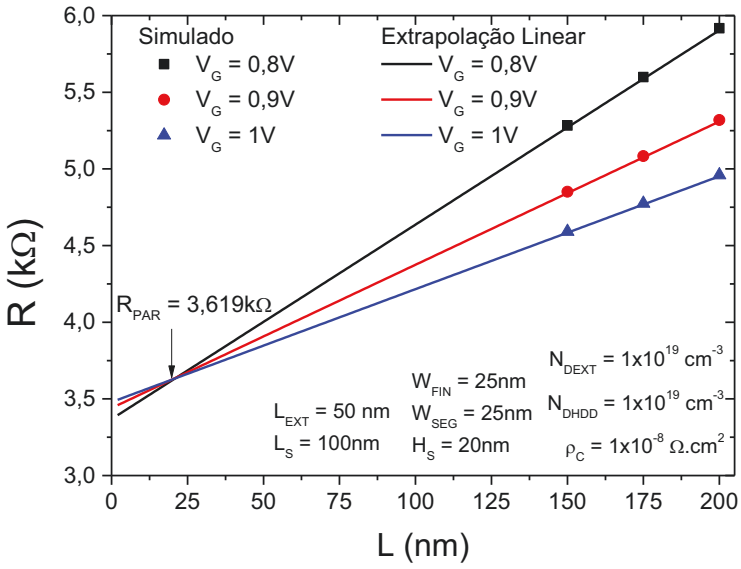
Fonte: Autor.

Foram utilizados nas simulações os modelos físicos abaixo [37]:

a) Fermi: modelo que utiliza a estatística de portadores de Fermi-Dirac para solução das equações;
b) BGN (*Band Gap Narrowing*): modelo que trata do estreitamento da faixa proibida, importante para regiões com altas dopagens;
c) SRH (Shockley-Read-Hall): modelo de geração e recombinação de portadores com tempo de vida de portadores fixo;
d) Analytic: modelo de mobilidade que leva em consideração a degradação da mobilidade das regiões dependente da concentração de dopantes e da temperatura.

Todas as simulações foram feitas para a região de triodo com polarização de dreno (V_D) de 50 mV, com tensão de porta (V_G) variando de 0 a 1,5 V e tensão de substrato zero (V_{GB}=0). A tensão de limiar de todos os transistores é 0,4 V, ou seja, não houve variação de V_T com L. As curvas I_{DS} x V_G para três os comprimentos de canal simulados foram utilizadas para extrair R_{PAR} utilizando o método de Terada e Muta [76], apresentado na seção 3.2.1. Foram utilizados três valores de polarização de porta, V_G = 0,8; 0,9 e 1,0 V, para o cálculo da resistência total R. Foram feitos os gráficos da resistência total em função do comprimento de canal e através da extrapolação das três retas para cada polarização de porta, o valor de R_{PAR} foi extraído no ponto de cruzamento das retas. Para todas as extrações, as retas cruzaram-se no mesmo ponto. A Figura 35 apresenta um exemplo de extração de R_{PAR} para o dispositivo simulado com W_{FIN} = 50nm e H_S = 20nm.

Figura 35 – Exemplo de extração de R_{PAR} utilizando o método de Terada e Muta.



Fonte: Autor.

Para comparação dos modelos com as simulações, as resistividades das regiões de fonte e dreno foram calculadas a partir da mobilidade fornecida pelo arquivo de estrutura gerado pelo simulador. A equação (96) foi utilizada para o cálculo dessas resistividades [2]

$$\rho = \frac{1}{q \,.\, \mu \,.\, N} \tag{96}$$

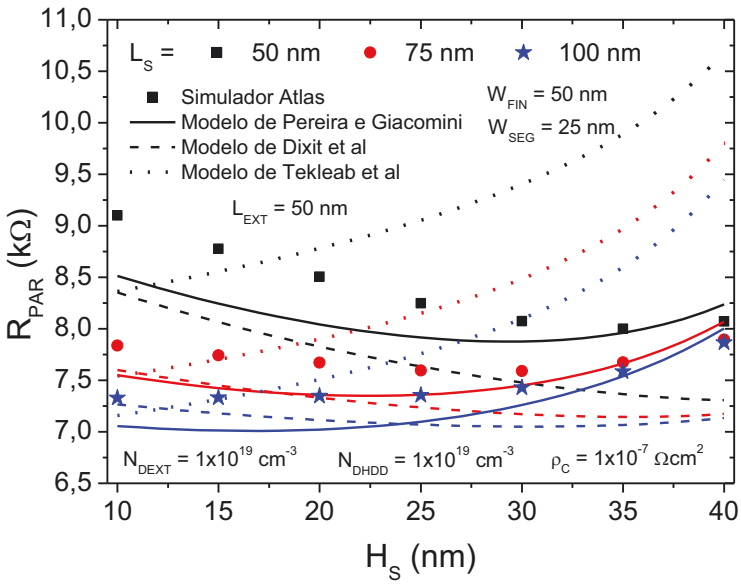
onde ρ é a resistividade da região, μ é a mobilidade da região e N é a concentração de dopantes da região.

As demais entradas necessárias para o cálculo de R_{PAR} a partir dos modelos analíticos foram descritas no próprio simulador, conforme apresentado na Tabela 3.

4.1.2 Resultados Obtidos

A Figura 36 apresenta a dependência de R_{PAR} com a profundidade de siliceto para três comprimentos de siliceto. É possível observar que para o comprimento de contato (L_S) de 75 nm R_{PAR} decresce até H_S = 30 nm, acima dessa profundidade a área inferior de contato diminui, aumentando assim o valor de R_{PAR}. O modelo de Pereira e Giacomini foi o que apresentou melhor resultado, com erro percentual máximo de 4,9%. O erro percentual máximo do modelo de Dixit et al foi 7,2% e para o modelo de Tekleab et al foi 32.4%. O erro do modelo de Dixit et al cresce com o aumento de H_S, pois a parcela R_{CONB} se torna mais significativa em R_{PAR} e, consequentemente, a geometria de contato também, conforme comparação entre as geometrias mostrada na Figura 33. Para o modelo de Tekleab et al, os erros com o aumento de H_S foram ainda maiores pois a parcela de resistência do contato lateral (R_{CONA}) não é considerada no modelo, mostrando que a aproximação deste caso para um contato superficial leva a valores errados de R_{PAR}. De acordo com a ITRS [15], o valor de R_{PAR} deve estar próximo de 300 Ω.μm de largura da aleta para que o FinFET não sofra tanto com a degradação da corrente. Para os dispositivos da Figura 36, com W_{FIN} = 50 nm, o valor de R_{PAR} deve estar em torno de 6 kΩ, o que não foi observado para nenhum dos casos da Figura 36, mostrando que as resistividades e comprimentos das regiões de fonte e dreno estão fora das exigências para os próximos nós tecnológicos.

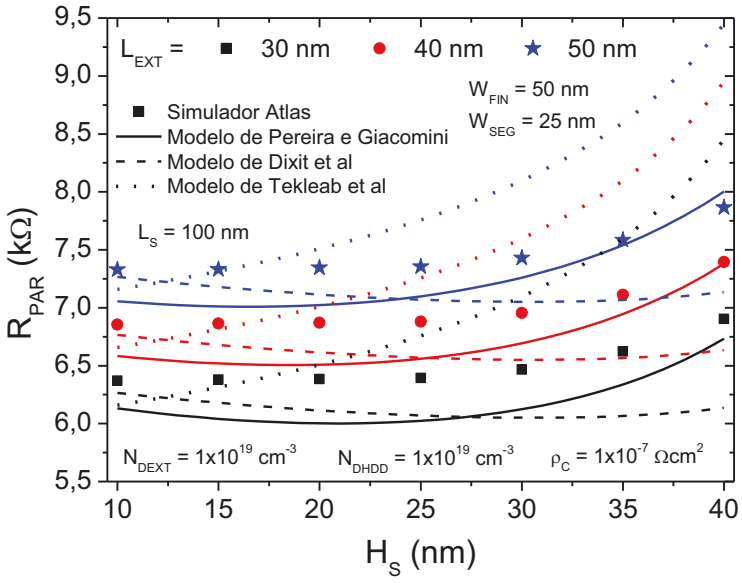
Figura 36 – R_{PAR} em função da profundidade de siliceto para três comprimentos de siliceto e resistividade de contato (ρ_C) de $1x10^{-7}$ $\Omega.cm^2$.



Fonte: Autor.

A Figura 37 apresenta a dependência de R_{PAR} com a profundidade de siliceto para três comprimentos de extensão de fonte e dreno. É possível observar que o modelo que reproduz melhor a tendência de R_{PAR} é o modelo de Pereira e Giacomini, que apresentou erro percentual máximo de 4,3%. O erro percentual máximo do modelo de Dixit et al foi 11,1% e do modelo de Tekleab et al foi 22,4%. A piora dos modelos de Dixit et al e Tekleab et al com o aumento de H_S foi novamente observado. Neste caso, para os comprimentos de extensão (L_{EXT}) menores, os valores de R_{PAR} já ficam mais próximos dos 6 kΩ recomendados pela ITRS.

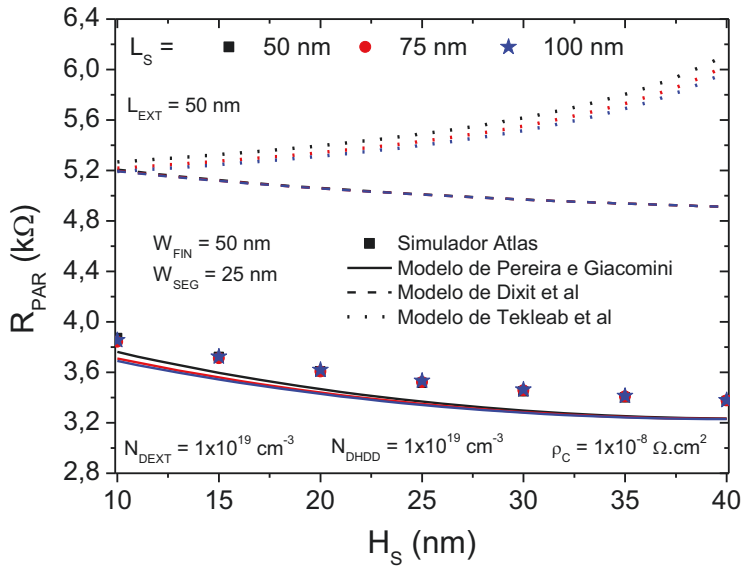
Figura 37 – R_{PAR} em função da profundidade de siliceto para três comprimentos de extensão de fonte e dreno e resistividade de contato (ρ_C) de $1x10^{-7}$ $\Omega.cm^2$.



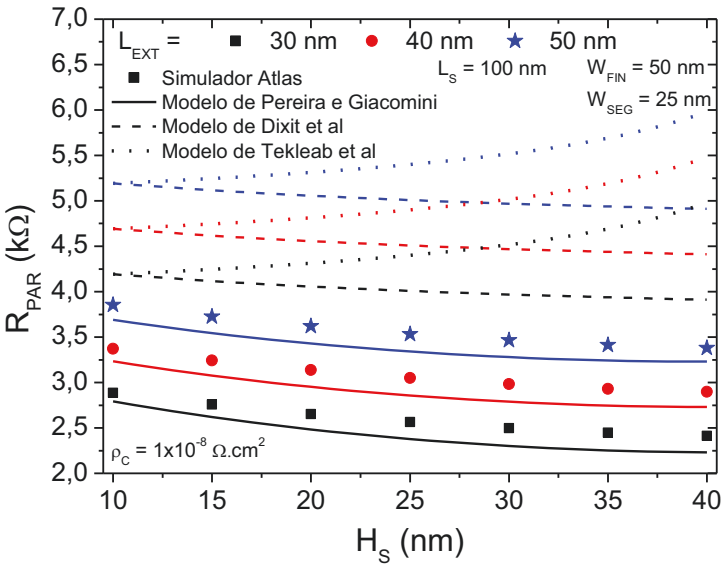
Fonte: Autor.

A Figura 38 apresenta a dependência de R_{PAR} com a profundidade de siliceto para três comprimentos de siliceto (38(a)) e três comprimentos de extensão de fonte e dreno (38(b)), mas agora considerando uma resistividade de contato menor, $\rho_C = 1x10^{-8}$ $\Omega.cm^2$. Ao reduzir em uma ordem de grandeza a resistividade de contato, o comprimento de transferência (L_T) definido na equação (48) necessário para a passagem de corrente também é reduzido, para cerca de 25 nm. Por este motivo, na Figura 38(a), R_{PAR} tem aproximadamente os mesmos valores para os três comprimentos de siliceto analisados. Além disso, em ambos os casos (38(a) e 38(b)), o aumento em R_{PAR} com H_S não é observado, pois o baixo valor de L_T não demanda uma maior área abaixo do siliceto, fazendo com que as demais parcelas de resistências sejam dominantes no comportamento de R_{PAR}. Nota-se também que ao diminuir a resistividade de contato os valores de R_{PAR} passam a atender o valor recomendado de 6 kΩ nesses dispositivos, ficando inclusive abaixo, em torno de 4 kΩ. Neste caso, o erro percentual máximo do modelo de Pereira e Giacomini foi de 7,9%. O erro percentual máximo para o modelo de Dixit et al foi 62,1% e para o modelo de Tekleab et al foi 81,5%. Os modelos de Dixit et al e Tekleab et al tiveram uma piora, devido aos altos valores da parcela de espraiamento (R_{SP1}). Ou seja, a associação e análise proposta para as parcelas de extensão de fonte e dreno por Pereira et al descreve melhor o comportamento da corrente no dispositivo.

Figura 38 – R_{PAR} em função da profundidade de siliceto e resistividade de contato (ρ_C) de $1x10^{-8}$ $\Omega.cm^2$: (a) para três comprimentos de siliceto (L_S) e (b) para três comprimentos de extensão de fonte e dreno (L_{EXT}).



(a)



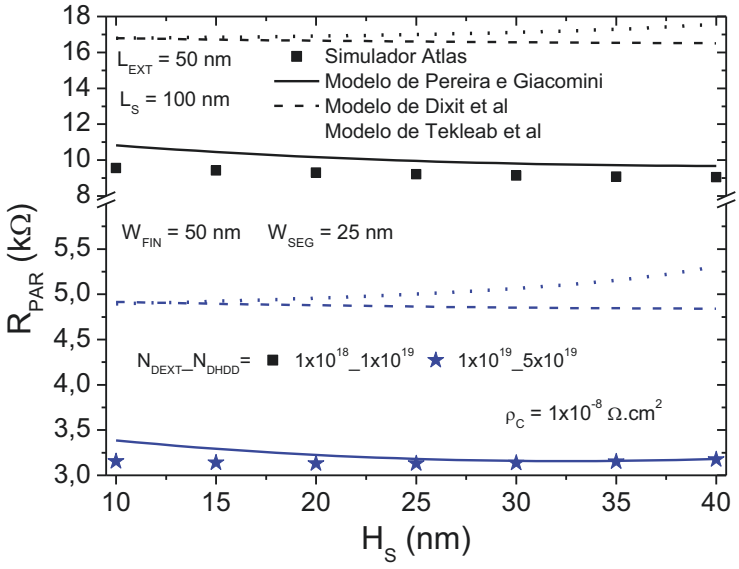
(b)

Fonte: Autor.

A Figura 39 apresenta a dependência de R_{PAR} com a profundidade de siliceto alterando a concentração de dopantes das regiões de extensão de dreno (N_{DEXT}) e regiões fortemente dopadas de fonte e dreno (N_{DHDD}). Nota-se que a redução de uma ordem de grandeza na concentração de dopantes nas regiões de extensão de fonte e dreno aumenta os valores de R_{PAR} para mais que o dobro. Esta sensibilidade de R_{PAR} em relação à concentração de dopantes das regiões de extensão é maior devido à baixa resistividade de contato, $\rho_C = 1x10^{-8}$ $\Omega.cm^2$, o que torna as parcelas de resistência de contato menos significativas. Por este mesmo

motivo, ao alterar a concentração de dopantes das regiões fortemente dopadas (abaixo do siliceto), a diferença gerada em R_{PAR} é de apenas 20%. O modelo proposto por Pereira e Giacomini apresentou erro percentual máximo de 9,3%, enquanto o modelo de Dixit et al apresentou erro de 82,5% e o modelo de Tekleab et al de 94,4%.

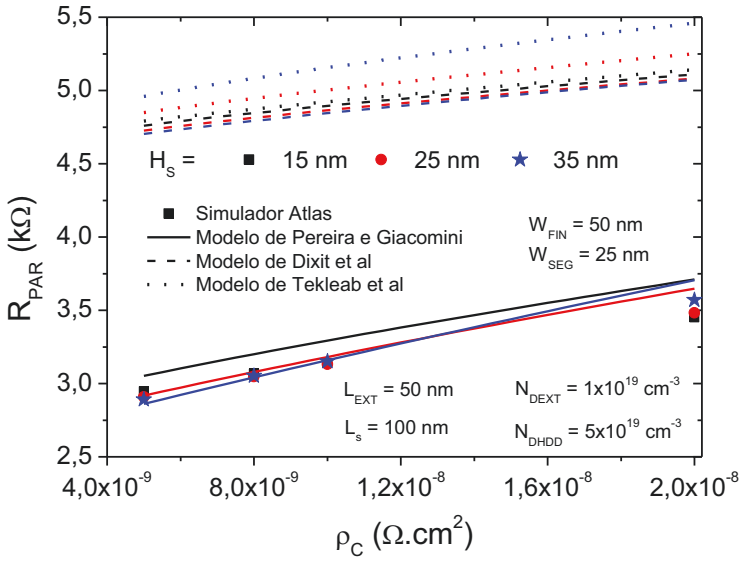
Figura 39 – R_{PAR} em função da profundidade de siliceto alterando as concentrações de dopantes das regiões de extensão de fonte e dreno (N_{DEXT}) e das regiões fortemente dopadas (N_{DHDD}).



Fonte: Autor.

A Figura 40 apresenta a dependência de R_{PAR} com a resistividade de contato para três valores de profundidade de siliceto H_S. Para a faixa inicial de resistividades de contato, a resistência parasitária diminui com o aumento de H_S. Porém, a partir de $\rho_C = 1.4x10^{-8}$ $\Omega.cm^2$, há uma mudança na tendência de R_{PAR} com H_S, ou seja, R_{PAR} aumenta com o aumento de H_S. Isto ocorre, pois com o aumento de ρ_C, o comprimento de transferência L_T aumenta também, necessitando da área total abaixo do siliceto para a passagem da corrente. Uma vez que a menor área abaixo do siliceto ocorre no caso em que H_S = 35 nm, este será o caso com o maior valor de R_{PAR}. O modelo de Pereira e Giacomini reproduz bem esta mudança na tendência de R_{PAR}, apresentando erro percentual máximo de 4,7% em comparação com os dados de simulação. Os modelos de Dixit et al e Tekleab et al apresentaram, respectivamente, erros percentuais máximos de 62,7% e 71,5%.

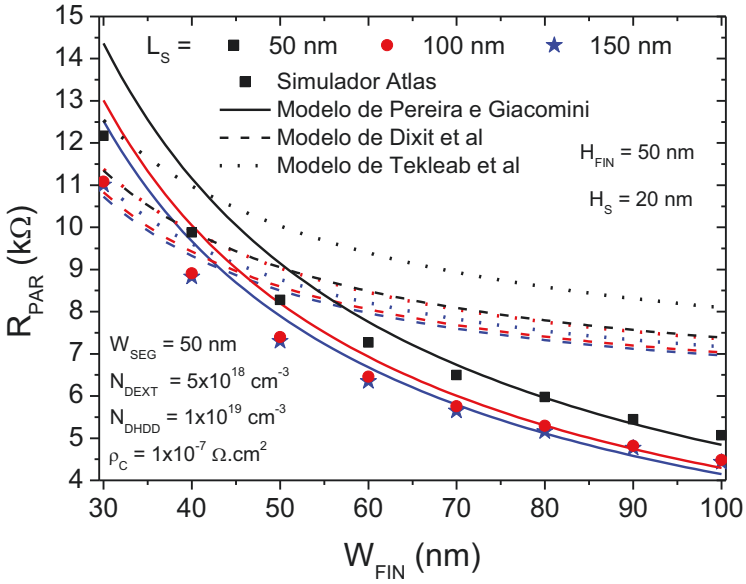
Figura 40 – R_{PAR} em função da resistividade de contato para profundidades de siliceto diferentes.



Fonte: Autor.

A Figura 41 apresenta a dependência de R_{PAR} com a largura da aleta (W_{FIN}) para três comprimentos de siliceto. É possível observar que os resultados para os comprimentos de siliceto de 100 e 150 nm são praticamente os mesmos, pois o comprimento de transferência neste caso é de 70 nm. Além disso, nota-se que R_{PAR} é muito sensível à variação de W_{FIN} e o modelo de Pereira e Giacomini foi o que melhor representou esta tendência, apresentando erro percentual máximo de 13,6%. Os modelos de Dixit et al e Tekleab et al apresentaram erros pequenos para o início da faixa de W_{FIN}. Porém, para menores resistividades de contato, que é uma exigência da ITRS [15] para a continuidade de escalamento em FinFETs, os erros desses modelos tendem a ser maiores, conforme apresentado nas Figuras 38, 39 e 40.

Figura 41 – R_{PAR} em função da largura da aleta para comprimentos de siliceto diferentes.



Fonte: Autor.

A Tabela 4 apresenta a síntese dos erros percentuais máximos apresentados nas Figuras 36 a 41. Nota-se que o modelo de Pereira e Giacomini foi o que apresentou os melhores resultados para todas as características de fonte e dreno estudadas, mostrando que pode ser o mais adequado para prever os valores R_{PAR} em FinFETs.

Tabela 4 – Comparação dos erros percentuais máximos dos três modelos analíticos quando comparados às simulações.

	Erro máximo (%)		
Características	**Modelo de Dixit et al**	**Modelo de Tekleab et al**	**Modelo de Pereira e Giacomini**
$\rho_C = 10^{-7}$ Ω.cm² e diferentes L_S	7,2	32,4	4,9
$\rho_C = 10^{-7}$ Ω.cm² e diferentes L_{EXT}	11,1	22,4	4,3
$\rho_C = 10^{-7}$ Ω.cm² e diferentes W_{FIN}	57,2	64,0	13,6
$\rho_C = 10^{-8}$ Ω.cm² e diferentes L_S	45,6	81,5	5,4
$\rho_C = 10^{-8}$ Ω.cm² e diferentes L_{EXT}	62,1	106,4	7,9
$\rho_C = 10^{-8}$ Ω.cm² e diferentes N_D	82,5	94,4	9,3
Diferentes ρ_C	62,7	71,5	4,7

Fonte: Autor.

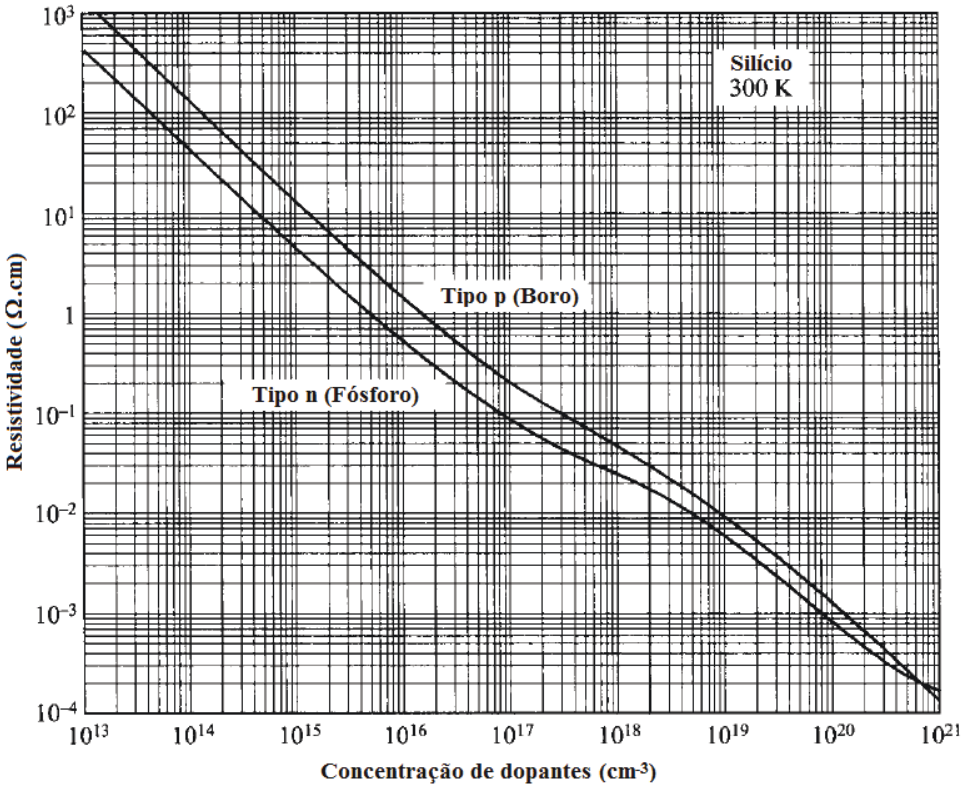
4.2 AVALIAÇÃO DOS MODELOS DE RESISTÊNCIA PARASITÁRIA A PARTIR DE RESULTADOS EXPERIMENTAIS

Nesta seção, os três modelos analíticos para cálculo da resistência parasitária apresentados serão avaliados quando comparados a valores experimentais de R_{PAR}.

4.2.1 Metodologia

Foram utilizadas três referências experimentais: [99], [75] e [100]. Essas referências foram escolhidas pois além de fornecerem os valores de R_{PAR}, forneciam também as resistividades de contato do siliceto e fotos das regiões de fonte e dreno com as quais foram possíveis determinar os valores de L_S e W_{SEG}. Além disso, a partir das dopagens das regiões de extensão (N_{DEXT}) e das regiões HDD (N_{DHDD}) foi possível determinar as suas resistividades (ρ_{EXT} e ρ_{HDD}) a partir dos valores empíricos apresentados na Figura 42 [2].

Figura 42 – Resistividade em função da concentração de dopantes no silício em temperatura ambiente.



Fonte: Autor “adaptado de” Sze, 1981, p. 32.

As características de fonte e dreno coletadas nas respectivas referências e que foram utilizadas como entradas para o cálculo de R_{PAR} a partir de cada modelo são apresentadas na Tabela 5. Essas características também foram utilizadas para criar estruturas com contatos trapezoidais no simulador Atlas. Nenhuma curva simulada foi ajustada com as curvas experimentais, apenas foram descritos no simulador FinFETs com as características de fonte e dreno da Tabela 5. Somente as características da Tabela 5 são necessárias para calcular os valores de resistência parasitária para os três modelos, sem a necessidade de nenhum parâmetro de ajuste.

Tabela 5 – Características de fonte e dreno dos FinFETs experimentais estudados nas referências [99], [75] e [100].

Característica	Referência [99]	Referência [75]	Referência [100]
H_{FIN} (nm)	60	65	60
H_S (nm)	30	20	30
L_{EXT} (nm)	80	40	45
L_S (nm)	8000	150	150
W_{SEG} (nm)	500	95	30
ρ_{EXT} (Ω.cm)	$6x10^{-3}$	$6x10^{-3}$	$6x10^{-4}$
ρ_{HDD} (Ω.cm)	$6{,}7x10^{-4}$	$6{,}7x10^{-4}$	$6x10^{-4}$
ρ_C (Ω.cm^2)	$1x10^{-6}$	$1x10^{-6}$	$3x10^{-7}$

Fonte: Autor.

Os valores calculados e simulados foram comparados aos valores experimentais de R_{PAR} apresentados nas referências. Os erros percentuais foram calculados em relação aos valores experimentais, conforme mostrado na equação (97):

$$Erro\ percentual = \frac{|Valor\ experimental - Valor\ calculado|}{Valor\ experimental}.100 \quad (97)$$

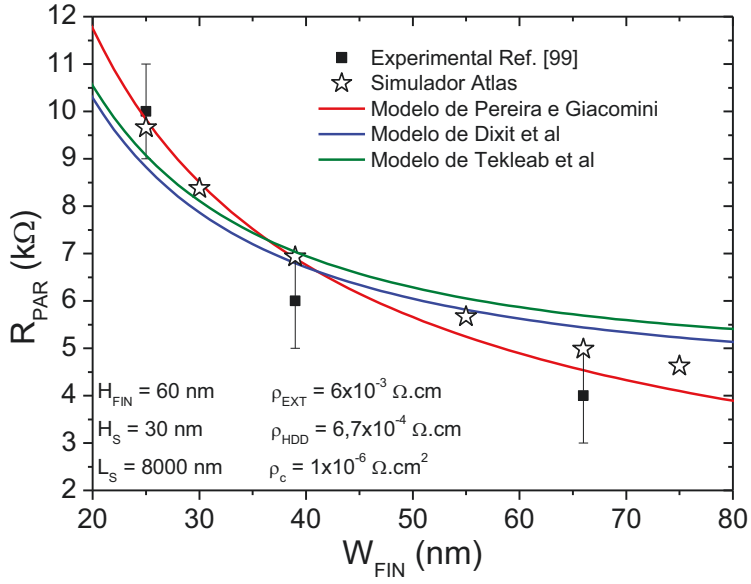
Além disso, foram calculados os erros percentuais médios de acordo com a quantidade de pontos experimentais de R_{PAR} disponíveis, conforme mostrado na equação (98):

$$Erro\ percentual\ médio = \frac{\sum Erros\ percentuais}{Quantidade\ de\ pontos\ experimentais} \quad (98)$$

4.2.2 Resultados Obtidos

A Figura 43 apresenta os valores experimentais de R_{PAR} do NMOS FinFET estudado na referência [99] , os resultados extraídos do simulador Atlas e os valores calculados a partir dos modelos analíticos apresentados na seção 3.1. A barra de erro representada nos pontos experimentais referem-se à escala de leitura do valor no gráfico da referência [99], de onde esses valores foram retirados. É possível observar que os resultados de simulação ficaram muito próximos dos pontos experimentais, mostrando que a simulação numérica de dispositivos é uma ferramenta confiável para a análise da resistência parasitária nesses dispositivos, mesmo quando não é feito o ajuste com os valores experimentais. O modelo de Pereira e Giacomini foi o mais adequado em comparação aos dados experimentais, apresentando erro percentual máximo de 13,4% e erro percentual médio de 9,2%. O modelo de Dixit et al apresentou erro percentual máximo de 34,8% e erro percentual médio de 19,8%. O modelo de Tekleab et al apresentou erro percentual máximo de 42,3% e erro percentual médio de 22,9%. O modelo de Tekleab et al apresentou os maiores erros pois foi desenvolvido para dispositivos com contatos peliculares de fonte e dreno. Portanto, é feita uma aproximação considerando apenas a superfície de contato das regiões HDD, desprezando a área de contato lateral, que para este dispositivo representa metade da altura da aleta. O modelo de Dixit et al teve uma resposta um pouco melhor, mas ainda assim o modelo de Pereira e Giacomini reproduziu melhor o comportamento experimental de R_{PAR}, portanto, é o modelo que possui a geometria mais próxima dos dispositivos reais.

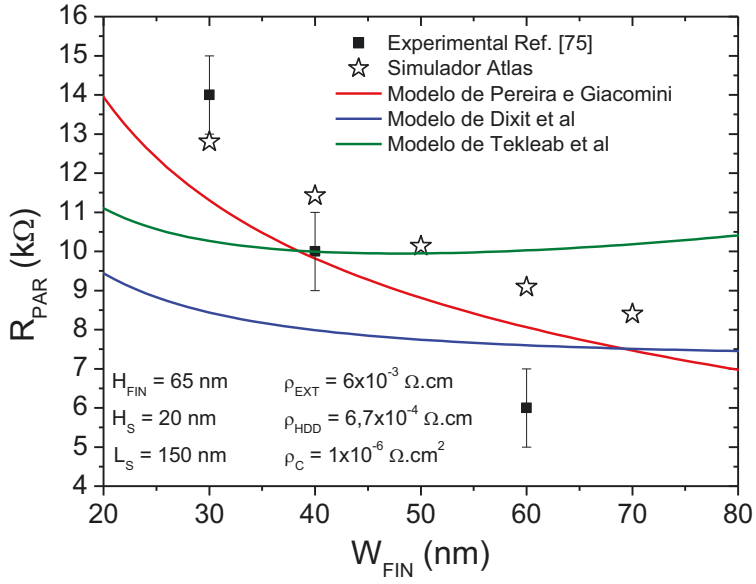
Figura 43 – Valores experimentais de R_{PAR} da referência [99] em função da largura da aleta (W_{FIN}) em comparação com simulações do Atlas e modelos.



Fonte: Autor.

A Figura 44 apresenta os valores experimentais de R_{PAR} do NMOS FinFET estudado na referência [75] em função da largura da aleta, onde a barra de erro representa a escala de leitura dos valores de R_{PAR} apresentados graficamente em [75]. Neste caso, para o dispositivo mais largo, com W_{FIN}=60nm, houve uma diferença grande entre o valor simulado e medido, essa diferença pode ser proveniente do valor de W_{SEG} que foi extraído a partir da foto do dispositivo com W_{FIN} mais estreito, portanto não é possível afirmar que o valor de W_{SEG} é o mesmo para os três dispositivos. De qualquer forma, tanto as simulações quanto o modelo de Pereira e Giacomini descreveram bem o comportamento de R_{PAR} nesse dispositivo. Os erros dos modelos de Dixit et al e Tekleab et al foram maiores do que na Figura 43, pois neste dispositivo o comprimento de transferência é de 820 nm, bem maior do que o comprimento de siliceto (L_S) de 150 nm, logo, a geometria de contato é mais significativa em R_{PAR}.

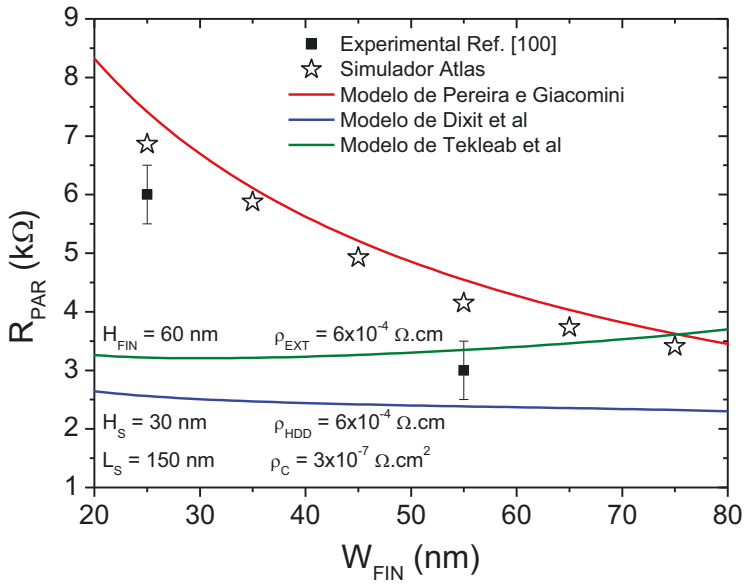
Figura 44 – Valores experimentais de R_{PAR} da referência [75] em função da largura da aleta (W_{FIN}) em comparação com simulações do Atlas e modelos.



Fonte: Autor.

A Figura 45 apresenta os valores experimentais de R_{PAR} do FinFET de porta tripla com 5 aletas estudado na referência [100] em função da largura da aleta e sua comparação com as simulações e os modelos de R_{PAR}. A barra de erro nos valores experimentais tem o mesmo significado explicado nas Figuras 43 e 44. Os modelos de Dixit et al e Tekleab et al apresentam um bom resultado para o ponto de W_{FIN} = 55 nm, mas não reproduzem a tendência experimental de R_{PAR}, como o modelo de Pereira e Giacomini faz. Neste caso, a geometria de contato também é relevante, pois L_T = 390 nm (maior que L_S =150 nm).

Figura 45 – Valores experimentais de R_{PAR} da referência [100] em função da largura da aleta (W_{FIN}) em comparação com simulações do Atlas e modelos.



Fonte: Autor.

A avaliação dos modelos em relação às referências experimentais mostrou que o modelo proposto por Pereira e Giacomini em [74] é o que melhor reproduz o comportamento da resistência parasitária de FinFETs experimentais, portanto, é o mais adequado para prever o comportamento de R_{PAR} nesses dispositivos. Estes resultados mostram que a geometria de contato pode produzir grandes diferenças nos valores de R_{PAR}, em outras palavras, a geometria real de contato não deve ser ignorada na modelagem.

4.3 ACRÉSCIMO DO CÁLCULO DE R_{PAR} NO MODELO SDDGM

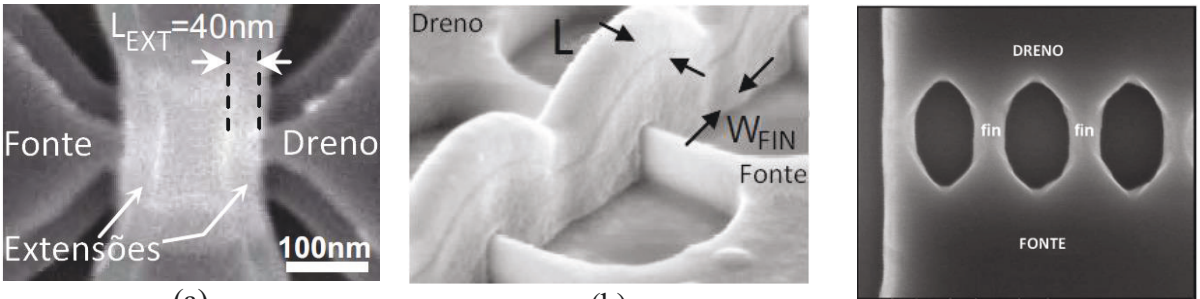
No modelo SDDGM original, apresentado na seção 3.3.1, a resistência parasitária (R_{PAR}) é um parâmetro de ajuste que é acrescentado na degradação da corrente conforme foi apresentado na equação (94).

A resistência parasitária é a resistência das regiões de fonte e dreno que consome parte das tensões aplicadas à porta e ao dreno do transistor, degradando assim a corrente de dreno I_{DS}. Porém, o modelo SDDGM foi desenvolvido para descrever o comportamento das cargas e potenciais na região do canal, não abrangendo as regiões de fonte e dreno. Portanto, nota-se na equação (94) que o significado físico do parâmetro R_{PAR} é perdido. Na própria referência [22] são apresentados valores extraídos diferentes quando foram utilizadas simulações com as mesmas características de fonte e dreno.

Em geral, os modelos analíticos para o cálculo da corrente de dreno são restritos à modelagem da região do canal e os modelos para o cálculo da resistência parásitária são restritos às regiões de fonte e dreno. A nossa proposta é a integração dos modelos para que a resistência parasitária deixe de ser um parâmetro empírico para extração e ajuste dos modelos de corrente de dreno e passe a ser calculada analiticamente de acordo com as características de fonte e dreno do dispositivo e integrada desta forma ao cálculo da corrente de dreno.

FinFETs são projetados para que sejam mais largos nas suas extremidades (fonte e dreno) do que na região do canal, conforme mostrado nas imagens SEM das Figuras 46(a) [75], 46(b) [101] e 46(c) [21]. O objetivo desse alargamento é minimizar a resistência parasitária das regiões de fonte e dreno, para que fique dentro de um valor tolerável de no máximo 300 Ω.μm de largura da aleta [15], e assim não degrade tanto a corrente desses transistores. Normalmente, os modelos de resistência parasitária não levam esse alargamento gradual em consideração, levando a resultados imprecisos. Quando aplicados em modelos analíticos de corrente, podem ser adaptados às curvas experimentais através de parâmetros de ajuste, porém na maioria das vezes os valores desses parâmetros são irreais e seu significado físico é perdido. Ao representar FinFETs em simulações numéricas de dispositivos sem levar sua geometria real em consideração, também é possível ajustar os parâmetros de simulação até atingir valores similares às curvas experimentais, mas isso não permite uma análise fiel da distribuição da corrente no dispositivo e de outras variáveis internas.

Figura 46 – Imagens SEM dos FinFETs estudados nas referências (a) [75], (b) [101] e (c) [21].



(a) (b) (c)

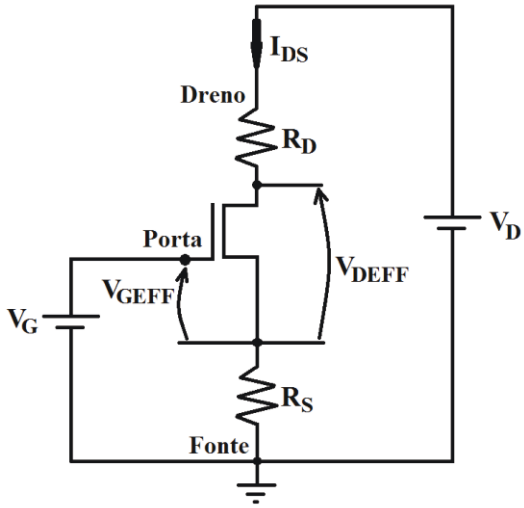
Fonte: Autor “adaptado de” Matsukawa, 2011; Jurczak, 2009 e Collaert, 2008.

Para esta implementação, foi utilizado o modelo de R_{PAR} proposto por Pereira e Giacomini [74], apresentado na seção 3.1.3. Este modelo possui fundamentação física, não possui parâmetros de ajuste e considera o alargamento das regiões de fonte e dreno observada através de fotos de estruturas FinFET experimentais. Esta consideração mostrou-se mais

precisa quando comparada à resultados experimentais de R_{PAR}, conforme mostrado na seção 4.2.

A integração dos modelos de corrente de dreno e resistência parasitária pode ser feita através da análise do circuito da Figura 47, onde R_D é a resistência do dreno R_S é a resistência de fonte, V_{GEFF} é a tensão de porta efetiva e V_{DEFF} é a tensão de dreno efetiva. As resistências de dreno e fonte, R_D e R_S, influenciam as tensões aplicadas, pois estão em série com a região do canal. Em outras palavras, as tensões efetivas que irão controlar as cargas no canal serão menores.

Figura 47 – Circuito equivalente utilizado para integração do efeito de R_{PAR} na corrente de dreno I_{DS}.



Fonte: Autor.

As expressões para as tensões efetivas V_{GEFF} e V_{DEFF} são apresentadas respectivamente em (99) e (100):

$$V_{GEFF} = V_G - I_{DS} \, . \, R_S \tag{99}$$

$$V_{DEFF} = V_D - I_{DS} \, . \, (R_D + R_S) \tag{100}$$

As equações (99) e (100) foram adicionadas e solucionadas simultaneamente com I_{DS}, sendo que $R_S = R_D = R_{PAR}/2$, onde R_{PAR} foi calculada utilizando o modelo proposto por Pereira e Giacomini [74]. Para os casos com baixas tensões de dreno, a equação (84) foi utilizada para o cálculo da corrente I_{DS} considerando a variação da mobilidade apresentada na equação (86). Para altas tensões de dreno foi utilizada a equação (93) para o cálculo de I_{DS}.

O modelo completo para o cálculo da corrente de dreno I_{DS}, incluindo a interação entre a região do canal e as regiões de fonte e dreno, foi totalmente implementada no software Mathcad [102], o Apêndice A apresenta o modelo completo proposto conforme implementação no Mathcad. A adição do efeito da resistência parasitária no modelo de corrente não necessita de nenhum parâmetro de ajuste.

4.4 AVALIAÇÃO DO MODELO COMPLETO DE CORRENTE

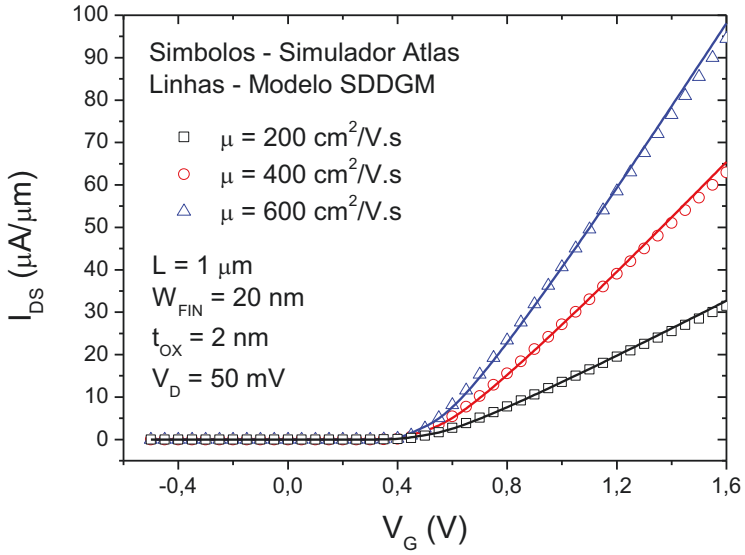
Nesta seção, o modelo completo de corrente proposto, com o acréscimo da degradação da corrente de dreno pela resistência parasitária será avaliado para diferentes características e polarizações.

4.4.1 Metodologia

O modelo SDDGM [22] com mobilidade constante foi resolvido no software Mathcad [102] e comparado com simulações bidimensionais de dispositivos realizadas no simulador Atlas [37]. A estrutura simulada é a mesma da Figura 32 com as seguintes características: W_{FIN} de 20 nm, t_{OX} de 2 nm, L de 1 μm, concentração de dopantes do tipo p na região do canal (N_A) de $1x10^{15}$ cm^{-3}, concentração de dopantes do tipo n na fonte e no dreno (N_D) de $1x10^{20}$ cm^{-3} e mobilidade constante de 200, 400 e 600 $cm^2/V.s$. Foi feita a simulação da curva I_{DS} x V_G com V_D de 50 mV. Como a simulação é bidimensional, a largura do canal (W_{EFF}) utilizada para o cálculo do modelo (equação (85)) é de 1 μm.

A Figura 48 apresenta a comparação entre as curvas I_{DS} x V_G da simulação bidimensional e do modelo SDDGM, ambos com mobilidade constante. É possível observar que o modelo descreve muito bem as curvas simuladas, sem a utilização de parâmetros de ajuste.

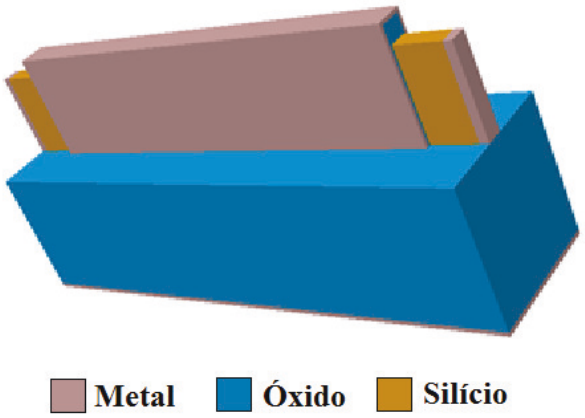
Figura 48 – Comparação entre as curvas I_{DS} x V_G da simulação bidimensional e do modelo SDDGM para diferentes mobilidades constantes.



Fonte: Autor.

Após fazer a comparação com as simulações bidimensionais, foram feitas simulações tridimensionais ainda com mobilidade constante. Foi simulada a estrutura SOI FinFET da Figura 49, com as seguintes características: W_{FIN} de 20 nm, t_{OX} de 2 nm, L de 500 nm, H_{FIN} de 100 nm, concentração de dopantes do tipo p na região do canal (N_A) de $1x10^{15}$ cm^{-3}, concentração de dopantes do tipo n na fonte e no dreno (N_D) de $1x10^{20}$ cm^{-3} e mobilidade constante de 400 $cm^2/V.s$. Foi feita a simulação da curva I_{DS} x V_G com V_D de 50 mV.

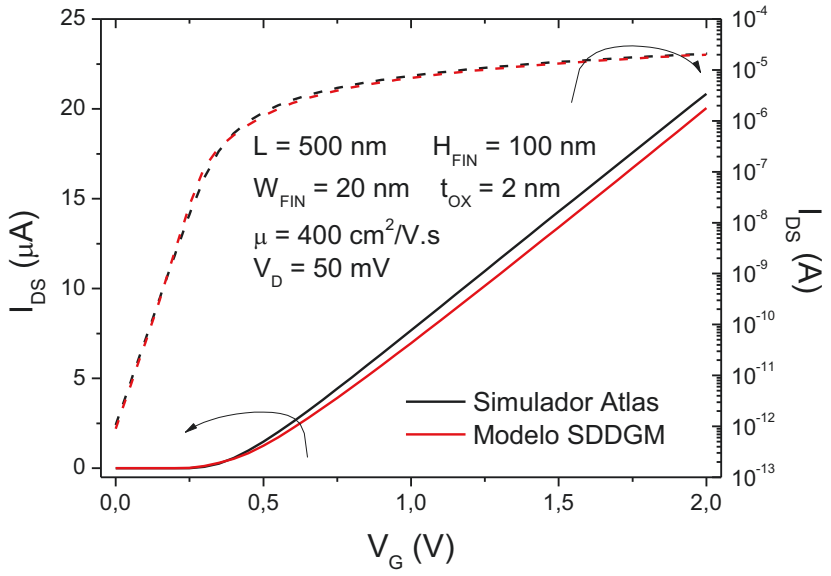
Figura 49 – Estrutura SOI FinFET de porta dupla descrita no simulador Atlas para avaliação tridimensional do modelo SDDGM com mobilidade constante.



Fonte: Autor.

A Figura 50 apresenta a comparação entre as curvas I_{DS} x V_G da simulação tridimensional e o do modelo SDDGM ainda com mobilidade constante. É possível observar que o modelo continua descrevendo muito bem as curvas simuladas, mesmo em comparação às simulações tridimensionais.

Figura 50 – Comparação entre as curvas I_{DS} x V_G da simulação tridimensional e do modelo SDDGM com mobilidade constante.



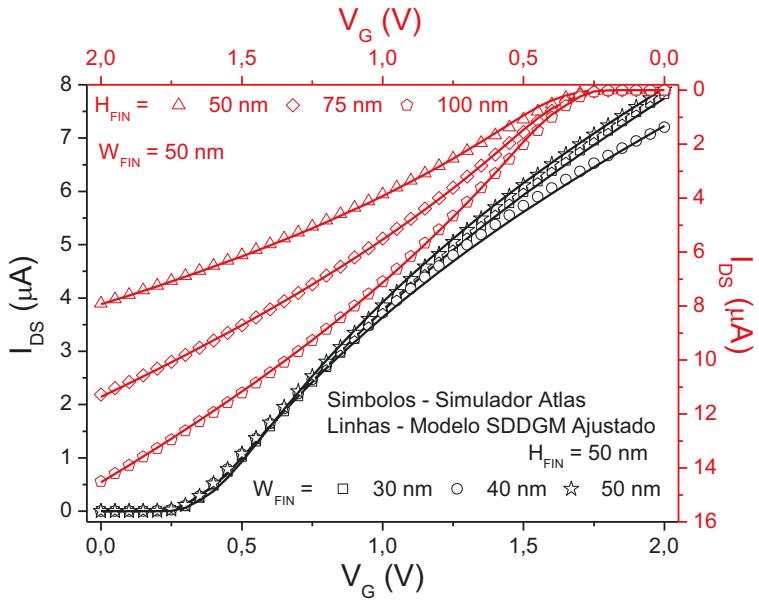
Fonte: Autor.

Esses testes com mobilidade constante permitiram avaliar se o modelo descreve bem o comportamento das cargas nas estruturas de porta dupla, e vimos que o modelo tem um ajuste muito bom.

Para o acréscimo da variação de mobilidade, foi feita a simulação da mesma estrutura tridimensional da Figura 49, porém alterando a mobilidade para que fosse calculada pelo modelo proposto por Shirahata et al [97], conforme sua implementação no simulador Atlas. Foram utilizados os valores padrões *(default)* para os parâmetros μ_0, ξ_1, P_1, ξ_2 e P_2. Os mesmos valores utilizados para esses parâmetros na simulação foram substituídos na equação (86) e comparados com a saída do simulador, porém as curvas não se ajustaram. Isto quer dizer que, a única diferença entre a simulação e o modelo é dada pelo cálculo do campo elétrico, que na simulação é calculado para cada ponto de grade e no modelo é calculado através de uma média, conforme apresentado na equação (87). Por este motivo, os parâmetros μ_0, ξ_1, P_1, ξ_2 e P_2 continuarão sendo utilizados como parâmetros de ajuste, conforme proposta original do modelo SDDGM.

Para avaliar o modelo completo de corrente, foram feitos dois grupos de simulação tridimensionais no Atlas [37]. O primeiro grupo, foi feito apenas para ajustar os parâmetros de mobilidade, pois considera apenas a região do canal, uma vez que as regiões de fonte e dreno foram descritas com comprimento pequeno, contatos ideais, alta concentração de dopantes e altas mobilidades (Figura 49). Foram simuladas com o modelo de Shirahata conforme implementado no simulador Atlas. No cálculo do modelo, os parâmetros ξ_1, P_1, ξ_2 e P_2 da equação (86) foram ajustados para cada W_{FIN} e H_{FIN}, utilizando as curvas I_{DS} x V_G obtidas deste primeiro grupo de simulações com V_D de 50 mV. As curvas I_{DS} x V_G ajustadas são mostradas na Figura 51.

Figura 51 – Curvas I_{DS} x V_G com os parâmetros de mobilidade ajustados.



Fonte: Autor.

Com os parâmetros de mobilidade ajustados, foi assegurado que o modelo SDDGM original, apenas na região do canal, está funcionando para a degradação da mobilidade.

Então, foi realizado o segundo grupo de simulações que leva em consideração as características reais de fonte e dreno, ou seja, resistividade das regiões de fonte e dreno de acordo com as concentrações de dopantes e contatos não ideais, com valor de resistividade de contato definida no arquivo de simulação. Esta simulação contém contatos trapezoidais conforme a estrutura apresentada na Figura 34. Este grupo de simulações contém as características apresentadas na Tabela 6.

Tabela 6 – Características dos dispositivos simulados para avaliação do modelo completo de corrente.

L (nm)	500
L_{EXT} (nm)	50
L_S (nm)	100
W_{FIN} (nm)	30, 40 e 50
W_{SEG} (nm)	25 e 100
H_{FIN} (nm)	50, 75 e 100
H_S (nm)	25, 45 e 65
N_A (cm^{-3})	$1x10^{15}$
N_{DEXT} (cm^{-3})	$1x10^{19}$
N_{DHDD} (cm^{-3})	$1x10^{19}$
ρ_C ($\Omega.cm^2$)	$1x10^{-7}$, $5x10^{-8}$ e $1x10^{-8}$
t_{OX} (nm)	2
t_{HM} (nm)	20

Fonte: Autor.

Foram utilizados nas simulações os modelos físicos abaixo [37]:

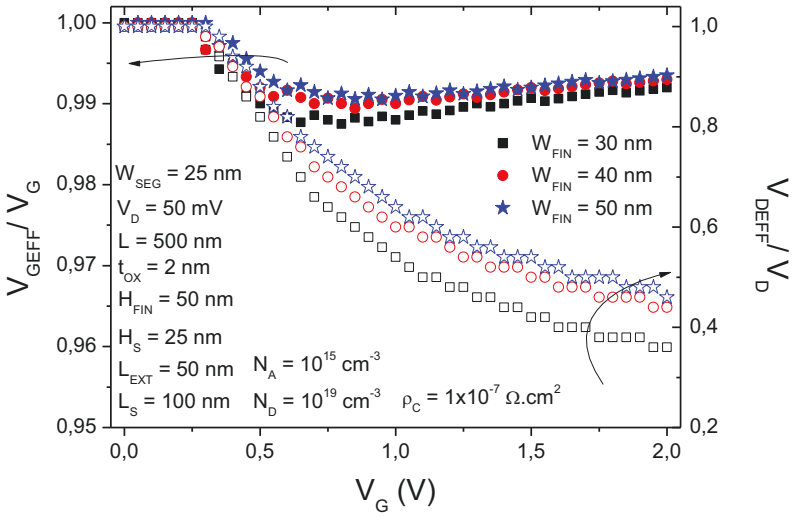
a) Fermi: modelo que utiliza a estatística de portadores de Fermi-Dirac para solução das equações;
b) BGN (*Band Gap Narrowing*): modelo que trata do estreitamento da faixa proibida, importante para regiões com altas dopagens;
c) SRH (Shockley-Read-Hall): modelo de geração e recombinação de portadores com tempo de vida de portadores fixo;
d) SHI (Shirahata): modelo de mobilidade que leva em consideração a degradação da mobilidade do canal de inversão dependente do campo elétrico de porta.

Os parâmetros de mobilidade ajustados apresentados na Figura 51 e o modelo de R_{PAR} proposto por Pereira e Giacomini [74] foram utilizados como entrada para o cálculo da corrente de dreno considerando o modelo completo da Figura 47. Os valores calculados foram comparados com as simulações das estruturas da Figura 34, para diferentes polarizações de porta e de dreno. Os erros percentuais foram calculados conforme a equação (95) e da mesma forma que na avaliação dos modelos de R_{PAR}, como os valores calculados não possuem nenhum ajuste com as simulações, erros percentuais de até 10% foram considerados aceitáveis.

4.4.2 Resultados Obtidos

A Figura 52 mostra as tensões efetivas V_{GEFF} e V_{DEFF} calculadas pelo modelo completo em função da tensão de porta para diferentes valores de W_{FIN}. O Apêndice A apresenta o cálculo do modelo completo conforme implementação no Mathcad [102]. Note que a degradação na tensão de dreno é maior, pois esta tensão sofre influência das resistências parasitárias de fonte e de dreno, enquanto a tensão de porta é afetada apenas pela resistência de fonte R_S. Além disso, o valor da tensão de dreno é fixa e muito baixa, fazendo com que ela sofra mais degradação com o aumento de I_{DS}, conforme equação (100). O caso com a menor largura de canal (W_{FIN} = 30 nm) tem a maior perda de tensão, devido ao aumento de R_{PAR}.

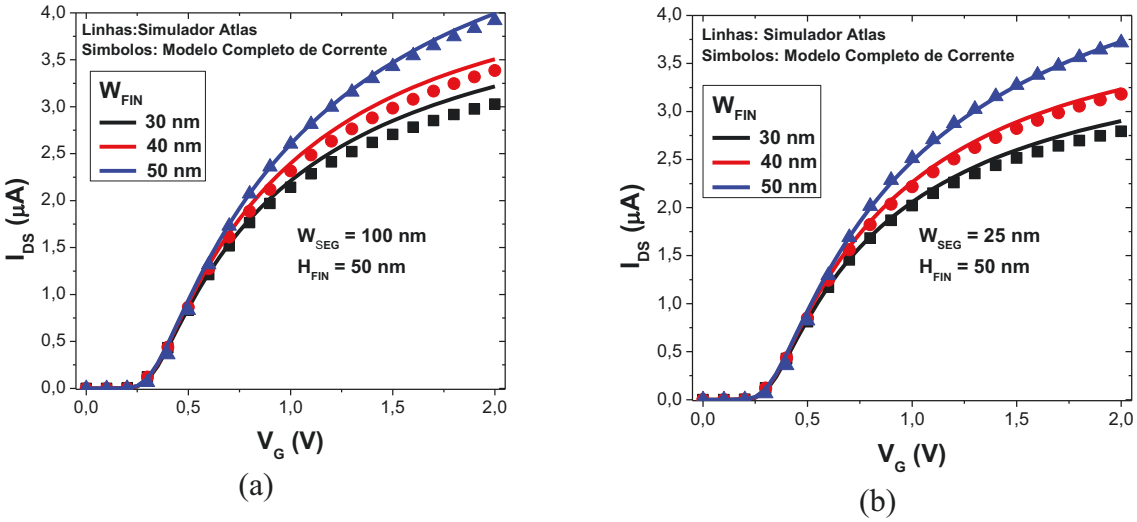
Figura 52 – Tensões efetivas normalizadas V_{GEFF} e V_{DEFF} calculadas pelo modelo completo de corrente em função da tensão de porta para diferentes W_{FIN}.



Fonte: Autor.

A Figura 53 mostra as curvas da corrente de dreno em função da tensão de porta para V_D = 50 mV e diferentes valores de W_{FIN} e W_{SEG} = 100 nm (53(a)) e W_{SEG} = 25 nm (53(b)). É possível observar que o modelo completo de corrente é muito preciso em comparação às curvas simuladas, apresentando erro percentual máximo de 3,7%. As curvas para W_{FIN} = 30 nm apresentaram os menores valores de corrente, pois devido à maior resistência parasitária, há também uma maior degradação das tensões efetivas, conforme apresentado na Figura 52. Além disso, os valores de corrente com W_{SEG} = 100 nm são maiores do que com W_{SEG} = 25 nm. Isto ocorre pois dispositivo com W_{SEG} maior contém a maior área de contato e, consequentemente, menor R_{PAR}.

Figura 53 – Corrente de dreno em função da tensão de porta para diferentes W_{FIN} e: (a) W_{SEG} = 100 nm e (b) W_{SEG} = 25 nm.

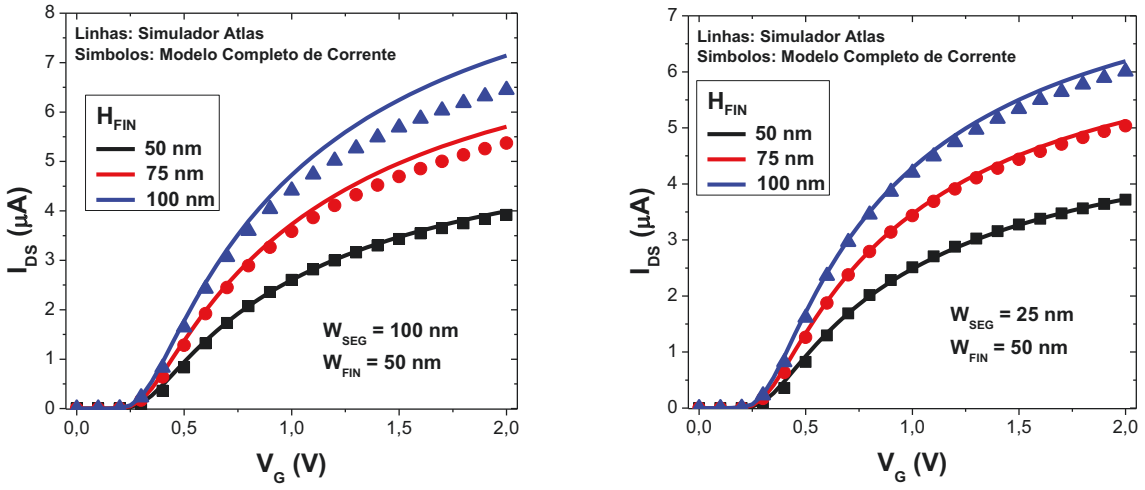


(a) (b)

Fonte: Autor.

A Figura 54 mostra as curvas da corrente de dreno em função da tensão de porta para V_D = 50 mV e diferentes valores de H_{FIN} e W_{SEG} = 100 nm (54(a)) e W_{SEG} = 25 nm (54(b)). Quanto maior o H_{FIN}, menor a R_{PAR}, devido ao aumento da área da seção transversal das regiões de fonte e dreno. Por este motivo e também pelo aumento da largura efetiva de canal, o maior valor de corrente apresentado foi para H_{FIN} = 100 nm. Os resultados do modelo completo mostraram-se adequados, apresentando erro percentual máximo de 9,7%.

Figura 54 – Corrente de dreno em função da tensão de porta para diferentes H_{FIN} e: (a) W_{SEG} = 100 nm e (b) W_{SEG} = 25 nm.

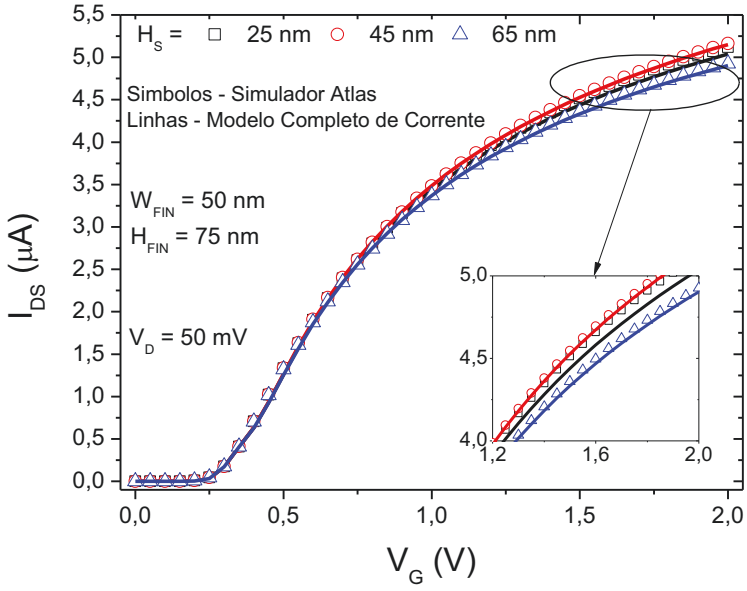


(a) (b)

Fonte: Autor.

A Figura 55 mostra corrente de dreno em função da tensão de porta para diferentes espessuras de siliceto (H_S). Note que a maior corrente de dreno é obtida para H_S = 45 nm. Isto acontece pois, para o caso em que H_S = 65 nm, a resistência parasitária aumenta devido à redução da área abaixo do siliceto. É possível observar que o modelo segue este comportamento, uma vez que o maior valor de R_{PAR} calculado pelo modelo foi para H_S = 65 nm (R_{PAR} = 5,8 kΩ) e o menor valor de R_{PAR} foi obtido para H_S = 45 nm (R_{PAR} = 5,3 kΩ).

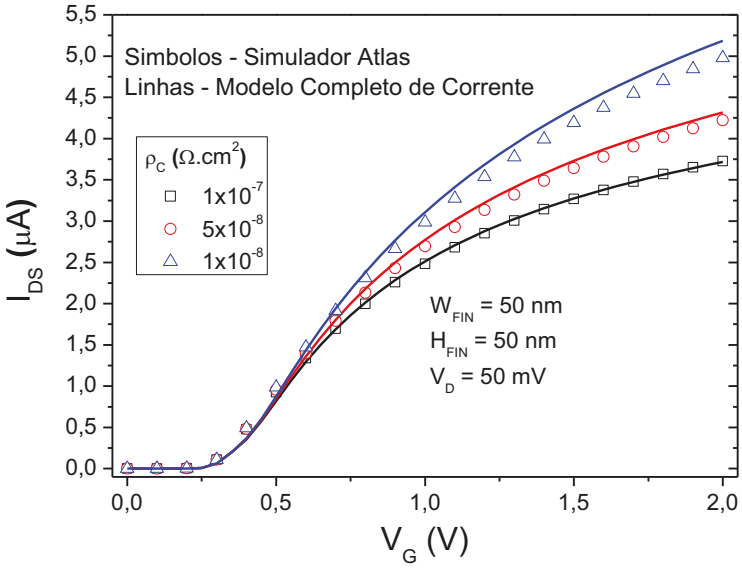
Figura 55 – Corrente de dreno em função da tensão de porta para diferentes H_S.



Fonte: Autor.

A Figura 56 mostra a corrente e dreno em função da tensão de porta para diferentes valores de resistividade de contato entre siliceto e silício. A menor resistividade de contato resulta em maiores correntes de dreno. Também neste caso, o modelo completo mostrou-se preciso, apresentando erro percentual máximo de 4,2%.

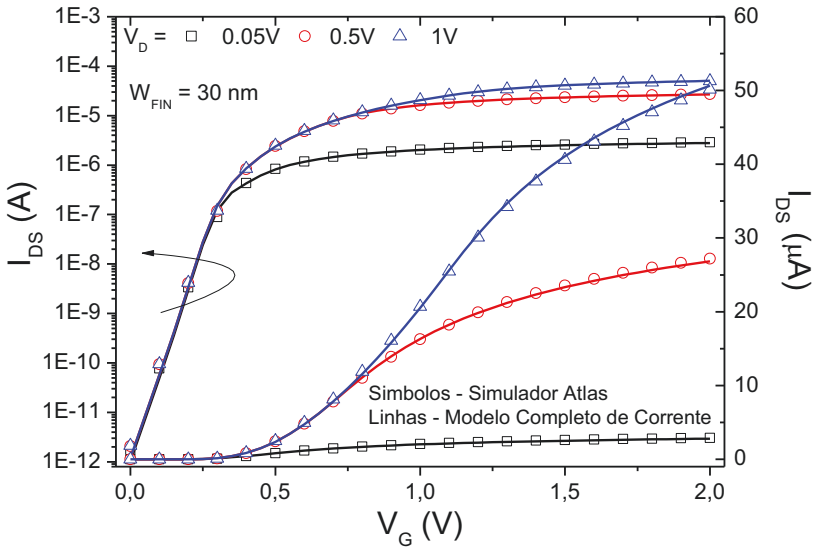
Figura 56 – Corrente de dreno em função da tensão de porta para diferentes resistividades de contato.



Fonte: Autor.

A Figura 57 apresenta as curvas de corrente de dreno em função da tensão de porta para diferentes tensões de dreno V_D. O modelo completo apresentou um bom ajuste com os resultados de simulação, apresentando erro percentual máximo de 4,7% e mostrando que pode ser utilizado em diferentes regiões de operação.

Figura 57 – Corrente de dreno em função da tensão de porta para diferentes tensões de dreno.

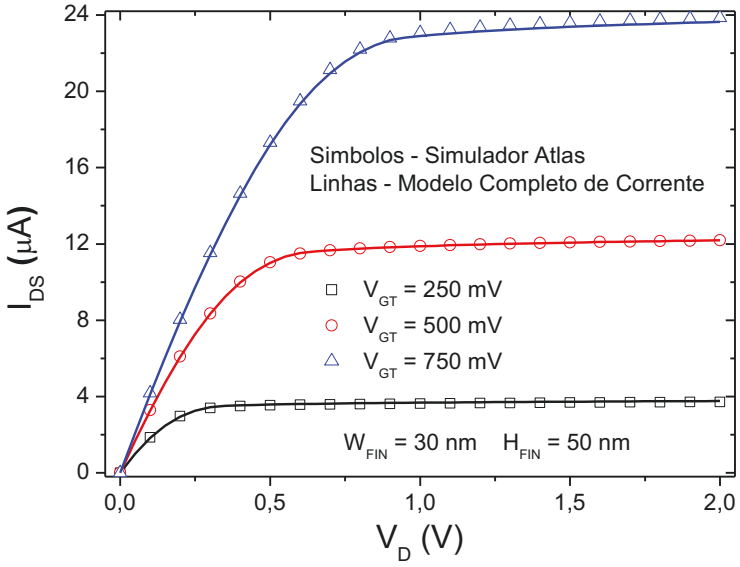


Fonte: Autor.

Para a análise das curvas de corrente de dreno em função da tensão de dreno, o efeito da modulação do comprimento de canal foi adicionado ao modelo, conforme apresentado na

seção 3.3.1.3. A Figura 58 mostra a corrente de dreno em função da tensão de dreno para diferentes sobretensões de condução (V_{GT}). Os valores ajustados para os parâmetros τ e Λ foram respectivamente de 1,25 e 0,12. O modelo mostrou um bom ajuste com os resultados de simulação, apresentando erro percentual máximo de 2,0%.

Figura 58 – Corrente de dreno em função da tensão de dreno para diferentes sobretensões de condução (V_{GT}).



Fonte: Autor.

Os resultados mostraram que a integração dos modelos de corrente de dreno e resistência parasitária permitiram a substituição de um parâmetro de ajuste por um parâmetro calculado fisicamente através do modelo proposto por Pereira e Giacomini [74]. Essa alteração não acrescenta nenhum parâmetro de ajuste adicional ao modelo de corrente de dreno. Além disso, os resultados foram muito adequados quando comparados com simulações numéricas tridimensionais, apresentando erros percentuais abaixo de 10%, para caracteristícas e polarizações diversas.

5 MODELOS ANALÌTICOS PARA O CÁLCULO DE DIBL EM TRANSISTORES DE PORTA DUPLA ASSIMÉTRICOS

Conforme apresentado na seção 2.1.1.3, o DIBL é a redução da barreira de potencial entre canal e fonte induzida pelo dreno, ou seja, o quanto a tensão aplicada ao dreno pode influenciar a distribuição do potencial na região do canal, sendo que seu efeito é mais pronunciado em transistores de canal curto.

Neste capítulo, serão apresentados três modelos analíticos para o cálculo do DIBL. O primeiro, amplamente utilizado para todos os dispositivos MOS e os outros dois desenvolvidos especificamente para transistores de porta dupla assimétricos.

5.1 MODELO VDT

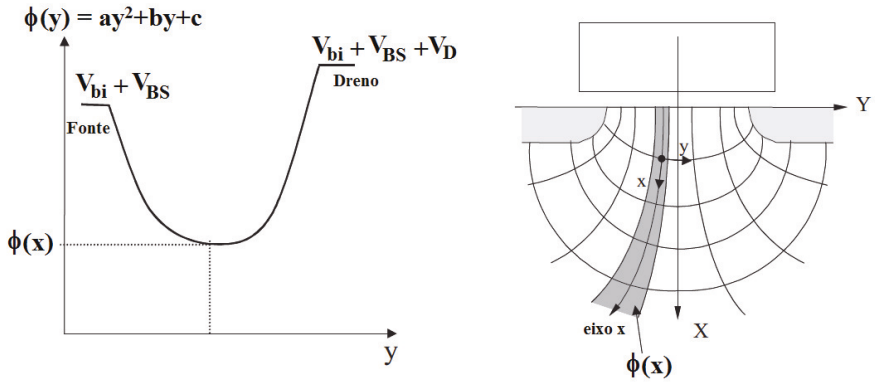
O modelo VDT (*Voltage Drop Transformation*) [103] consiste na redução do sistema bidimensional de distribuição do potencial elétrico na região ativa em um sistema unidimensional, através da criação de uma concentração de dopantes modificada no canal (N_A^*), conforme apresentado na equação (101) [104]:

$$\frac{\partial^2 \phi}{\partial x^2} = \frac{q}{\varepsilon_{Si}}\left(N_A - \frac{\varepsilon_{Si}}{q}\frac{\partial^2 \phi}{\partial y^2}\right) = \frac{qN_A^*}{\varepsilon_{Si}} \tag{101}$$

onde ϕ é o potencial elétrico, q é a carga do elétron, N_A é a concentração de dopantes na região do canal e N_A* é a concentração de dopantes modificada na região do canal. Essa equação representa que qualquer distribuição bidimensional de potencial em uma região que contém uma concentração de dopantes N_A é equivalente a uma distribuição unidimensional com a concentração de dopantes N_A*.

A consequência disso é que os modelos unidimensionais desenvolvidos para transistores de canal longo podem ser aplicados em transistores de canal curto substituindo a concentração real pela concentração modificada. Como a tensão de limiar de um transistor de canal curto depende do potencial na região chamada catodo virtual, a densidade de carga modificada neste ponto deve ser determinada. A Figura 59 apresenta a representação da distribuição do potencial no canal onde a área sombreada representa a localização do catodo virtual [104].

Figura 59 – Representação da distribuição do potencial no canal. A área sombreada representa a localização do catodo virtual, ponto onde o potencial elétrico tem o seu valor mínimo.



Fonte: Autor “adaptado de” Boeuf, 2005, p. 149.

Considerando uma distribuição parabólica do potencial e as seguintes condições de contorno:

$$\phi(fonte) = V_{bi} + V_{BS}$$
$$\phi(dreno) = V_{bi} + V_{BS} + V_D$$
$$\phi(y = catodo\ virtual) = \phi$$
$$\phi'(y = catodo\ virtual) = 0$$

onde V_{bi} é o potencial de barreira da junção.

E solucionando o potencial no catodo virtual, o valor de N_A^* é expresso por (102):

$$N_A^* = N_A - \frac{\varepsilon_{Si}}{q}\frac{\partial^2\phi}{\partial y^2} = N_A - \frac{2\varepsilon_{Si}}{q}\frac{\nu}{L^2} \tag{102}$$

onde ν é a tensão no catodo virtual dada por (100):

$$\nu = V_D + 2(V_{bi} + V_{BS} - \phi) + 2\sqrt{(V_{bi} + V_{BS} - \phi)(V_D + V_{bi} + V_{BS} - \phi)} \tag{103}$$

Ao substituir a equação (102) na equação da tensão de limiar do transistor MOS, é possível definir o valor de V_T para transistores de canal curto, conforme equação (104):

$$V_T = V_T(canal\ longo) - \frac{\varepsilon_{Si}}{\varepsilon_{OX}}.\frac{t_{OX}.x_{dmax}}{L^2}.\nu \tag{104}$$

O caso onde DIBL reduz V_T é para V_D alto. Para efeitos de simplicação, o valor de ν foi reduzido apenas ao valor de V_D, chegando à expressão de DIBL apresentada em (105):

$$DIBL = \frac{\varepsilon_{Si}}{\varepsilon_{OX}} . \frac{t_{OX} . x_{dmax}}{L^2} . V_D \tag{105}$$

Após considerar os efeitos da profundidade de junção e realizar ajustes empíricos, chegou-se à expressão de DIBL do modelo VDT para transistores MOS convencionais, apresentada em (106):

$$DIBL = 0{,}8 . \frac{\varepsilon_{Si}}{\varepsilon_{OX}} . \left(\frac{{x_j}^2}{L^2} \right) \frac{t_{OX} . x_{dmax}}{L^2} . V_D \tag{106}$$

onde x_j é a profundidade de junção de fonte e dreno.

A expressão genérica, que pode ser aplicada para vários tipos de estruturas MOS, pode ser escrita em termos da integridade eletrostática (EI – *Electrostatic Integrity*), conforme apresentada na equação (107) [41]:

$$DIBL = 0{,}8 . \frac{\varepsilon_{Si}}{\varepsilon_{OX}} . EI . V_D \tag{107}$$

Então, o modelo VDT está pronto para ser aplicado em outros tipos de estruturas. Comparando (106) e (107) temos que a EI de um dispositivo MOS convencional pode ser expressa por (108):

$$EI_{MOS} = \left(1 + \frac{{x_j}^2}{L^2} \right) \frac{t_{OX} . x_{dmax}}{L^2} \tag{108}$$

A integridade eletrostática equivalente pode ser obtida para um dispositivo FDSOI, substituindo a profundidade de junção pela espessura da camada de silício (t_{Si}) e pela observação de que o campo elétrico de porta penetra por toda a camada de silício depletada e se estende até uma certa profundidade no BOX. Logo, a EI para transistores FDSOI é mostrada em (109):

$$EI_{FDSOI} = \left(1 + \frac{{t_{Si}}^2}{L^2}\right).\frac{t_{OX}}{L}.\frac{t_{Si}.\chi.t_{BOX}}{L} \tag{109}$$

onde χ é o fator de penetração do campo elétrico da porta no óxido enterrado e é calculado pela equação (110):

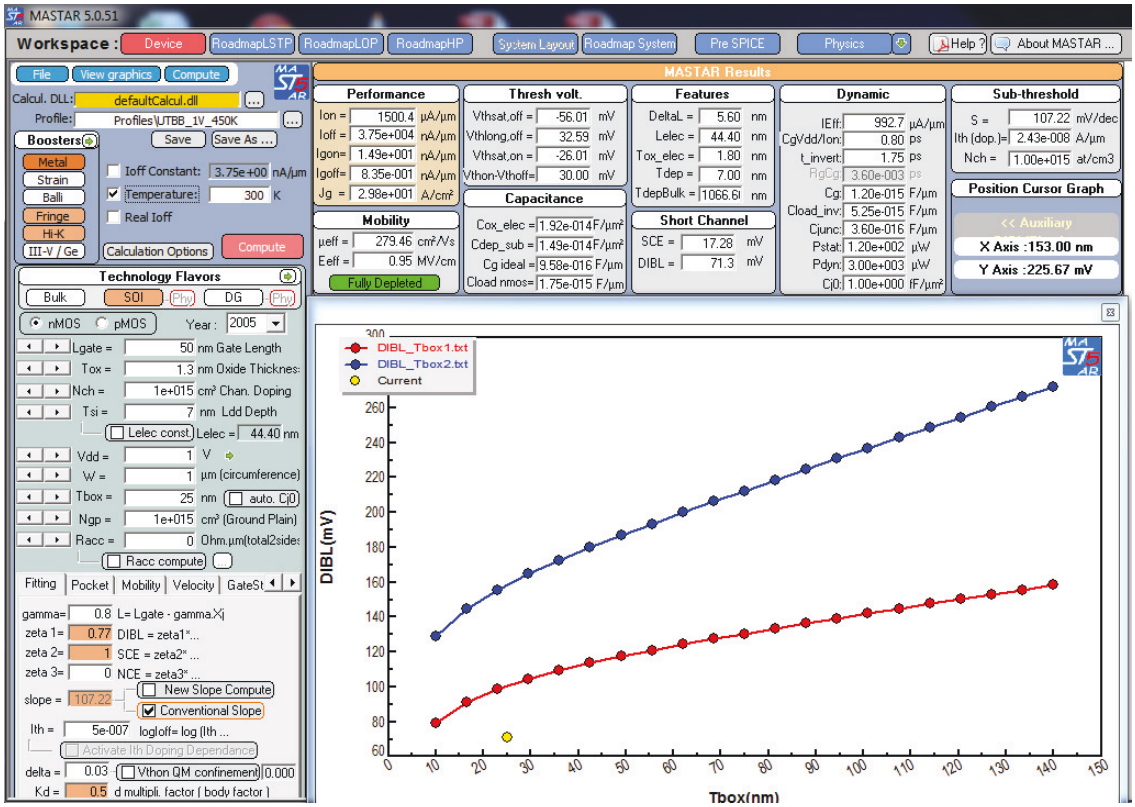
$$\chi = \frac{3(L - t_{Si})}{(L - t_{Si}) + 3t_{BOX}} \tag{110}$$

Em um dispositivo de porta dupla (DG) simétrico, a profundidade de junção efetiva e a penetração do campo efetivo para cada porta é igual a $t_{Si}/2$, que leva a (111):

$$EI_{DG} = \frac{1}{2}.\left(1 + \frac{{t_{Si}}^2/4}{L^2}\right).\frac{t_{OX}}{L}.\frac{t_{Si}/2}{L} \tag{111}$$

O modelo VDT foi incorporado ao software MASTAR (*Model for Assessment of cmoS Technologies And Roadmaps*) [105] que é muito utilizado como uma ferramenta rápida para prever o comportamento de alguns parâmetros da tecnologia CMOS. Seus cálculos são baseados em equações de primeira ordem de difusão e deriva e que dependem em sua maioria apenas dos principais parâmetros tecnológicos, tais como comprimento de canal, concentração de dopantes no canal, espessura do óxido de porta, entre outros [105]. A Figura 60 apresenta a janela de dispositivos (*Device*) do software MASTAR. Do lado esquerdo, o usuário define o tipo de tecnologia e as características do dispositivo e os diversos resultados são exibidos na janela da direita.

Figura 60 – Janela de dispositivos do software MASTAR.



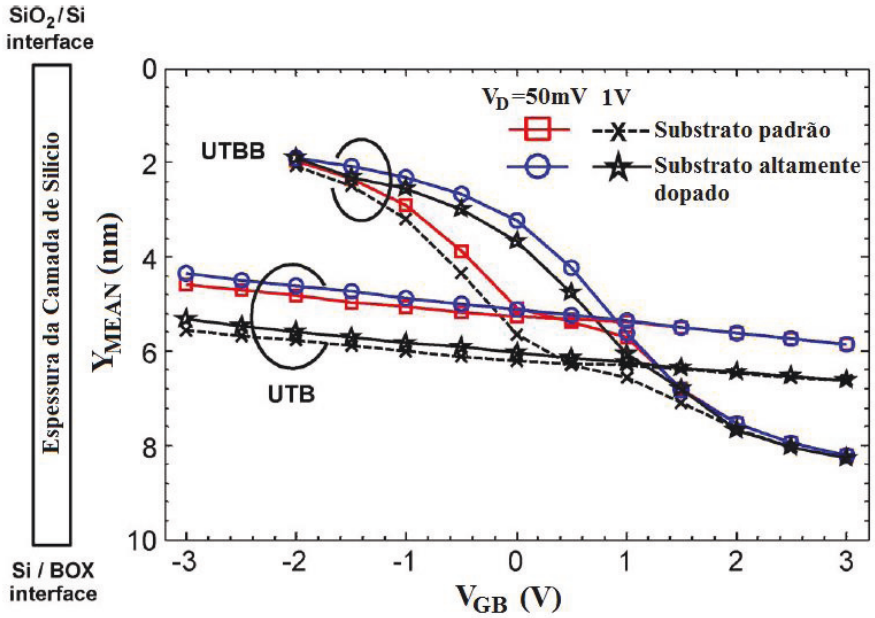
Fonte: Autor.

5.2 MODELO DE ARSHAD ET AL

O modelo de Arshad et al [106] é uma versão melhorada do modelo VDT, proposta levando em consideração o comportamento de dispositivos de porta dupla assimétricos. Para isso, é proposta a correção do comprimento de canal efetivo e a posição do canal no filme de silício.

A Figura 61 mostra a variação da posição vertical do canal (Y_{MEAN}) com a tensão de substrato para dispositivos UTB e UTBB [106]. Nota-se que em dispositivos com t_{Si} muito pequenos o canal não se forma na interface com o óxido de porta mesmo para $V_{GB} = 0$, devido aos efeitos de confinamento quântico conforme apresentado na seção 2.1.3.2. Além disso, é possível observar que a posição do canal em transistores UTBB sofre uma influência muito maior de V_{GB}, o que explica o fato desses dispositivos serem considerados de porta dupla.

Figura 61 – Posição vertical do canal (Y_{MEAN}) em função da tensão de substrato para transistores UTB e UTBB.



Fonte: Autor "adaptado de" Arshad, 2012, p.2.

O valor de Y_{MEAN} é extraído a partir da concentração de elétrons presente no arquivo de saída de simulação de dispositivos. A expressão para calcular o seu valor é (112):

$$Y_{MEAN} = \frac{\int_0^{t_{Si}} y.eC\ dy}{\int_0^{t_{Si}} eC\ dy} \tag{112}$$

onde eC é a concentração de elétrons e y é a posição vertical ao longo de t_{Si}. O valor de Y_{MEAN} é utilizado para corrigir t_{Si} e t_{OX}, que são alterados para t_{Siel} e t_{OXel}, conforme equações (113) e (114):

$$t_{Siel} = t_{Si} - Y_{MEAN} \tag{113}$$

$$t_{OXel} = t_{OX} + \left(\frac{\varepsilon_{Si}}{\varepsilon_{OX}}\right) Y_{MEAN} \tag{114}$$

Além do efeito de Y_{MEAN}, Arshad et al propõem a correção do comprimento efetivo de canal, considerando dispositivos que não possuem extensões de fonte e dreno (*underlap*). A

correção é feita a partir da introdução do comprimento da região underlap (L_{UL}), considerado para a fonte e para o dreno, para assim calcular o comprimento efetivo de canal, conforme equação (115):

$$L_{EFF} = L + (2L_{UL}) \tag{115}$$

5.3 MODELO DE FASARAKIS ET AL

Em 2014, Fasarakis et al [26] publicaram um modelo para a tensão de limiar em UTBB MOSFETs que considera o efeito da polarização do substrato. Neste mesmo trabalho, eles definem que o DIBL pode ser calculado através da diferença entre a tensão de limiar para V_D baixo e V_D alto.

Isto é possível pois a tensão de limiar V_T é definida como a tensão de porta necessária para atingir uma quantidade de carga Q_{TH} necessária para atingir a condição ligado. Essa definição é equivalente à extração de V_T pelo método da corrente constante, amplamente utilizado para extração do DIBL. A expressão para V_T para V_{BS}=0 é dada por (116):

$$V_T = V_{FB} + A_f \phi_t ln\left(\frac{Q_{TH} N_A}{n_i^2 t_{Si}}\right) - B_f \left[V_{bi} - \phi_t ln\left(\frac{Q_{TH} N_A}{n_i^2 t_{Si}}\right)\right]^{\frac{1}{2}} \left[V_{bi} + V_D - \phi_t ln\left(\frac{Q_{TH} N_A}{n_i^2 t_{Si}}\right)\right]^{\frac{1}{2}} \tag{116}$$

onde A_f e B_f são fatores dependentes de parâmetros dimensionais e calculados respectivamente por (117) e (118):

$$A_f = 8e^{2L/\lambda} \, senh^2\left(\frac{L}{2\lambda}\right) \frac{\left[1 + \cosh\left(\frac{L}{\lambda}\right)\right]^{-2}}{\alpha\left(e^{L/\lambda} - 1\right)^4} \tag{117}$$

$$B_f = \frac{2e^{L/2\lambda}\left(e^{L/\lambda}+1\right)}{\alpha\left(e^{L/\lambda}-1\right)^2} \tag{118}$$

onde α é calculado por (119):

$$\alpha = \frac{\varepsilon_{Si}t_{BOX} + \varepsilon_{OX}(t_{Si} - Y_{MEAN})}{\varepsilon_{Si}(t_{OX} + t_{BOX}) + \varepsilon_{OX}t_{Si}} \tag{119}$$

λ é o comprimento natural, tem o mesmo significado apresentado na seção 2.1.3.3. Neste modelo, leva em consideração a influência do BOX e da posição vertical do canal (Y_{MEAN}). Seu valor é calculado pela equação (120):

$$\lambda = \sqrt{\frac{\varepsilon_{Si}t_{OX}t_{Si}}{2\varepsilon_{OX}}}\sqrt{\frac{2\varepsilon_{Si}t_{BOX}+\varepsilon_{OX}t_{Si}}{\varepsilon_{Si}(t_{OX}+t_{BOX})+\varepsilon_{OX}t_{Si}} + \frac{\varepsilon_{OX}}{\varepsilon_{OX}t_{OX}}\frac{2\varepsilon_{Si}t_{BOX}+\varepsilon_{OX}t_{Si}}{\varepsilon_{Si}(t_{OX}+t_{BOX})+\varepsilon_{OX}t_{Si}}Y_{MEAN} - \frac{\varepsilon_{OX}}{\varepsilon_{Si}}\frac{{Y_{MEAN}}^2}{t_{OX}t_{Si}}}} \tag{120}$$

onde Y_{MEAN} é calculado por (121):

$$Y_{MEAN} = A_C.t_{Si} \tag{121}$$

onde A_C é um parâmetro de ajuste. Considerando características típicas de UTBBs o valor proposto para A_C é 0,05 [26].

Finalmente, o valor para a carga de inversão na condição de limiar (Q_{TH}) é expressa em (122):

$$Q_{TH} = 7.10^{10}\left[1 + 8V_D\frac{\lambda}{L} + 4\frac{t_{OX}}{t_{BOX}}\right]^{-2} \tag{122}$$

6 ANÁLISE E MODELAGEM DO EFEITO DA TEMPERATURA NO DIBL DE TRANSISTORES DE PORTA DUPLA ASSIMÉTRICOS

Conforme apresentado no capítulo 5, o DIBL é uma figura de mérito importante para avaliação da integridade eletrostática de um dispositivo e, consequentemente, sua capacidade de escalamento. Utilizando o DIBL de 100mV/V como critério eletrostático, foi demonstrado em [18] que UTBBs podem atingir o nó tecnológico de 8 nm (Figura 2). No entanto, apenas o valor do DIBL em temperatura ambiente é considerado como critério e, logo, dispositivos que atendem ao critério em temperatura ambiente podem ficar fora das especificações em temperaturas mais altas.

Estudar os efeitos da temperatura (temperatura ambiente até 150°C) em UTBBs é importante não apenas para aplicações de alta temperatura, mas também para aplicações em temperatura ambiente (RT – *Room Temperature*), uma vez que esses dispositivos podem ser afetados pelo auto-aquecimento e alcançar temperaturas na ordem de ~ 100ºC em condições normais de operação [23] [107] [108].

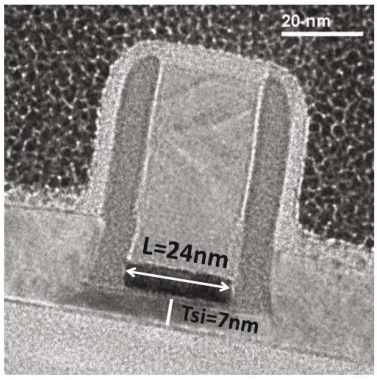
Alguns resultados da variação do DIBL com a temperatura encontrados na literatura mostram que o DIBL de MOSFETs convencionais com comprimento de canal entre 0,4 e 1,5 μm aumenta com a temperatura, especialmente nos dispositivos com menor L [39] [109]. Na referência [24], foi analisado comparativamente o impacto da redução do comprimento de canal em UTBBs com e sem extensões de fonte e dreno, para dispositivos com comprimento de canal entre 29 e 69 nm, onde foi observado aumento do DIBL com a temperatura. Em UTBBs com comprimento de canal de 28 nm [25], um aumento de aproximadamente 20 mV/V no DIBL foi observado para 100°C em comparação ao valor em RT. Porém, uma análise detalhada da variação do DIBL com a temperatura nesses dispositivos não foi realizada até então.

Neste capítulo, será feita a análise do comportamento do DIBL de UTBBs em temperaturas altas (até 150°C), baseada em dados experimentais, simulação de dispositivos e na avaliação dos modelos analíticos apresentados no capítulo 5 quando utilizados em temperaturas diferentes. Finalmente, é feita a proposta para melhoria do modelo analítico de Fasarakis et al, através da utilização da carga de inversão na condição de limiar dependente da temperatura.

6.1 RESULTADOS EXPERIMENTAIS

Os dispositivos medidos foram fabricados na ST Microelectronics, conforme descrito em [110]. Possuem espessura de BOX (t_{BOX}) de 25 nm e espessura da camada de silício (t_{Si}) de 7 nm. O óxido de porta é composto por 2,3 nm de HfSiON que resultam em uma espessura de óxido de porta (t_{OX}) de 1,3 nm. O canal utiliza a dopagem da lâmina, ou seja, $N_A=1x10^{15}$ cm^{-3}. A Figura 62 apresenta a imagem SEM de um dos dispositivos com L=24nm [110].

Figura 62 – Imagem SEM do dispositivo fabricado na ST Microelectronics e utilizado neste trabalho.



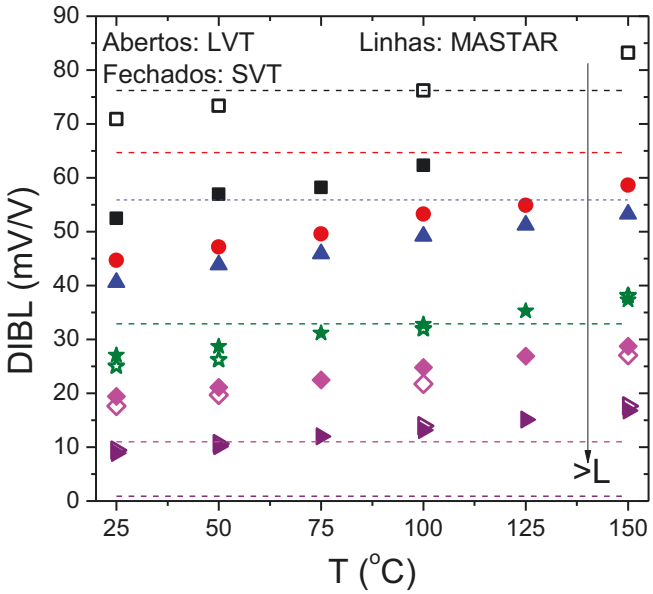
Fonte: Autor “adaptado de” Planes, 2012, p.2.

Os dispositivos foram caracterizados na UCL (*Université Catholique de Louvain*) na Bélgica durante a realização do estágio de seis meses como parte do doutoramento. Os dispositivos medidos são do tipo nMOS com comprimentos de canal (L) de 34 a 500 nm e largura de canal (W) de 1 μm. Tanto dispositivos com V_T padrão (SVT) quanto com V_T baixo (LVT) foram caracterizados até 150ºC para avaliação do DIBL.

As curvas I_{DS} x V_G foram medidas nas regiões linear e de saturação. O DIBL foi extraído conforme apresentado na equação (100) para V_{DL} = 50mV e V_{DH} = 1V. O valor de V_T foi extraído conforme o método da corrente constante, ou seja, para a tensão de porta V_G onde a corrente tem o valor constante $I_{DS}=10^{-7}.(W/L)$ A.

A Figura 63 apresenta o DIBL em função da temperatura para os dispositivos com comprimentos de canal diferentes. Pode ser claramente observado o aumento do DIBL com a temperatura para ambos os dispositivos: LVT e SVT. Além disso, a variação de DIBL com a temperatura é maior quanto menor o L. Para efeito de comparação, foram adicionados os valores calculados através do software MASTAR [105], representados pelas linhas. Nota-se que os valores de DIBL calculados pelo MASTAR são independentes da temperatura.

Figura 63 – DIBL experimental em função da temperatura (símbolos) e calculado pelo software MASTAR (linhas) para dispositivos SVT e LVT com comprimentos de canal de 38, 42, 60, 90, 120 e 500 nm (de cima para baixo).



Fonte: Autor.

6.2 SIMULAÇÃO NUMÉRICA

Com o intuito de verificar se alguma particularidade no processo de fabricação poderia gerar o comportamento do DIBL observado na Figura 63, foram realizadas simulações físicas bidimensionais utilizando o software Atlas [37]. A Tabela 7 apresenta as características das diferentes estruturas de camada fina FD nMOS ($N_A = 10^{15}cm^{-3}$) que foram simuladas.

Tabela 7 – Características das diferentes estruturas FD nMOS simuladas no Atlas.

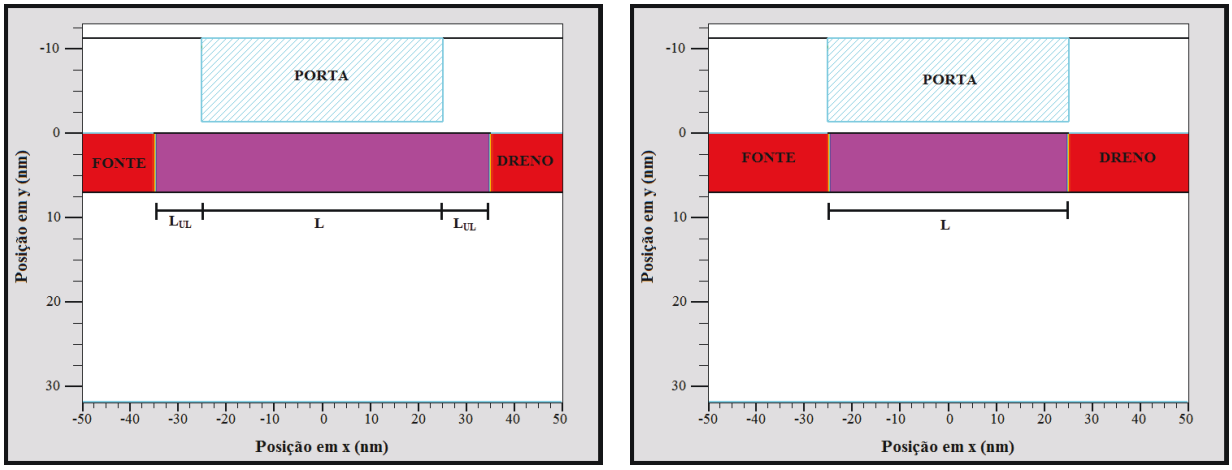
	UTBB Overlap	**UTBB Underlap**	**DG**	**UTB**	**FDSOI**
t_{Si} (nm)	7	7	7	7	30
t_{ox} (nm)	1,3	1,3	1,3	1,3	1,3
t_{BOX} (nm)	25	25	t_{BOX}=t_{ox}	150	150
L (nm)	50	50	50	50	200
L_{UL} (nm)	0	10	10	0	0

Fonte: Autor.

Essas estruturas foram escolhidas com os seguintes objetivos:

a) A comparação entre as estruturas *underlap* e *overlap* foi feita para detectar algum possível efeito da variação do comprimento efetivo de canal com a temperatura, as duas estruturas conforme geradas no Atlas são apresentadas na Figura 64;
b) A comparação entre o BOX fino e espesso tem por objetivo verificar algum efeito da variação da posição do canal com a temperatura;
c) A estrutura de porta dupla (DG) simétrica foi simulada para remover algum efeito proveniente do substrato.

Figura 64 – Estruturas UTBB conforme geradas no Atlas : (a) *underlap* e (b) *overlap*.

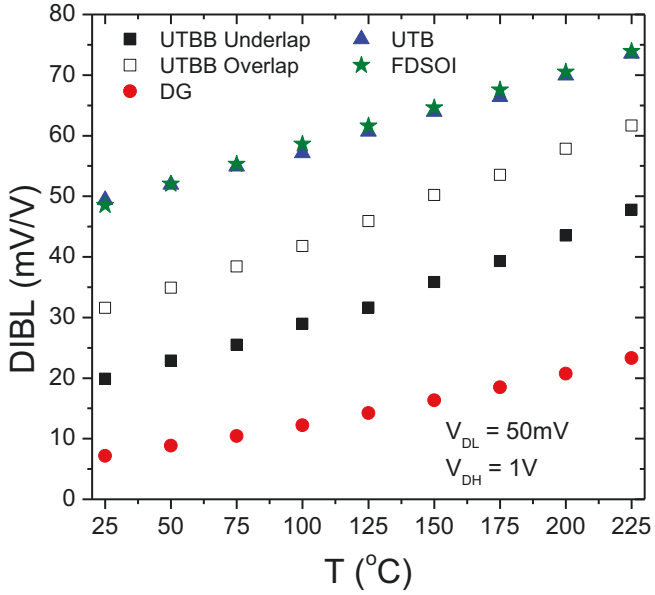


(a) (b)

Fonte: Autor.

A Figura 65 apresenta o DIBL para as diferentes estruturas simuladas. Para todas as estruturas, a tendência é a mesma observada nos resultados experimentais apresentados na Figura 63, o que mostra que essa dependência do DIBL com a temperatura é física e não específica dos dispositivos medidos ou da configuração das medidas. Os menores valores de DIBL quanto aos UTBBs, foram obtidos para os dispositivos *underlap*, devido ao aumento do comprimento efetivo de canal e à menor penetração do campo elétrico do dreno na região abaixo da porta.

Figura 65 – DIBL em função da temperatura para diferentes estruturas FD nMOS simuladas no Atlas.



Fonte: Autor.

6.3 AVALIAÇÃO DOS MODELOS ANALÍTICOS

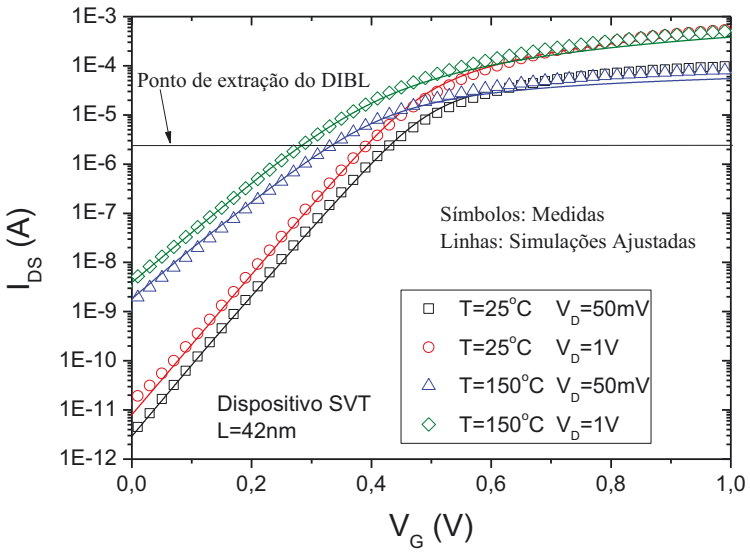
Nesta seção será feita a análise dos modelos analíticos apresentados no capítulo 5 sob o ponto de vista da sua aplicabilidade ou não para o cálculo do DIBL em uma ampla faixa de temperatura. Foi avaliada a capacidade de cada modelo em reproduzir a variação do DIBL com a temperatura em dispositivos UTBB. Os modelos considerados foram:

a) Modelo VDT, apresentado na seção 5.1 [103];
b) Modelo de Arshad et al, apresentado na seção 5.2 [106];
c) Modelo de Fasarakis et al, apresentado na seção 5.3 [26].

Para uma avaliação mais detalhada, foi realizado o ajuste das simulações com as curvas medidas. Como estratégia para o ajuste, primeiro foi utilizado um perfil de dopagem gaussiano na fonte e no dreno com comprimento de 4 nm, para todos os dispositivos e temperaturas, buscando reproduzir de forma mais fiel o perfil gerado pelo processo de fabricação. Apenas com a mudança do perfil de dopagem, a inclinação de sublimiar das simulações foi ajustada com as medidas. Para ajustar a região de extração de V_T, foram ajustados os campos de degradação da mobilidade do modelo de Shirahata, apresentado na equação (86), para reproduzir a degradação das curvas experimentais. A Figura 66 apresenta a comparação entre as curvas simuladas e medidas para o dispositivo com L=42nm. O

Apêndice B apresenta o arquivo da simulação ajustada para V_D baixo e alto em temperatura ambiente.

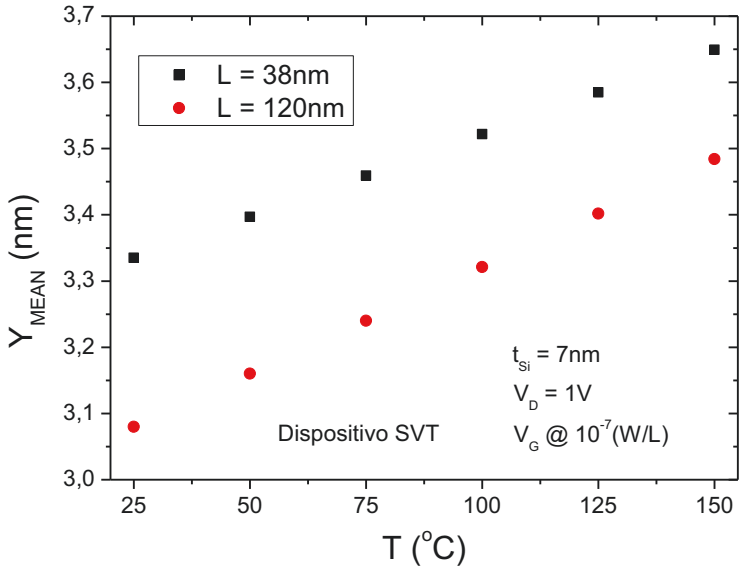
Figura 66 – Curvas I_{DS}xV_G experimentais e simuladas para o dispositivo com L = 42 nm.



Fonte: Autor.

Para o cálculo do DIBL pelo modelo de Arshad et al, foram extraídos os valores de Y_{MEAN} conforme apresentado na equação (112) a partir da concentração de elétrons próxima à fonte das simulações ajustadas. A extração foi feita próxima à fonte devido à base ser o modelo VDT, que utiliza o comportamento do potencial no catodo virtual, ou seja, próximo à fonte. A posição vertical do canal (Y_{MEAN}) se move na direção da interface com o BOX com o aumento da temperatura, conforme mostrado na Figura 67 para os dispositivos com comprimento de canal de 38 e 120nm.

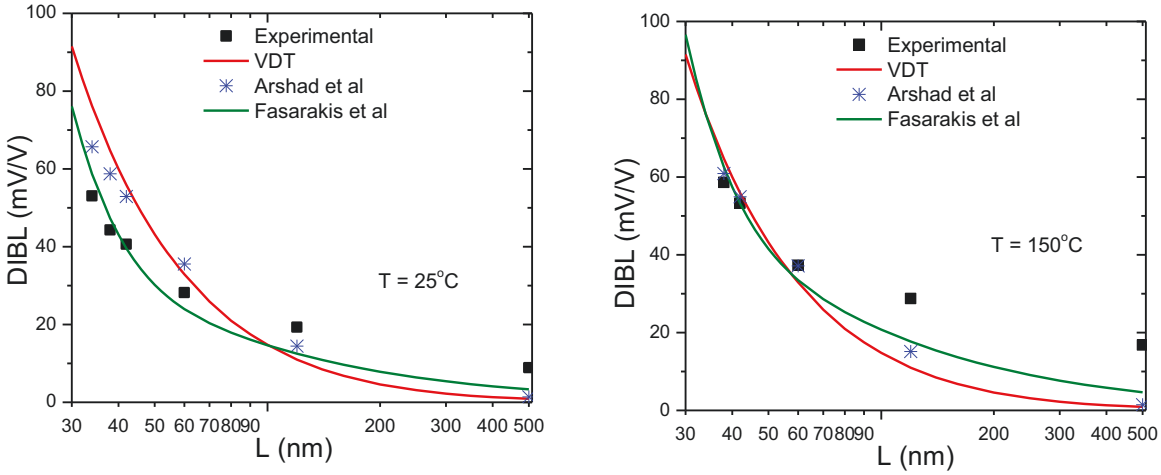
Figura 67 – Y_{MEAN} em função da temperatura para os dispositivos com L=38 e 120 nm, extraídos das simulações ajustadas.



Fonte: Autor.

A Figura 68 apresenta o DIBL em função do comprimento de canal para T = 25ºC (Fig. 68(a)) e T = 150ºC (Fig. 68(b)). O modelo VDT apresenta os mesmos valores de DIBL para as duas temperaturas, pois sua equação apresentada em (107) é dependente apenas das dimensões do dispositivo, portanto não tem seus valores alterados com o aumento da temperatura. O modelo de Arshad et al foi adaptado para diferentes temperaturas através da extração de $Y_{MEAN}(T)$ conforme apresentado na Figura 67. A tendência de Y_{MEAN} com T contribui para o aumento do DIBL com a temperatura, mas não é suficiente para reproduzir o DIBL(T) experimental. O modelo de Fasarakis et al é o mais adequado em temperatura ambiente mas tem uma piora para a temperatura de 150^{o}C.

Figura 68 – DIBL em função do comprimento de canal para as temperaturas de (a) 25ºC e (b) 150ºC.

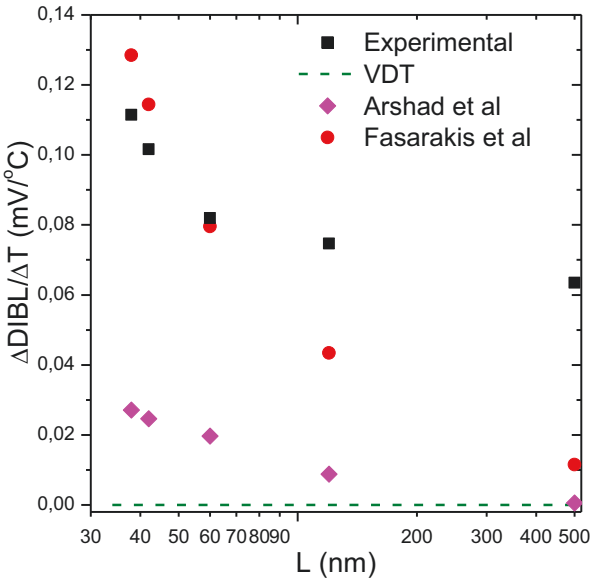


(a) (b)

Fonte: Autor.

A Figura 69 apresenta a variação do DIBL com a temperatura (ΔDIBL/ΔT) em função do comprimento de canal. Desta forma, é possível visualizar melhor que o modelo VDT não produz variação do DIBL com a temperatura, o modelo de Arshad et al reproduz a tendência dos resultados experimentais porém com variações bem menores de DIBL e o modelo de Fasarakis é o mais preciso, porém piora para os comprimentos de canal maiores.

Figura 69 – ΔDIBL/ΔT experimental e calculado por diferentes modelos em função do comprimento de canal.



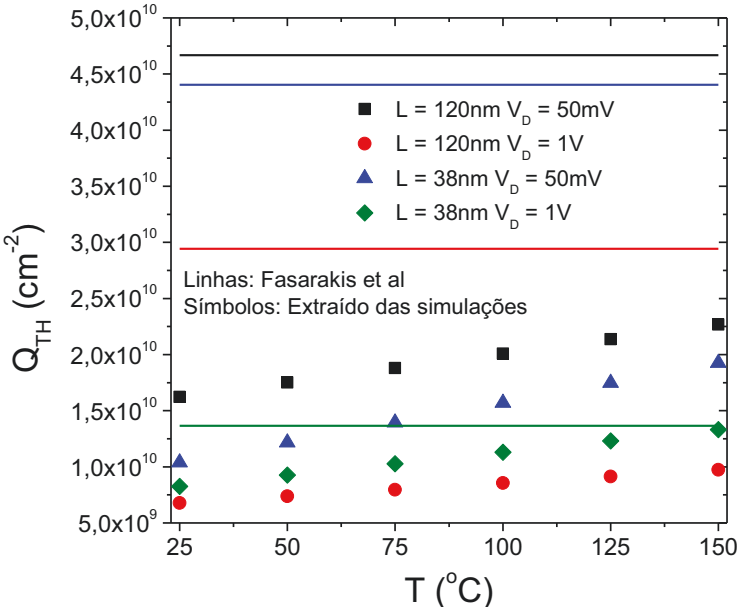
Fonte: Autor.

6.4 ACRÉSCIMO DA CARGA DE INVERSÃO DEPENDENTE DA TEMPERATURA NO MODELO DE FASARAKIS ET AL

Acreditamos que o motivo para o modelo de Fasarakis não reproduzir adequadamente a variação do DIBL com a temperatura é que tanto Y_{MEAN} (equação (121)) quanto Q_{TH} (equação (122)) no modelo original não possuem dependência com a temperatura. Nossa proposta é extrair Y_{MEAN} e Q_{TH} para cada temperatura a partir da concentração de elétrons simulada nos pontos de V_G (para V_D alto e baixo) de extração do DIBL. Y_{MEAN} é extraído conforme a equação (112) no centro do canal e os valores de Q_{TH} são calculados multiplicando o valor da concentração de elétrons na posição Y_{MEAN} pelo próprio valor de Y_{MEAN}.

A Figura 70 apresenta os valores de Q_{TH} em função da temperatura calculados pelo modelo de Fasarakis et al e extraídos das simulações. É possível observar que os valores calculados pelo modelo permanecem constantes com a temperatura enquanto os extraídos apresentam dependência com a temperatura.

Figura 70 – Q_{TH} em função da temperatura calculados pelo modelo de Fasarakis et al e extraídos das simulações.

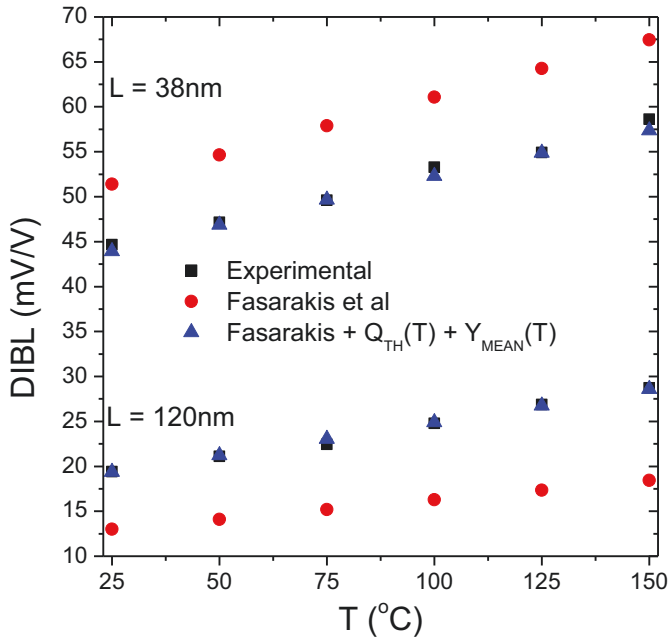


Fonte: Autor.

Portanto, com o intuito de adequar o modelo de Fasarakis et al para uma ampla faixa de temperatura a nossa proposta é incorporar a carga de inversão dependente da temperatura. Ao introduzir os valores de Q_{TH} extraídos no modelo de Fasarakis et al, temos uma precisão

maior, conforme mostrado na Figura 71 para os comprimentos de canal de 38 e 120 nm. Note que o modelo melhorado é o mais preciso e pode ser utilizado para estimar o DIBL em UTBBs com diferentes comprimentos de canal para diferentes temperaturas.

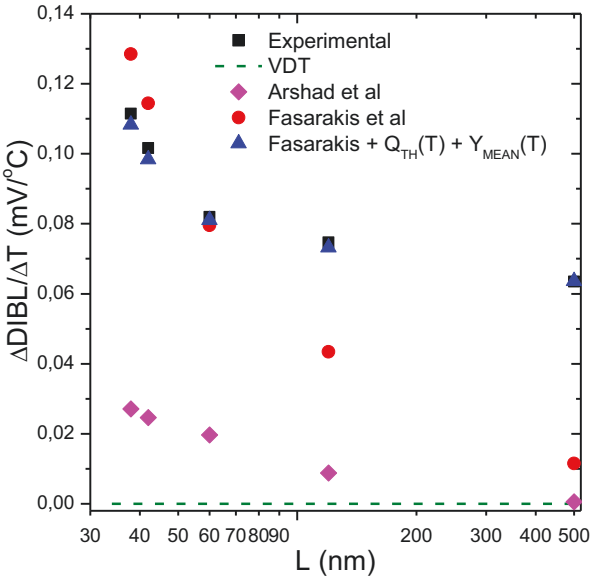
Figura 71 – DIBL em função da temperatura para os dispositivos com L=38 e 120 nm.



Fonte: Autor.

A Figura 72 apresenta o ΔDIBL/ΔT apresentado na Figura 69 acrescentando os resultados do modelo de Fasarakis com $Q_{TH}(T)$. É possível observar que o modelo melhorado reproduz muito bem os dados experimentais em toda a faixa de comprimentos de canal analisados. Vale a pena notar a melhora significativa na precisão para dispositivos mais longos, onde os demais modelos tinham resultados muito imprecisos. É uma contribuição importante, pois em aplicações de tensão ultra baixa (ULV – *Ultra Low Voltage*) comprimentos de canal acima do comprimento mínimo da tecnologia são comumente utilizados para minimizar as fugas de corrente [111] e para melhorar o desempenho analógico [112].

Figura 72 – ΔDIBL/ΔT em função do comprimento de canal experimental e calculado por diferentes modelos.



Fonte: Autor.

7 CONCLUSÕES

Neste trabalho foi feita uma análise da modelagem de dispositivos de porta dupla simétricos e assimétricos com o foco principal em efeitos de canal curto. Para dispositivos de porta dupla simétricos, particularmente FinFETs, foi abordada a limitação trazida pela resistência parasitária, que torna-se importante e degrada a corrente em FinFETs de canal curto. Os dispositivos de porta dupla assimétricos estudados foram os UTBBs, baseados no critério eletrostático do DIBL, amplamente utilizado para definir se um dispositivo está ou não sofrendo com os efeitos de canal curto.

Para os FinFETs, foi feita a implementação e análise de três modelos de resistência parasitária presentes na literatura: modelo de Dixit et al, modelo de Tekleab et al e modelo de Pereira e Giacomini. A análise dos modelos em comparação às simulações numéricas tridimensionais mostrou que o modelo de Pereira e Giacomini foi o que melhor reproduziu os dados de R_{PAR}, apresentando erros percentuais abaixo de 10% para diferentes características de fonte e dreno, baseadas em valores típicos para estes dispositivos presentes na literatura. Os três modelos também foram avaliados em relação a dados experimentais de resistência parasitária e novamente o modelo proposto por Pereira e Giacomini foi o mais adequado. Estes resultados mostraram que a associação das parcelas e a geometria de contato propostas por Pereira e Giacomini é a mais realista e que estas podem produzir grandes diferenças nos valores de R_{PAR}, não devendo ser ignoradas na modelagem. Além disso, foi feita a implementação e análise do modelo de corrente de dreno SDDGM, proposto por Cerdeira et al em 2008. Foi feita a integração do modelo de corrente com o modelo da resistência parasitária, para que a resistência parasitária deixe de ser um parâmetro empírico para extração e ajuste dos modelos de corrente de dreno e passe a ser calculado fisicamente e integrado ao modelo SDDGM. A integração dos modelos de corrente de dreno e resistência parasitária permitiram a substituição de um parâmetro de ajuste pela resistência parasitária calculada fisicamente através do modelo proposto por Pereira e Giacomini. Essa alteração não acrescenta nenhum parâmetro de ajuste adicional ao modelo de corrente de dreno. O modelo completo de corrente proposto foi avaliado através de simulações numéricas tridimensionais e os resultados foram muito adequados, apresentando erros percentuais abaixo de 10%, para caracteristícas e polarizações diversas.

Nos UTBBs, a dependência do DIBL com a temperatura foi analisada em detalhes pela primeira vez. Os resultados experimentais mostraram o aumento do DIBL com o aumento da temperatura. Essa tendência foi confirmada por simulações numéricas de

dispositivos. O fato das simulações físicas para diferentes estruturas de camada fina apresentarem a mesma tendência das medidas enfatiza a generalidade desse comportamento do DIBL com a temperatura. Foram analisados três modelos analíticos para o cálculo do DIBL existentes na literatura: modelo VDT, modelo de Arshad et al e modelo de Fasarakis et al, que não foram capazes de reproduzir os resultados do DIBL(T) de maneira satisfatória. Foi proposta uma forma de adequar o modelo de Fasarakis et al, através da inclusão da carga de inversão e da posição do canal dependente da temperatura, com o intuito de reproduzir corretamente a variação do DIBL com a temperatura para comprimentos de canal diferentes. Os resultados obtidos mostraram uma boa concordância com os dados experimentais e um significativo ganho de precisão em relação aos modelos da literatura, principalmente para comprimentos de canal na faixa de aplicações ULV digital e com bom desempenho analógico para a tecnologia estudada.

7.1 SEQUÊNCIA DE TRABALHO PROPOSTA

Como sequência deste trabalho, em relação aos FinFETs, pode ser feita a avaliação do modelo SDDGM em relação aos efeitos de canal curto e às curvas de dispositivos experimentais, buscando acrescentar descrições mais fiéis ao comportamento físico do dispositivo e eliminar parâmetros de ajuste empíricos. Quanto aos UTBBs, seria interessante modelar fisicamente o comportamento da carga de inversão com a temperatura, eliminando a necessidade de extração desse valor a partir das simulações.

TRABALHOS PUBLICADOS

PEREIRA, A. S. N.; DE STREEL, G.; PLANES, N.; HAOND, M.; GIACOMINI, R.; FLANDRE, D.; KILCHYTSKA, V. An in-depth Analysis of Temperature Effect on DIBL in UTBB FD SOI MOSFETs Based on Experimental Data, Numerical Simulations and Analytical Models. Aceito para publicação em: Solid-State Electronics. Fator de Impacto (2014 JCR): 1,5040, 2016.

OKA, F. H. M.; **PEREIRA, A. S. N.**; GIACOMINI, R. Comparative Analysis of Parasitic Resistance Extraction Methods Applied to FinFETs. SForum 2016 - Chip on the Mountains, 2016.

PEREIRA, A. S. N.; DE STREEL, G.; PLANES, N.; HAOND, M.; GIACOMINI, R.; FLANDRE, D.; KILCHYTSKA, V. Analysis and modelling of temperature effect on DIBL in UTBB FD SOI MOSFETs. Em: Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), Viena, p.116-119, 2016.

SILVA, D.O., **PEREIRA, A. S. N.**, GIACOMINI, R. Analysis of Vertical Field Dependent Mobility Model Applied to FinFET Simulation. Em: SEMINATEC - X Workshop on Semiconductors and Micro & Nano Technology, São Bernardo do Campo, 2015.

PEREIRA, A. S. N.; GIACOMINI, R. An accurate closed-expression model for FinFETs parasitic resistance. Microelectronics Reliability. Fator de Impacto (2014 JCR): 1,4330, v.55, p.470 -480, 2015.

SILVA, D.O., **PEREIRA, A. S. N.**, GIACOMINI, R. Estudo dos Modelos de Mobilidade para a Simulação de FinFETs Considerando a Degradação pela Resistência Parasitária. Em: Simpósio de Pesquisa do Grande ABC, São Bernardo do Campo, 2014.

SILVA, D.O., **PEREIRA, A. S. N.**, GIACOMINI, R. Estudo de Modelos de Mobilidade para a Simulação de Dispositivos SOI FinFET. Em: Simpósio de Iniciação Científica, Didática e de Ações Sociais de Extensão da FEI - SICFEI, São Bernardo do Campo, 2014.

PEREIRA, A. S. N.; CERDEIRA, A.; ESTRADA, M.; GIACOMINI, R. Improved Compact Current Model for FinFETs Based in a New Geometric Approach. Em: EuroSOI: Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits, Tarragona, 2014.

PEREIRA, A. S. N.; PERIN, A. L.; SILVEIRA, M. A. G.; GIACOMINI, R. Study of SOI Stacked Devices Hardness to SEE. Em: WERICE: Workshop sobre os Efeitos das Radiações Ionizantes em Componentes Eletrônicos e Fotônicos de Uso Aeroespacial, São José dos Campos, 2013.

PERIN, A. L.; **PEREIRA, A. S. N.**; SILVEIRA, M. A. G.; GIACOMINI, R. Estudo da Influência do Ângulo de Incidência de Radiação sobre SEE em Transistores Nanométricos. Em: Simpósio de Pesquisa do Grande ABC, São Bernardo do Campo, 2013.

PERIN, A. L.; **PEREIRA, A. S. N.**; GIACOMINI, R. Study of Magnetic Field Influence on Current Density of FinFETs Em: SEMINATEC - VIII Workshop on Semiconductors and Micro & Nano Technology, 2013, Campinas.

REFERÊNCIAS

1. MOORE, G. E. Progress in digital integrated electronics. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1975, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 1975. p. 11-13.
2. SZE, S. M. **Physics of Semiconductor Devices**. New York: John Wiley & Sons, 1981.
3. COLINGE, J. P. **Silicon-On-Insulator Technology:** Materials to VLSI. 3. ed. Boston: Kluwer Academic, 2004.
4. CRISTOLOVEANU, S.; LI, S. **Electrical Characterization of Silicon On Insulator Materials and Devices**. Boston: Kluwer Academic, 1995.
5. FRANK, D. J. et al. Device scaling limits of Si MOSFETs and their application dependencies. **Proceedings of the IEEE**, Piscataway, v. 89, n. 3, p. 259-288, Mar. 2001.
6. ASSADERAGHI, F. et al. High-field transport of inversion-layer electrons and holes including velocity overshoot. **IEEE Transactions on Electron Devices**, Piscataway, v. 44, n. 4, p. 664-671, Apr. 1997.
7. LUNDSTROM, M. Elementary scattering theory of the Si MOSFET. **IEEE Electron Devices Letters**, Piscataway, v. 18, n. 7, p. 361-363, Jul. 1997.
8. HORSTMANN, M. et al. Integration and optimization of embedded-SiGe, compressive and tensile stressed liner films, and stress memorization in advanced SOI CMOS technologies. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2005, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2005. p. 233-236.
9. ZHANG, Z. B. et al. An integratable dual metal gate/high-k CMOS solution for FD-SOI and MuGFET technologies. In: IEEE INTERNATIONAL SOI CONFERENCE, 2005, Honolulu. **Proceedings of IEEE International SOI Conference...** Piscataway: IEEE, 2005. p. 157-158.
10. MISTRY, K. et al. A 45nm logic technology with high-k+metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pbfree packaging. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2007, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2007. p. 247-250.
11. COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. New York: Springer, 2008.
12. INTEL announces new 22nm 3D tri-gate transistors, 2011. Disponivel em: <http://www.intel.com/content/www/br/pt/silicon-innovations/standards-22nm-3d-tri-gate-transistors-presentation.html?wapkw=3d+transistor>. Acesso em: 15 Aug. 2012.
13. INTRODUCING the world's first 3D transistor ready for high volume manufacturing, 2011. Disponivel em: <http://www.intel.com/content/www/br/pt/silicon-innovations/intel-22nm-technology.html?wapkw=3d+transistors>. Acesso em: 15 Aug. 2012.
14. BOHR, M. Silicon technology leadership for the mobility era. In: Intel Developer Forum (IDF), 2012, San Francisco. **Proceedings of the Intel Developer Forum...** San Francisco: Intel, 2012. [s.n.].
15. ITRS Process Integration, Devices and Structures Chapter. **ITRS - International Technology Roadmap for Semiconductors**, 2013. Disponivel em: <http://www.itrs.net/>. Acesso em: 10 Sep. 2014.
16. FENOUILLET-BERANGER, C. et al. FDSOI devices with thin BOX and ground plane

integration for 32 nm node and below. **Solid-State Electronics**, St. Louis, v. 53, p. 730–734, Jul. 2009.

17. HISAMOTO, D. et al. FinFET: a self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, Piscataway, v. 47, n. 12, p. 2320-2325, Dec. 2000.
18. FAYNOT, O. et al. Planar Fully depleted SOI technology: A powerful architecture for the 20nm node and beyond. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2010, San Francisco. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2010. p. 3.2.1 - 3.2.4.
19. ANDRIEU, F. et al. Fully depleted Silicon-On-Insulator with back bias and strain for low power and high performance applications. IN: IEEE INTERNATIONAL CONFERENCE ON IC DESIGN AND TECHNOLOGY (ICICDT), 2010, Grenoble. **Proceedings of the International Conference on IC Design and Technology...** Piscataway: IEEE, 2010. p. 59 - 62.
20. ANTONIADIS, D. A. MOSFET scalability limits and '"new frontier" devices. In: SYMPOSIUM ON VLSI TECHNOLOGY (VLSIT), 2002, Honolulu. **Digest of Technical Papers Symposium on VLSI Technology...** Piscataway: IEEE, 2002. p. 2-5.
21. COLLAERT, N. et al. Multi-gate devices for the 32 nm technology node and beyond: challenges for selective epitaxial growth. **Thin Solid Films**, St. Louis, v. 517, p. 101-104, Nov. 2008.
22. CERDEIRA, A.; IÑIGUEZ, B.; ESTRADA, M. Compact model for short channel symmetric doped double-gate MOSFETs. **Solid-State Electronics**, St. Louis, v. 52, n. 7, p. 1064-1070, Jul. 2008.
23. KARIM, M. A. et al. Extraction of isothermal condition and thermal network in UTBB SOI MOSFETs. **IEEE Electron Device Letters**, Piscataway, v. 33, n. 9, p. 1306-1308, Sep. 2012.
24. NICOLETTI, T. et al. The impact of gate length scaling on UTBOX FDSOI devices: the digital/analog performance of extension-less structures. In: INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (ULIS), 2012, Grenoble. **Proceedings of International Conference on Ultimate Integration on Silicon...** Piscataway: IEEE, 2012. p. 161-164.
25. MAKOVEJEV, S. et al. Threshold voltage extraction techniques and temperature effect in context of global variability in UTBB MOSFETs. In: EUROPEAN SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2013, Bucharest. **Proceedings of European Solid-State Device Research Conference...** Piscataway: IEEE, 2013. p. 194-197.
26. FASARAKIS, N. et al. Analytical modeling of threshold voltage and interface ideality factor of nanoscale ultrathin body and buried oxide SOI MOSFETs with back gate control. **IEEE Transactions on Electron Devices**, Piscataway, v. 61, n. 4, p. 969-975, Apr. 2014.
27. COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. Massachusetts: Kluwer Academic, 2002.
28. MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Thomson, 2003.
29. KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, Rockville, v. 14, n. 4, p. 32-37, Jul. 1998.
30. COLINGE, J. P. Thin-film SOI technology: the solution to many submicron CMOS

problems. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1989, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 1989. p. 817-820.

31. COLINGE, J. P. Subthreshold slope of thin-film SOI MOSFET's. **IEEE Electron Devices Letters**, Piscataway, v. 7, n. 4, Apr. 1986.
32. KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. **IEEE Transactions on Electron Devices**, Piscataway, v. 41, n. 7, p. 1217-1221, Jul. 1994.
33. YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 36, n. 2, p. 399-402, Feb. 1989.
34. OUISSE, T.; CRISTOLOVEANU, S.; BOREL, G. Influence of series resistances and interface coupling on the transconductance of fully-depleted silicon-on-insulator MOSFETs. **Solid-State Electronics**, St. Louis, v. 35, n. 2, p. 141-149, Feb. 1992.
35. LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, Piscataway, v. 30, n. 10, p. 1244-1251, Oct. 1983.
36. BREWS, J. R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, Piscataway, v. 26, n. 9, p. 1282-1291, Oct. 1979.
37. ATLAS User's Manual. Santa Clara: Silvaco, v. 5.16.3.R, 2010.
38. VEERARAGHAVAN, S.; FOSSUM, J. G. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 36, n. 3, p. 522-528, Mar. 1989.
39. GHITANI, H. E. DIBL coeficient in short-channel NMOS transistors. In: NATIONAL RADIO SCIENCE CONFERENCE (NRSC), 1999, Cairo. **Proceedings of National Radio Science Conference...** Piscataway: IEEE, 1999. p. D4.1-D4.5.
40. ORTIZ-CONDE, A. et al. A review of recent MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, St. Louis, v. 42, p. 583–596, Apr. 2002.
41. SKOTNICKI, T. et al. Innovative materials, devices, and CMOS technologies for low-power mobile multimedia. **IEEE Transactions on Electron Devices**, Piscataway, v. 55, n. 1, p. 96 - 130, Jan. 2008.
42. COLINGE, J. P. Multiple-gate SOI MOSFETs. **Solid-State Electronics**, St. Louis, v. 48, p. 897–905, Jun. 2004.
43. MAGNONE, P. et al. Gate voltage and geometry dependence of the series resistance and of the carrier mobility in FinFET devices. **Microelectronic Engineering**, St. Louis, v. 85, p. 1728-1731, Aug. 2008.
44. SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics**, St. Louis, v. 27, n. 8, p. 827-828, Sep. 1984.
45. HISAMOTO, D. et al. A fully depleted lean-channel transistor (DELTA) - A novel vertical ultra thin SOI MOSFET. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1989, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 1989. p. 833-836.
46. COLINGE, J. P. et al. Silicon-On-Insulator "Gate-All-Around device". In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1990, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 1990. p. 595-598.

47. CHAU, R. et al. Advanced depleted-substrate transistors: single-gate, double-gate and tri-gate. In: INTERNATIONAL CONFERENCE ON SOLID STATE DEVICES AND MATERIALS (SSDM), 2002, Nagoya. Proceedings of **International Conference on Solid State Devices and Materials...** Nagoya: Japan Society of Applied Physics, 2002. p. 68-69.
48. PARK, J. T.; COLINGE, J. P.; DIAZ, C. H. Pi-gate SOI MOSFET. **IEEE Electron Device Letters**, Piscataway, v. 22, n. 8, p. 405-406, Aug. 2001.
49. YANG, F. L. et al. 25 nm CMOS omega FETs. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2002, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2002. p. 255-258.
50. MIYANO, S.; HIROSE, M.; MASUOKA, F. Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA). **IEEE Transactions on Electron Devices**, Piscataway, v. 39, p. 1876-1881, Aug. 1992.
51. NITAYAMA, A. et al. Multi-pillar surrounding gate transistor (M-SGT) for compact and high-speed circuits. **IEEE Transactions on Electron Devices**, Piscataway, v. 38, n. 3, p. 579-583, Mar. 1991.
52. LINDERT, N. et al. Quasi-planar NMOS FinFETs with sub-100 nm gate lengths. In: DEVICE RESEARCH CONFERENCE**,** 2001, Indiana. **Proceedings of Device Research Conference...** Piscataway: IEEE, 2001. p. 26-27.
53. HISAMOTO, D. et al. A folded-channel MOSFET for deep-sub-tenth micron era. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1998, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 1998. p. 1032-1034.
54. YU, B. et al. FinFET scaling to 10nm gate length. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2002, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2002. p. 251-254.
55. ERNST, T. et al. Fringing fields in sub-0.1 um fully depleted SOI MOSFETs: optimization of the device architecture. **Solid-State Electronics**, St. Louis, v. 46, p. 373–378, Mar. 2002.
56. FUJIWARA, M. et al. Impact of BOX scaling on 30 nm gate length FD SOI MOSFETs. In: IEEE INTERNATIONAL SOI CONFERENCE, 2005, Honolulu. **Proceedings of IEEE International SOI Conference...** Piscataway: IEEE, 2005. p. 180-182.
57. TSUCHIYA, R. et al. **Silicon on thin BOX:** a new paradigm of the CMOSFET for low-power and high-performance application featuring wide-range back-bias control. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2004, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2004. p. 631-634.
58. FRANCIS, P. et al. Modeling of ultrathin double-gate nMOS/SOI transistors. **IEEE Transactions on Electron Devices**, Piscataway, v. 41, n. 5, p. 715-720, May 1994.
59. NOEL, J.-P. et al. Multi-VT UTBB FDSOI device architectures for low-power CMOS circuit. **IEEE Transactions on Electron Devices**, Piscataway, v. 58, n. 8, p. 2473-2482, Aug. 2011.
60. MAJKUSIAK, B.; JANIK, T.; WALCZAK, J. Semiconductor thickness effects in the double-gate SOI MOSFET. **IEEE Transactions on Electron Devices**, Piscataway, v. 45, n. 5, p. 1127-1134, May 1998.
61. NOEL, J. -P. et al. A simple and efficient concept for setting up multi-VT devices in thin BOX fully-depleted SOI technology. In: EUROPEAN SOLID-STATE DEVICE

RESEARCH CONFERENCE (ESSDERC), 2009, Athens. **Proceedings of European Solid-State Device Research Conference...** Piscataway: IEEE, 2009. p. 137-140.

62. YAN, R. H.; OURMAZD, A.; LEE, K. F. Scaling the Si MOSFET: from bulk to SOI to bulk. **IEEE Transactions on Electron Devices**, Piscataway, v. 39, n. 7, p. 1704-1710, Jul. 1992.
63. OMURA, Y. et al. Impact of metal silicide layout covering source/drain diffusion region on minimization of parasitic resistance of triple-gate SOI MOSFET and proposal of practical design guideline. **Solid-State Electronics**, St. Louis, v. 53, p. 959–971, Sep. 2009.
64. KEDZIERSKI, J. et al. Extension and source/drain design for high-performance FinFET devices. **IEEE Transactions on Electron Devices**, Piscataway, v. 50, n. 4, p. 952-958, Apr. 2003.
65. KAVALIEROS, J. et al. Tri-gate transistor architecture with high-k gate dielectrics, metal gates and strain engineering. In: SYMPOSIUM ON VLSI TECHNOLOGY (VLSIT), 2006, Honolulu. **Digest of Technical Papers Symposium on VLSI Technology...** Piscataway: IEEE, 2006. p. 50-51.
66. AGOPIAN, P. G. D. et al. Impact of SEG on uniaxially strained MuGFET performance. **Solid-State Electronics**, St. Louis, v. 59, n. 1, p. 13-17, May 2011.
67. HOKAZONO, A. et al. Source/ drain engineering for sub-100 nm CMOS using selective epitaxial growth technique. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2000, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2000. p. 243-246.
68. NICOLETT, A. S. et al. Extraction of the lightly doped drain concentration of fully depleted SOI NMOSFETs using the back gate bias effect. **Solid-State Electronics**, St. Louis, v. 44, n. 4, p. 677-684, Apr. 2000.
69. DIXIT, A. et al. Analysis of the parasitic S/D resistance in multiple-gate FETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 52, n. 6, p. 1132-1140, Jun. 2005.
70. BACCARANI, G.; SAI-HALASZ, G. A. Spreading resistance in submicron MOSFET's. **IEEE Electron Device Letters**, Piscataway, v. 4, n. 2, p. 27-29, Feb. 1983.
71. BERGER, H. H. Contact resistance on diffused resistors. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE (ISSCC), 1969, Philadelphia. **Digest of Technical Papers IEEE International Solid-State Circuits Conference...** Piscataway: IEEE, 1969. p. 160-161.
72. TEKLEAB, D.; SAMAVEDAM, S.; ZEITZOFF, P. Modeling and analysis of parasitic resistance in double-gate FinFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 56, n. 10, p. 2291-2296, Oct. 2009.
73. BERGER, H. H. Models for contacts to planar devices. **Solid-State Electronics**, St. Louis, v. 15, n. 2, p. 145-158, Feb. 1972.
74. PEREIRA, A. S. N. **Modelo analítico de resistência parasitária para FinFETs de porta dupla**. 2012. 116 f. Dissertação (Mestrado em Engenharia Elétrica na Área de Dispositivos Eletrônicos Integrtados - Centro Universitário da FEI, São Bernardo do Campo, 27 Sep. 2012.
75. MATSUKAWA, T. et al. Influence of NiSi on parasitic resistance fluctuation of FinFETs. In: INTERNATIONAL SYMPOSIUM ON VLSI TECHNOLOGY, SYSTEMS AND APPLICATIONS (VLSI-TSA), 2011, Taiwan. **Proceedings of International Symposium on VLSI Technology, Systems and Applications, 2011...** Piscataway: IEEE, 2011. p. 1- 2.

76. TERADA, K.; MUTA, H. A new method to determine effective MOSFET channel length. **Japanese Journal of Applied Physics**, Tokyo, v. 18, n. 5, p. 953-959, May 1979.

77. HU, G. J.; CHANG, C.; CHIA, Y. T. Gate-voltage-dependent effective channel length and series resistance of LDD MOSFET's. **IEEE Transactions on Electron Devices**, Piscataway, v. 34, n. 12, p. 2469-2475, Dec. 1987.

78. OKA, F. H. M.; PEREIRA, A. S. N.; GIACOMINI, R. C. Comparative analysis of parasitic resistance extraction methods applied to FinFETs. In: STUDENT FORUM - CHIP ON THE MOUNTAINS, 2016, Belo Horizonte. **Proceedings of Student Forum - Chip on the Montains...** Belo Horizonte: UFMG, 2016. p. 1-4.

79. TAUR, Y. et al. A continuous, analytic drain-current model for DG MOSFETs. **IEEE Electron Device Letters**, Piscataway, v. 25, n. 2, p. 107-109, Feb. 2004.

80. MOLDOVAN, O. et al. Explicit analytical charge and capacitance models of undoped double-gate MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 54, n. 7, p. 1718-1724, Jul. 2007.

81. SALLESE, J. M. et al. A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism. **Solid-State Electronics**, St. Louis, v. 49, n. 3, p. 485-489, Mar. 2005.

82. ORTIZ-CONDE, A. et al. A review of core compact models for undoped double-gate SOI MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 54, n. 1, p. 131-140, Jan. 2007.

83. TSORMPATZOGLOU, A. et al. Threshold voltage model for short-channel undoped symmetrical double-gate MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 55, n. 9, p. 2512-2516, Sep. 2008.

84. LIME, F.; IÑIGUEZ, B.; MOLDOVAN, O. A quasi-two-dimensional compact drain–current model for undoped symmetric double-gate MOSFETs including short-channel effects. **IEEE Transactions on Electron Devices**, Piscataway, v. 55, n. 6, p. 1441-1448, Jun. 2008.

85. HE, F. et al. FinFET: From compact modeling to circuit performance. In: IEEE INTERNATIONAL CONFERENCE OF ELECTRON DEVICES AND SOLID-STATE CIRCUITS (EDSSC), 2010, Hong Kong. **Proceedings of International Conference of Electron Devices and Solid-State Circuits...** Piscataway: IEEE, 2010, p. 1-4.

86. SALLESE, J. M. et al. The equivalent-thickness concept for doped symmetric DG MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 57, n. 11, p. 2917-2924, Nov. 2010.

87. CERDEIRA, A. et al. Charge based compact model for bulk FinFETs. In: IEEE INTERNATIONAL CARIBBEAN CONFERENCE ON DEVICES, CIRCUTS AND SYSTEMS (ICCDCS), 2012, Playa del Carmen. **Proceedings of International Caribbean Conference on Devices, Circuts and Systems...** Piscataway: IEEE, 2012, p. 1-4.

88. PEI, G. et al. FinFET design considerations based on 3-D simulation and analytical modeling. **IEEE Transactions on Electron Devices**, Piscataway, v. 49, n. 8, p. 1411-1419, Aug. 2002.

89. CHEVILLON, N. et al. FinFET compact modeling and parameter extraction. In: INTERNATIONAL CONFERENCE MIXED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS (MIXDES), 2009, Bydgoszcz. **Proceedings of International Conference Mixed Design of Integrated Circuits and Systems...** Piscataway: IEEE,

2009. p. 55-60.

90. FASARAKIS, N. et al. Analytical compact modeling of nanoscale triple-gate FinFETs. In: : IEEE MEDITERRANEAN ELECTROTECHNICAL CONFERENCE (MELECON), 2012, Sfax Tunisia. **Proceedings of IEEE Mediterranean Electrotechnical Conference...** Piscataway: IEEE, 2012. p. 72-75.
91. KLOES, A. et al. Three-dimensional closed-form model for potential barrier in undoped FinFETs resulting in analytical equations for Vt and subthreshold slope. **IEEE Transactions on Electron Devices**, Piscataway, v. 55, n. 12, p. 3467-3475, Dec. 2008.
92. KLOES, A.; WEIDEMANN, M.; SCHWARZ, M. Analytical current equation for short channel SOI multigate FETs including 3D effects. **Solid-State Electronics**, St. Louis, v. 54, p. 1408-1415, Nov. 2010.
93. KLOES, A.; SCHWARZ, M.; HOLTIJ, T. MOS3: a new physics-based explicit compact model for lightly doped short-channel triple-gate SOI MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 59, n. 2, p. 349-358, Feb. 2012.
94. FASARAKIS, N. et al. Compact model of drain current in short-channel triple-gate FinFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 59, n. 7, p. 1891-1898, Jul. 2012.1
95. CHEVILLON, N. et al. Generalization of the concept of equivalent thickness and capacitance to multigate MOSFETs modeling. **IEEE Transactions on Electron Devices**, Piscataway, v. 59, n. 1, p. 60-71, Jan. 2012.
96. CORLESS, R. M. et al. On the Lambert W function. **Advances in Computational Mathematics**, New York, v. 5, p. 329-359, Dec. 1996.
97. SHIRAHATA, M. et al. A mobility model including the screening effect in MOS inversion layer. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, Pennsylvania, v. 11, n. 9, p. 1114-1119, Sep. 1992.
98. DIXIT, A. et al. Minimization of specific contact resistance in multiple gate NFETs by selective epitaxial growth of Si in the HDD regions. **Solid-State Electronics**, St. Louis, v. 50, p. 587–593, Apr. 2006.
99. MATSUKAWA, T. et al. Impact of extension and source/drain resistance on FinFET performance. In: IEEE INTERNATIONAL SOI CONFERENCE, 2008, New York. **Proceedings of IEEE International SOI Conference...** Piscataway: IEEE, 2008. p. 159-160.
100. RUDENKO, T. et al. Substrate bias effect linked to parasitic series resistance in multiple-gate SOI MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 28, n. 9, p. 834-836, Sep. 2007.
101. JURCZAK, M. et al. Review of FINFET technology. In: IEEE INTERNATIONAL SOI CONFERENCE, 2009, California. **Proceedings of IEEE International SOI Conference...** Piscataway: IEEE, 2009. p. 1-4.
102. MATHCAD 14 User's Guide. Needham: PTC, 2007.
103. SKOTNICKI, T.; MERCKEL, G.; PEDRON, T. The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects. **IEEE Electron Device Letters**, Piscataway, v. 9, n. 3, p. 109-112, Mar. 1988.
104. BOEUF, F.; SKOTNICKI, T. Optimal scaling methodologies and transistor performance. In: HUFF, H. R.; GILMER, D. C. **High-K gate dielectric materials for VLSI MOSFET applications**. New York: Springer, 2005. Cap. 6, p. 143-194.
105. SKOTNICKI, T. et al. **MASTAR 4 user's guide**. Crolles: ST Microelectronics, 2011. 59 p.

106. ARSHAD, M. K. M. et al. Extended MASTAR modeling of DIBL in UTB and UTBB SOI MOSFETs. **IEEE Transactions on Electron Devices**, Piscataway, v. 59, n. 1, p. 247-251, Jan. 2012.

107. MAKOVEJEV, S. et al. Impact of self-heating and substrate effects on small-signal output conductance in UTBB SOI MOSFETs. **Solid-State Electronics**, St. Louis, v. 71, n. Selected Papers from the ULIS 2011 Conference, p. 93-100, May 2012.

108. TAKAHASHI, T. et al. Comparison of self-heating effect (SHE) in short-channel bulk and ultra-thin BOX SOI MOSFETs: Impacts of doped well, ambient temperature, and SOI/BOX thicknesses on SHE. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2013, Washington. **Technical Digest. IEEE International Electron Devices Meeting**... Piscataway: IEEE, 2013. p. 7.4.1-7.4.4.

109. JHARIA, B.; SARKAR, S.; P.AGARWAL, R. Controlling factors of drain induced barrier lowering coefficient in short channel MOSFET. **WSEAS Transactions on Electronics**, Taiwan, p. 252-255, Jan. 2004.

110. PLANES, N. et al. 28nm FDSOI technology platform for high-speed low-voltage digital applications. In: SYMPOSIUM ON VLSI TECHNOLOGY (VLSIT), 2012, Honolulu. **Digest of Technical Papers Symposium on VLSI Technology...** Piscataway: IEEE, 2012. p. 133 - 134.

111. BOL, D.; STREEL, G. D.; FLANDRE, D. Can we connect trillions of IoT sensors in a sustainable way? A technology/circuit perspective. In: IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2015, California. **Proceedings of IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference...** Piscataway: IEEE, 2015. p. 1-3.

112. ESFEH, B. K. et al. Comparative study of parasitic elements on RF FoM in 28 nm FD SOI and bulk technologies. In: IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2015, California. **Proceedings of IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference...** Piscataway: IEEE, 2015. p. 1-3.

APÊNDICE A – MODELO COMPLETO DE CORRENTE

Exemplo de cálculo da corrente de dreno pelo modelo completo de corrente proposto feito no Mathcad:

$$\text{lamw}(zs1) := \left| \begin{array}{l} fl1s \leftarrow \text{if}(zs1 = 0, 1, 0) \\ t1ls \leftarrow \ln(fl1s + zs1) \\ wcs1 \leftarrow \text{if}\left[t1ls > 0, t1ls - \ln(t1ls), \sqrt{2\cdot(e\cdot zs1 + 1)} - 1\right] \\ wws1 \leftarrow \left| \begin{array}{l} wc \leftarrow wcs1 \\ ff \leftarrow \text{if}(wc \neq 1, 1, 0) \\ \text{for}\ \ m \in 1..6 \\ \quad wc \leftarrow wc - \dfrac{\left(wc\cdot e^{wc} - zs1\right)}{e^{wc}\cdot(wc + ff) - 0.5\left[(wc + 2)\cdot\dfrac{wc\cdot e^{wc} - zs1}{(wc + ff)}\right]} \end{array} \right. \end{array} \right.$$

$$\text{IC}(Vg, Vd) := \left| \begin{array}{l} a \leftarrow 15 \\ tsi \leftarrow 40\cdot 10^{-7} \\ tox \leftarrow 2\cdot 10^{-7} \\ Hfin \leftarrow 50\cdot 10^{-7} \\ L \leftarrow 500\cdot 10^{-7} \\ \mu 0 \leftarrow 1000 \\ E1 \leftarrow 1\cdot 10^{-3} \\ E2 \leftarrow 4.5\cdot 10^{5} \\ P1 \leftarrow -0.6 \\ P2 \leftarrow 0.54 \\ \phi m \leftarrow 4.6 \\ Rs \leftarrow 3924 \\ Nss \leftarrow 0 \\ q \leftarrow 1.602\cdot 10^{-19} \\ \varepsilon 0 \leftarrow 8.86542\cdot 10^{-14} \\ kox \leftarrow 3.9 \\ ksi \leftarrow 11.8 \\ \varepsilon ox \leftarrow \varepsilon 0\cdot kox \\ \varepsilon si \leftarrow \varepsilon 0\cdot ksi \\ kB \leftarrow 1.378\cdot 10^{-23} \\ kBe \leftarrow 8.6174\cdot 10^{-5} \\ \phi t \leftarrow kB\cdot T\cdot q^{-1} \\ Na \leftarrow 10^{a} \\ Cox \leftarrow \varepsilon ox\cdot tox^{-1} \\ Csi \leftarrow \varepsilon si\cdot tsi^{-1} \\ \gamma \leftarrow Cox\cdot(4\cdot Csi)^{-1} \\ \delta \leftarrow \left(\dfrac{Csi}{Csi + Cox}\right) \\ nd \leftarrow 0.5 + \delta \end{array} \right.$$

$$tn \leftarrow \frac{tsi}{2\cdot\sqrt{2}}\cdot\sqrt{1+\frac{1}{\gamma}}$$

$$Qb \leftarrow q\cdot Na\cdot tsi$$

$$qb \leftarrow Qb\cdot(Cox\cdot\phi t)^{-1}$$

$$Nc \leftarrow 2.8\cdot 10^{19}\cdot\left(\frac{T}{300}\right)^{1.5}$$

$$Nv \leftarrow 1.04\cdot 10^{19}\cdot\left(\frac{T}{300}\right)^{1.5}$$

$$Eg0 \leftarrow 1.08 + 4.73\cdot 10^{-4}\cdot\left(\frac{300^2}{300+636}-\frac{T^2}{T+636}\right)$$

$$DEg \leftarrow 9\cdot 10^{-3}\cdot\left(\ln\left(Na\cdot 10^{-17}\right)+\sqrt{\ln\left(Na\cdot 10^{-17}\right)^2+0.9}\right)$$

$$Eg \leftarrow Eg0 - DEg$$

$$ni \leftarrow \sqrt{Nc\cdot Nv}\cdot e^{-\frac{Eg}{2\cdot kBe\cdot T}}$$

$$\phi F \leftarrow \phi t\cdot\ln\left(Na\cdot ni^{-1}\right)$$

$$\phi Si \leftarrow 4.17 + 0.5\cdot Eg + \phi F$$

$$\phi ms \leftarrow \phi m - \phi Si$$

$$Vfb \leftarrow \phi ms - (q\cdot Nss)\cdot Cox^{-1}$$

$$\phi dbt \leftarrow Qb\cdot(8\cdot Csi)^{-1}$$

$$\alpha dbt \leftarrow \phi dbt\cdot\phi t^{-1}$$

$$\phi st \leftarrow 2\cdot\phi F + \phi t\cdot\ln\left[\gamma\cdot\left(1+\frac{1}{qb}\right)\right]$$

$$\phi dt \leftarrow \phi dbt + \frac{5\phi t}{8}$$

$$\alpha dt \leftarrow \phi dt\cdot\phi t^{-1}$$

$$Vto \leftarrow Vfb + \phi st + \phi t\cdot\sqrt{\frac{qb}{2\cdot\gamma}}\cdot\sqrt{\alpha dt}\cdot\sqrt{1+\frac{1-e^{-\alpha dt}}{\alpha dt}\cdot\gamma\cdot\left(1+\frac{1}{qb}\right)}$$

$$Vt \leftarrow Vto$$

$$Vgx \leftarrow Vg$$

$$Namax \leftarrow Csi\cdot\phi t\cdot(q\cdot tsi)^{-1}\cdot\left(11.68-2\cdot\gamma+\frac{1}{4}\cdot\gamma^2\right)$$

$$amax \leftarrow \log(Namax)$$

$$Vgm \leftarrow 2$$

$$d\phi m \leftarrow 0.197 - 0.047\cdot 10^{7}\cdot tox + 0.0045\cdot 10^{14}\cdot tox^2 + 0.00418\cdot 10^{7}\cdot tsi - 3\cdot 10^{-5}\cdot 10^{14}\cdot tsi^2$$

$$difV10 \leftarrow Vgx - Vt$$

$$difV20 \leftarrow Vgm - Vt$$

$$\phi d10 \leftarrow \phi dbt + \frac{19\cdot\phi t}{16}\cdot e^{difV10\cdot(1.1\phi t)^{-1}}\cdot\left(1+e^{difV10\cdot(1.1\phi t)^{-1}}\right)^{-1}$$

$$\phi d2A0 \leftarrow \left(d\phi m+\frac{\phi dbt}{3}-0.042\right)-\left\lceil\left(d\phi m-0.042+\frac{\phi dbt}{3}\right)-\phi dt\right\rceil\cdot\left\lceil\frac{1-difV10\cdot difV20^{-1}}{1+1.35\cdot(difV10)}\right\rceil$$

$$\phi d2B0 \leftarrow \left\lceil\left(d\phi m+\frac{\phi dbt}{2}\cdot 1-0.042\right)-\left\lceil\left(d\phi m+\frac{\phi dbt}{2}\cdot 1-0.042\right)-\phi dt\right\rceil\cdot\left\lceil\frac{1-difV10\cdot difV20^{-1}}{1+0.5\cdot(difV10)}\right\rceil\right\rceil$$

$$\phi d20 \leftarrow \phi d2A0\cdot\frac{1-\tanh[(a-amax-0.5)\cdot 5]}{2}+\phi d2B0\cdot\frac{1+\tanh[(a-amax-0.5)\cdot 5]}{2}$$

$$\phi d0 \leftarrow \phi d10\cdot\frac{1-\tanh[(Vgx-Vt)\cdot 30]}{2}+\phi d20\cdot\frac{1+\tanh[(Vgx-Vt)\cdot 30]}{2}$$

$$\alpha d0 \leftarrow \phi d0\cdot\phi t^{-1}$$

$$zs10 \leftarrow \left(\frac{qb}{4}\right)\cdot e^{\left(Vgx-Vfb-2\cdot\phi F-\frac{qb}{2}\cdot\phi t\right)\cdot\phi t^{-1}}$$

$$\phi sbt0 \leftarrow Vgx - Vfb - \frac{qb}{2}\cdot\phi t - \phi t\cdot lamw(zs10)$$

$$zs20 \leftarrow \sqrt{\frac{qb}{2}\cdot\frac{Csi}{Cox}}\cdot\sqrt{1-e^{-\alpha d0}}\cdot e^{(Vgx-Vfb-2\cdot\phi F)\cdot(\phi t\cdot 2)^{-1}}$$

$$\phi sat0 \leftarrow Vgx - Vfb - 2\cdot\phi t\cdot lamw(zs20)$$

$$\phi s0 \leftarrow \phi sbt0\cdot\frac{1}{2}\cdot[1-\tanh[(Vgx-Vt)\cdot 10]]+\phi sat0\cdot\frac{1}{2}\cdot[1+\tanh[(Vgx-Vt)\cdot 10]]$$

$$qs \leftarrow \sqrt{2\cdot qb\cdot\frac{Csi}{Cox}\cdot\sqrt{\alpha d0}\cdot\sqrt{1+\left(1-e^{-\alpha d0}\right)\cdot\alpha d0^{-1}\cdot e^{(\phi s0-2\cdot\phi F)\cdot\phi t^{-1}}}}-\frac{qb}{2}$$

$$difV1 \leftarrow Vgx - Vt - Vd$$

$$difV2 \leftarrow Vgm - Vt - Vd$$

$$\phi d1 \leftarrow \phi dbt + \frac{19\cdot\phi t}{16}\cdot e^{difV1\cdot(1.1\phi t)^{-1}}\cdot\left(1+e^{difV1\cdot(1.1\phi t)^{-1}}\right)^{-1}$$

$$\phi d2A \leftarrow \left(d\phi m+\frac{\phi dbt}{3}-0.042\right)-\left\lceil\left(d\phi m+\frac{\phi dbt}{3}-0.042\right)-\phi dt\right\rceil\cdot\left\lceil\frac{1-difV1\cdot difV2^{-1}}{1+1.35\cdot(difV1)}\right\rceil$$

$$\phi d2B \leftarrow \left\lceil\left(d\phi m+\frac{\phi dbt}{2}-0.042\right)-\left\lceil\left(d\phi m+\frac{\phi dbt}{2}-0.042\right)-\phi dt\right\rceil\cdot\left\lceil\frac{1-difV1\cdot difV2^{-1}}{1+0.5\cdot(difV1)}\right\rceil\right\rceil$$

$$\phi d2 \leftarrow \phi d2A\cdot\frac{1-\tanh[(a-amax-0.5)\cdot 5]}{2}+\phi d2B\cdot\frac{1+\tanh[(a-amax-0.5)\cdot 5]}{2}$$

$$\phi d \leftarrow \phi d1\cdot\frac{1-\tanh[(Vg-Vt-Vd)\cdot 30]}{2}+\phi d2\cdot\frac{1+\tanh[(Vg-Vt-Vd)\cdot 30]}{2}$$

$$\alpha d \leftarrow \phi d\cdot\phi t^{-1}$$

$$zs1 \leftarrow \left(\frac{qb}{4}\right)\cdot e^{\left(Vgx-Vfb-2\cdot\phi F-\frac{qb}{2}\cdot\phi t-Vd\right)\cdot\phi t^{-1}}$$

$$\phi sbt \leftarrow Vgx - Vfb - \frac{qb}{2}\cdot\phi t - \phi t\cdot lamw(zs1)$$

$$zs2 \leftarrow \sqrt{\frac{qb}{2}\cdot\frac{Csi}{Cox}}\cdot\sqrt{1-e^{-\alpha d}}\cdot e^{(Vgx-Vfb-2\cdot\phi F-Vd)\cdot(\phi t\cdot 2)^{-1}}$$

$$\phi sat \leftarrow Vgx - Vfb - 2\cdot\phi t\cdot lamw(zs2)$$

$$\phi s \leftarrow \phi sbt\cdot\frac{1}{2}\cdot[1-\tanh[(Vgx-Vt)\cdot 10]]+\phi sat\cdot\frac{1}{2}\cdot[1+\tanh[(Vgx-Vt)\cdot 10]]$$

$$qd \leftarrow \sqrt{2\cdot qb\cdot\frac{Csi}{Cox}}\cdot\sqrt{\alpha d}\cdot\sqrt{1+\left(1-e^{-\alpha d}\right)\cdot\alpha d^{-1}\cdot e^{(\phi s-2\cdot\phi F-Vd)\cdot\phi t^{-1}}}-\frac{qb}{2}$$

$$Em \leftarrow \frac{Cox\cdot\phi t}{\varepsilon si}\cdot\left\lceil\left(\frac{qs+qd}{2}\right)+\frac{qb}{2}\right\rceil$$

$$\mu s \leftarrow \frac{\mu 0}{\left\lceil 1+\left(\frac{Em}{E1}\right)^{P1}+\left(\frac{Em}{E2}\right)^{P2}\right\rceil}$$

$$qq \leftarrow \frac{\left(qs^2-qd^2\right)}{2}+\left\lceil\left\lceil 2\cdot(qs-qd)-qb\cdot\ln\left(\frac{qs+qb}{qd+qb}\right)\right\rceil\right\rceil$$

$$I0 \leftarrow 2\cdot\frac{Hfin}{L}\cdot Cox\cdot\phi t^2$$

$$Id \leftarrow I0\cdot\mu s\cdot qq$$

$Vge := 0$

$Vde := 0$

Given

$Vge - Vg + Rs\cdot IC(Vge, Vde) = 0$

$Vde - Vd + 2\cdot Rs\cdot IC(Vge, Vde) = 0$

$$\begin{pmatrix} Vgef(Vg,Vd) \\ Vdef(Vg,Vd) \end{pmatrix} := Find(Vge, Vde)$$

$IC(Vg, Vd) := IC(Vgef(Vg, Vd), Vdef(Vg, Vd))$

APÊNDICE B – SIMULAÇÃO UTBB AJUSTADA

Arquivos de simulação ajustados para o UTBB com comprimento de canal de 42 nm e T=25^{o}C:

Simulação para VD baixo:

```
go atlas
TITLE UTBB SOI - L=42nm / T=300K
################################
# Especifying the initial mesh #
################################
mesh space.mult=1.0
#
x.mesh loc=-0.046 spac=0.002
x.mesh loc=-0.031 spac=0.0005
x.mesh loc=-0.021 spac=0.0005
x.mesh loc=0.0    spac=0.002
x.mesh loc=0.021  spac=0.0005
x.mesh loc=0.031  spac=0.0005
x.mesh loc=0.046 spac=0.002
#
y.mesh loc=-0.0113 spac=0.001
y.mesh loc=-0.0013 spac=0.0005
y.mesh loc=0.00    spac=0.0005
y.mesh loc=0.001   spac=0.0005
y.mesh loc=0.003   spac=0.0005
y.mesh loc=0.007   spac=0.0005
y.mesh loc=0.008   spac=0.0005
y.mesh loc=0.010   spac=0.001
y.mesh loc=0.012   spac=0.002
y.mesh loc=0.028   spac=0.002
y.mesh loc=0.032   spac=0.0005
#
region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.007 silicon
region      num=3 y.min=0.007  oxide
#
#**************** DEFINE THE ELECTRODES *****************
# 1-GATE    2-SOURCE    3-DRAIN   4-SUBSTRATE
#
electrode   name=gate  x.min=-0.021 x.max=0.021 y.min=-0.0113
y.max=-0.0013
electrode   name=source x.max=-0.031 y.min=0.00 y.max=0.0
electrode   name=drain  x.min=0.031 y.min=0.00 y.max=0.0
electrode   name=substrate bottom
#
#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping          uniform conc=1e15 p.type  reg=2  x.l=-0.031
x.r=0.031
doping          gaussian conc=1e20 n.type char=0.0 lat.char=0.004
reg=2 x.r=-0.031
```

```
doping          gaussian conc=1e20 n.type char=0.0 lat.char=0.004
reg=2 x.l=0.031

save outfile=UTBB_L42_gaussian4.str

# SET WORKFUNCTION OF GATE
contact            name=gate workfunc=4.7
contact            name=substrate workfunc=4.95

# SPECIFYING PHYSICAL MODELS
models kla shi bgn srh fldmob print temp=300

MOBILITY P1N.SHI=0.85

output E.MOBILITY H.MOBILITY

solve init

method newton autonr trap maxtrap=10

solve vdrain=0.0 vfinal=0.05 vstep=0.005 name=drain

log outf=IDVG_UTBB_L42_50mV_T300_gaussian4_shi_P1085.log

solve vgate=0.0 vfinal=0.43 vstep=0.001 name=gate
save outfile=UTBB_L42_T300_gaussian4_VD50mV_VG0430.str

solve vgate=0.431 vfinal=1.2 vstep=0.001 name=gate

quit
```

Simulação para VD alto:

```
go atlas
TITLE UTBB SOI - L=42nm / T=300K
################################
# Especifying the initial mesh #
################################
mesh space.mult=1.0
#
x.mesh loc=-0.046 spac=0.002
x.mesh loc=-0.031 spac=0.0005
x.mesh loc=-0.021 spac=0.0005
x.mesh loc=0.0    spac=0.002
x.mesh loc=0.021  spac=0.0005
x.mesh loc=0.031  spac=0.0005
x.mesh loc=0.046 spac=0.002
#
y.mesh loc=-0.0113 spac=0.001
y.mesh loc=-0.0013 spac=0.0005
y.mesh loc=0.00    spac=0.0005
y.mesh loc=0.001   spac=0.0005
y.mesh loc=0.003   spac=0.0005
y.mesh loc=0.007   spac=0.0005
y.mesh loc=0.008   spac=0.0005
```

```
y.mesh loc=0.010   spac=0.001
y.mesh loc=0.012   spac=0.002
y.mesh loc=0.028   spac=0.002
y.mesh loc=0.032   spac=0.0005
#
region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.007 silicon
region      num=3 y.min=0.007  oxide
#
#**************** DEFINE THE ELECTRODES ****************
# 1-GATE    2-SOURCE    3-DRAIN   4-SUBSTRATE
#
electrode   name=gate  x.min=-0.021 x.max=0.021 y.min=-0.0113
y.max=-0.0013
electrode   name=source x.max=-0.031 y.min=0.00 y.max=0.0
electrode   name=drain  x.min=0.031 y.min=0.00 y.max=0.0
electrode   name=substrate bottom
#
#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping          uniform conc=1e15 p.type  reg=2  x.l=-0.031
x.r=0.031
doping          gaussian conc=1e20 n.type char=0.0 lat.char=0.004
reg=2 x.r=-0.031
doping          gaussian conc=1e20 n.type char=0.0 lat.char=0.004
reg=2 x.l=0.031

save outfile=UTBB_L42_gaussian4.str

# SET WORKFUNCTION OF GATE
contact            name=gate workfunc=4.7
contact            name=substrate workfunc=4.95

# SPECIFYING PHYSICAL MODELS
models kla shi bgn srh fldmob print temp=300

MOBILITY P1N.SHI=0.82 E1N.SHI=8.0E3

output E.MOBILITY H.MOBILITY

solve init

method newton autonr trap maxtrap=10

solve vdrain=0.0 vfinal=1.0 vstep=0.01 name=drain

log outf=IDVG_UTBB_L42_1V_T300_gaussian4_shi_P1082_E18.log

solve vgate=0.0 vfinal=0.392 vstep=0.001 name=gate
save outfile=UTBB_L42_T300_gaussian4_VD1V_VG0392.str

solve vgate=0.393 vfinal=1.2 vstep=0.001 name=gate

quit
```