CENTRO UNIVERSITÁRIO DA FEI
MULLER FERNANDES GOMES

IMPACTO DA UTILIZAÇÃO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI NAS CARACTERÍSTICAS ELÉTRICAS DE ESPELHOS DE CORRENTE

São Bernardo do Campo
2015

MULLER FERNANDES GOMES

IMPACTO DA UTILIZAÇÃO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI NAS CARACTERÍSTICAS ELÉTRICAS DE ESPELHOS DE CORRENTE

Dissertação de Mestrado apresentado ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica. Orientado pela Profa. Dra. Michelly de Souza.

São Bernardo do Campo

2015

Gomes, Muller Fernandes

Impacto da utilização da associação série assimétrica de transistores SOI nas características elétricas de espelhos de corrente / Muller Fernandes Gomes. São Bernardo do Campo, 2015.

107 f. : il.

Dissertação de Mestrado - Centro Universitário da FEI.

Orientador: Profa. Dra. Michelly de Souza

1. Associação Série Simétrica. 2. Associação Série Assimérica. 3. Transistor SOI MOSFET. I. Souza, Michelly de, orient. II. Título.

CDU 6621.382.3

CENTRO UNIVERSITÁRIO DA FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Mestrado

PGE-10

Aluno: Muller Fernandes Gomes

Matrícula: 112305-8

Título do Trabalho: Impacto da utilização da associação série assimétrica de transistores SOI nas características elétricas de espelhos de corrente.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof.ª Dr.ª Michelly de Souza

Data da realização da defesa: 11/09/2015

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

_____

_____

_____

_____

_____

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA	
Prof.ª Dr.ª Michelly de Souza	Ass.: _____
Prof.ª Dr.ª Milene Galeti	Ass.: _____
Prof.ª Dr.ª Katia Franklin Albertin Torres	Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA DISSERTAÇÃO

APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

Dedico este trabalho a minha esposa, e a todos aqueles que motivaram a lutar pelas coisas que acredito.

AGRADECIMENTOS

A minha orientadora, Profa. Dra. Michelly de Souza, por acreditar no meu trabalho, pelo grande apoio durante estes três anos, por todos os ensinamentos e pela ajuda nas metas e objetivos necessários para o desenvolvimento deste trabalho.

Ao meu colega de sala de aula Rafael Assalti, por todos os compartilhamentos de conhecimentos e suporte nos trabalhos de laboratório.

A minha esposa pelos longos fins de semana investidos neste mestrado e por sempre acreditar que eu seria capaz, e aos familiares que sempre me incentivaram.

Ao Centro Universitário da FEI, por toda infraestrutura e disponibilidade de recursos essenciais no desenvolvimento deste trabalho.

A Eli Lilly do Brasil pelo apoio financeiro.

RESUMO

Este trabalho tem o objetivo de estudar o comportamento de espelhos de corrente de fonte comum implementados com Associações Séries Simétricas e Assimétricas de transistores SOI nMOSFET totalmente depletados, comparando-os com os resultados do mesmo circuito implementado com dispositivos SOI individuais. O estudo foi realizado avaliando suas características elétricas a partir de resultados adquiridos através de simulações numéricas bidimensionais e de medidas experimentais destes circuitos.

Inicialmente, foram avaliadas, através de simulações numéricas bidimensionais, as características elétricas básicas de transistores SOI convencionais como tensão de limiar, efeitos de canal curto, efeitos causados por elevado campo elétrico e as características analógicas destes dispositivos. Logo após esta análise inicial, foram simuladas as associações séries de transistores SOI MOSFET, sendo elas simétricas (dois transistores com mesma tensão de limiar) e assimétricas (tensões de limiar diferentes para os dois transistores da associação). Foram demonstrados os ganhos já reportados, avaliados em estudos anteriores destas associações, tais como o aumento da transcondutância, a redução da condutância de saída e o aumento do ganho de tensão intrínseco.

Também são apresentadas as características dos espelhos de corrente de fonte comum como precisão de espelhamento e os principais parâmetros que afetam esta característica em um espelho de corrente, tais como descasamento entre dispositivos do espelho de corrente, resistência e excursão de saída.

Com os dispositivos analisados como transistores simples foram realizadas simulações numéricas bidimensionais através do software ATLAS para averiguar o comportamento destes em espelhos de corrente de fonte comum. Foram analisadas as características de precisão de espelhamento, descasamento entre dispositivos, resistência e excursão de saída, onde os espelhos de corrente compostos por dispositivos com associações série simétrica apresentaram comportamento semelhante ao dos espelhos de corrente formados por dispositivos SOI convencional de mesmo comprimento total de canal, com melhorias significativas somente na excursão de saída. Já os espelhos de corrente compostos por dispositivos de associações série assimétricas apresentam melhoras na excursão de saída e na resistência de saída.

Posteriormente, foram realizadas simulações numéricas bidimensionais através do software ATLAS, para averiguar a influência do comprimento de canal dos dois transistores que compõem a associação série, sobre o comportamento dos espelhos de corrente de fonte

comum. Para iniciar os trabalhos, foi realizada a comparação entre dispositivos SOI convencionais variando seu comprimento de canal de 1µm até 4µm e comparando estes com associações série simétricas, como também com as associações série assimétricas com mesmo comprimento total de canal ($L=L_S+L_D$, onde L_S é comprimento de canal do transistor próximo à fonte e L_D é o comprimento de canal do transistor próximo ao dreno). Esta comparação foi realizada através do comportamento das associações frente aos dispositivos convencionais, onde foi verificado que as associações série simétricas possuem comportamento semelhante aos transistores SOI convencionais de mesmo comprimento total de canal, porém com melhorias em algumas características como aumento da tensão de ruptura. Já as associações séries assimétricas apresentam comportamento semelhante ao do dispositivo convencional próximo à fonte e de comprimento L_S, que possui alta concentração de dopantes, além de apresentar melhorias em características como transcondutância, condutância de saída e ganho de tensão, sempre quando comparados ao transistor convencional de mesmo comprimento total.

Com os dispositivos fornecidos pela UCLouvain foram realizadas análises experimentais semelhantes às feitas para simulações numéricas bidimensionais, avaliando tanto transistores SOI convencionais simples como também as associações série simétrica e assimétrica aplicadas em espelhos de corrente de fonte comum, comparando estes dispositivos com as tendências obtidas através das análises realizadas para as simulações.

Concluindo o estudo, comprovou-se que associações série assimétricas possuem melhor desempenho em espelhos de corrente do que transistores SOI convencionais, em parâmetros como excursão e resistência de saída, apresentando comportamento similar nos parâmetros de espelhamento.

Palavras-chave: Associação Série Simétrica, Associação Série Assimétrica e transistor SOI nMOSFET convencional

ABSTRACT

The main objective of this paper is to study the commum source current mirror behavior implemented with the Symmetric and Asymmetric Self-Cascode of nMOSFET totally depleted SOI transistors, comparing them to the results of the same circuit implemented with individual SOI devices. The study was made evaluating their electrical characteristics from the results acquired through bidimensional numerical simulations and experimental measures from these circuits.

Initially were evaluated, through bidimensional numerical simulations, the basic electrical characteristics from conventional SOI transistors as threshold voltage, short channel effect, effects caused by high electrical field and the analog characteristics from these devices. Right after this first analysis, was simulated the MOSFET SOI transistors Self-cascode, wich are Symmetric (two transistors with the same threshold voltage) and Asymmetric (threshold voltage different for the two association transistors). Were proven that the gains already reported that were evaluated in previous studies for these associations, such as transconductance increase, the output conductance reduction and intrinsic voltage gain increase.

Area also presented in this paper the common source current mirrors characteristics as mirroring precision and the main parameters that affect this characteristic in a current mirror, such as device decoupling from the current mirror, the resistance and output excursion.

Subsequently, were made bidimensional numeric simulations through ATLAS software, to verify the two transistors channel length influence that compose the self-cascode, over the common source current mirror behavior. To start, was made a comparison of conventional SOI devices, varying their channel length from 1µm to 4µm and comparing it with Symmetric association, as well as with Asymmetric association with the amount of channel length ($L=L_S+L_{D,}$ where L_S is the channel length from the transistor next to the source and L_D is the channel length from the transistor next to the drain).

This comparison was made through the associations behavior facing the conventional devices for distinctive groups, which was verified that the Symmetric self-cascode with the same total length has similar behavior to the conventional SOI transistors, but with improvements in some characteristics as rupture voltage increase. However, the Asymmetric self-cascode present similar behavior to the conventional device next to the source and the L_S length that has high doping concentration, in addition to present improvements in characteristics with

transconductance, output conductance and voltage gain whenever compared to the conventional transistor with the same total length.

With the analyzed devices as simple transistors were made bidimensional numeric simulations through the ATLAS software to verify the transistors behavior in common source current mirror. Were analyzed the mirroring precision, the decoupling between devices, the resistance and output excursion characteristics, where the current mirrors made by devices with Symmetric self-cascode presented similar behavior to the current mirror made by conventional SOI devices with same channel total length, with significant improvements only in the output excursion, however the current mirror made with Asymmetric self-cascode present improvements in the output excursion and in the output resistance.

With the devices supplied by UCLouvain were made the same analysis as for the bidimensionals numeric simulations, evaluating both simple conventional SOI transistors and the Symmetric and Asymmetric self-cascode applied in common source current mirrors, comparing these devices with analysis made for the simulations.

Completing the study, it was proven that the Asymmetric self-cascode has a better performance in the current mirror than conventional SOI transistors in parameters as output excursion and resistance, presenting similar behavior in the mirroring parameters.

Keywords: Self-cascode Symmetric Asymmetric Current Mirror Conventional SOI Transistor.

LISTA DE ILUSTRAÇÕES

Figura 1 - Perfil transversal do transistor SOI nMOSFET. 25
Figura 2 - Diagrama de banda de Energia em MOS convencional. 27
Figura 3 - Diagrama de banda de energia em SOI parcialmente depletado. 28
Figura 4 - Diagrama de banda de energia em SOI totalmente depletado. 28
Figura 5 - Distribuição das cargas de depleção em dispositivos de canal longo a esquerda e canal curto a direita em Bulk e SOI totalmente depletado. 33
Figura 6 - Efeito Kink em um transistor nSOIMOSFET 34
Figura 7 - Transistor Bipolar parasitario do dispositivo SOI MOSFET [41]. 36
Figura 8 - Amplificador de tensão com transistor MOS e carga capacitiva. 37
Figura 9 - Curva esquematica de g_m/I_{DS} x $I_{DS}/(W/L)$ 39
Figura 10 - Curva esquemática da tensão Early. 40
Figura 11 - Esquemático de uma associação em série de dois transistores 41
Figura 12 - Esquemático de um espelho de corrente de fonte comum. 43
Figura 13 - Modelo equivalente para pequenos sinais do espelho de corrente da figura 12. ... 46
Figura 14 - Curva I_{DOUT} x V_{DOUT} e g_D x V_{DOUT} esquemática de espelho de corrente de fonte comum. 48
Figura 15 - Corte transversal do Transistor SOI de uma associação série assimétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes. 51
Figura 16 - Corte transversal do Transistor SOI de uma associação série simétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes. 51
Figura 17 - Curvas I_{DOUT} x V_G com V_D =1,5V de transistores SOI Convencional de comprimento de canal L=1 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S =1µm ; L_D =3µm. 52
Figura 18 - Curvas I_{DOUT} x V_G com V_D = 1,5V de transistores SOI Convencional de comprimento de canal L=2 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S =2µm ; L_D =2µm. 53
Figura 19 - Curvas I_{DOUT} x V_G com V_D = 1,5V de transistores SOI Convencional de comprimento de canal L=3 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3 µm ; L_D=1 µm. 53
Figura 20 - Curvas g_m x V_G com transistores SOI Convencionais de comprimento de canal L=1 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=1µm; L_D=3µm. 55

Figura 21 - Curvas g_m x V_G de transistores SOI Convencionais de comprimento de canal L=2 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=2µm e L_D=2µm. 55
Figura 22 - Curvas g_m x V_G de transistores SOI Convencional de comprimento de canal L=3 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3µm e L_D=1 µm. 56
Figura 23 - Curvas I_{DOUT} x V_D com $V_G = V_{TH}$ +0,2 V de transistores SOI Convencional de comprimento de canal L=1 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=1µm e L_D =3µm. 57
Figura 24 - Curvas g_D x V_D de transistores SOI Convencional de comprimento de canal L=1µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=1µm e L_D=3µm. 58
Figura 25 - Curvas I_{DOUT} x V_D com $V_G = V_{TH}$ +0,2 V de transistores SOI Convencional de comprimento de canal L=2 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=2µm e L_D=2µm. 58
Figura 26 - Curvas g_D x V_D de transistores SOI Convencional de comprimento de canal L=2µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=2µm e L_D=2µm. 59
Figura 27 - Curvas I_{DOUT} x V_D com $V_G = V_{TH}$ + 0,2 V de transistores SOI Convencional de comprimento de canal L=3µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3µm e L_D=1µm. 59
Figura 28 - Curvas g_D x V_D de transistores SOI Convencional de comprimento de canal L=3µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3µm e L_D=1µm. 60
Figura 29 - Curvas I_{DOUT} x V_G com V_D=1,5V de transistores de associação série assimétrica (A-SC) com L_S fixo em 2µm L_D variando de 1 à 5µm. 61
Figura 30 - Curvas I_{DOUT} x V_G com V_D = 1,5V de transistores de associação série assimétrica (A-SC) com L_D fixo em 2µm L_S variando de 1 à 5µm. 62
Figura 31 - Curvas g_m x V_G com associação série assimétrica (A-SC) de comprimento de canal L_S fixo em 2µm e L_D variando de 1 à 5µm. 63
Figura 32 - Curvas g_m x V_G com associação série assimétrica (A-SC) de comprimento de canal L_D fixo em 2µm e L_S variando de 1 à 5µm. 63
Figura 33 - Curvas I_{DOUT} x V_D com $V_G = V_{th}$ + 200mV de transistores de associação série assimétrica (A-SC) com L_S fixo em 2µm e L_D variando de 1 à 5µm. 64

Figura 34 - Curvas I_{DOUT} x V_D com V_G = V_{th} + 200mV de transistores de associação série assimétrica (A-SC) com L_D fixo em 2µm e L_S variando de 1 à 5µm. 65
Figura 35 - Curvas g_D x V_D com associação série assimétrica (A-SC) de comprimento de canal L_D fixo em 2µm; e L_S variando de 1 à 5µm. 65
Figura 36 - Curvas g_D x V_D com associação série assimétrica (A-SC) de comprimento de canal L_S fixo em 2µm; e L_D variando de 1 à 5µm. 66
Figura 37 - Corte transversal do espelho de corrente de fonte comum de uma associação série assimétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes 67
Figura 38 - Corte transversal do espelho de corrente de fonte comum de uma associação série simétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes..... 68
Figura 39 - Corte transversal do espelho de corrente de fonte comum de uma associação de transistores SOI convencional de comprimento de canal L de 4 µm com perfil de concentração de dopantes. 68
Figura 40 - Curvas I_{OUT}/I_{IN} x I_{IN} com V_{OUT} = V_{IN} , variando V_{IN} de 0 a 3 V de espelhos de corrente com associações séries simétricas(S-SC) e assimétricas (A-SC) e espelho de corrente com transistores SOI convencional. 69
Figura 41 - Curva I_{OUT}/I_{IN} x I_{IN} com V_{OUT} = 1,5 V e V_{IN} variando de 0 a 3 V de espelhos de corrente com associações séries simétricas (S-SC) e assimétricas (A-SC) e espelho de corrente com transistor SOI convencional..... 70
Figura 42 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} de espelhos de corrente com associações séries assimétricas, associações série simétrica com L_s 2 µm e L_D 2 µm e espelho de corrente com transistor SOI convencional de comprimento de canal L 4 µm..... 72
Figura 43- Curva $[d(1/g_D)/dV_D]$ x g_D em função da V_D aplicada na saída do espelho de corrente para extração da tensão de saturação V_{SAT} e a tensão de ruptura $BV_{DS.}$ 73
Figura 44 - Curvas da resistência de saída em função da corrente de entrada para espelhos de corrente de associações série assimetricas, associação série simétrica e transistor SOI convencional de comprimento de canal L 4 µm, extraídas com tensão de saída V_{OUT} = 1,5 V. 74
Figura 45 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} de espelhos de corrente com associações séries assimétricas, L_D fixo em 2 µm e L_S variando de 1 µm à 5µm..... 75
Figura 46 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} de espelhos de corrente com associações séries assimétricas, L_S fixo em 2 µm e L_D variando de 1µm à 5µm..... 75

Figura 47 - Curvas I_{DOUT} x V_G com V_D de 1,5V de transistores SOI Convencional de comprimento de canal L de 4 µm, associação série simétrica (S-SC) e associações série assimétrica (A-SC). 78
Figura 48 - Curvas g_m x V_G de transistores SOI Convencional de comprimento de canal L de 4 µm, associação série simétrica (S-SC) e associações série assimétrica (A-SC)..... 79
Figura 49 - Curvas I_{DOUT} x V_D com $V_G = V_T + 0,2V$ de transistores SOI Convencionais de comprimento de canal L de 4 µm, associação série simétrica (S-SC) e associações série assimétricas (A-SC)..... 80
Figura 50 - Curvas g_D x V_D de transistores SOI Convencional de comprimento L 4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal..... 81
Figura 51 - Curva I_{OUT}/I_{IN} x I_{IN} com $V_{OUT} = V_{IN}$ variando de 0 a 3 V de espelhos de corrente com associação série simétrica (S-SC), associações série assimétricas (A-SC) e com transistor SOI Convencional de comprimento de canal L 4 µm. 82
Figura 52 - Curva I_{OUT}/I_{IN} x I_{IN} com V_{OUT} = 1,5 V e V_{IN} variando de 0 a 3 V de espelhos de corrente com associação série simétrica (S-SC), associações série assimétricas (A-SC) e espelho de corrente com transistor SOI Convencional de comprimento de canal L=4µm. 83
Figura 53 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN}=1 µA de espelhos de corrente com associações séries assimétricas (A-SC), associação série simétrica (S-SC) e com transistor SOI Convencional de comprimento de canal L=4 µm. 84
Figura 54 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} = 0,1 mA de espelhos de corrente com associações séries assimétricas (A-SC), associação série simétrica (S-SC) e com transistor SOI Convencional de comprimento de canal L=4µm. 84
Figura 55 - Curvas experimentais da resistência de saída em função da corrente de entrada para espelhos de corrente com associações série assimétricas (A-SC), associação série simétrica (S-SC) e espelho de corrente com transistor SOI Convencional de comprimento de canal L 4 µm, extraídas com tensão de saída V_{OUT} = 1,5 V 86

LISTA DE TABELAS

Tabela 1 - Associações utilizadas nas simulações realizadas neste trabalho. 50
Tabela 2 - Transistores utilizados nas simulações realizadas neste trabalho. 50
Tabela 3 - Espelhos de corrente com associações série assimétrica, associações série simétrica e transistores convencionais utilizados..... 67
Tabela 4 - Parâmetros extraidos da conforme a metodologia $[d(1/g_D)/dV_D]$ x g_D em função da V_D das associações série assimétricas e simétrica para análise de Excursão de Saída. 73
Tabela 5 - Parâmetros extraidos da conforme a metodologia $[d(1/g_D)/dV_D]$ x g_D em função da V_D das associações série assimétricas e simétrica para análise de Excursão de Saída. 85
Tabela 6 - Parâmetros extraidos da curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} = 0,1 mA e L total de 4µm, dos espelhos de corrente SOI convencional e das associações série assimétricas e simétrica para análise de excursão de saída 85

LISTA DE ABREVIATURAS E SIGLAS

A-SC	*Asymmetric Self-Cascode* – Associação Série Assimétrica
CMOS	*Complementary Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor Complementar
FD	*Fully Depleted* – Totalmente Depletado
HD	*Highly Doped* – Altamente Dopado
LD	*Lightly Doped* – Levemente Dopado
MOS	*Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor
MOSFET	*Metal-Oxide-Semiconductor-Field-Effect Transistor* – Transistor Efeito-Campo-Metal-Óxido-Semicondutor
NFD	*Near-Fully depleted* – Quase-Totalmente-Depletado
PD	*Partially Depleted* – Parcialmente Depletado
SC	*Self-Cascode* – Associação Série
SOI	*Silicon-On-Insulator – Silicio-Sobre-Isolante*
S-SC	*Symmetric Self-Cascode* – Associação Série Simétrica
UCL	*Université Catholique de Louvain* – Universidade Católica de Louvain

LISTA DE SÍMBOLOS

A_V	Ganho de tensão de malha aberta em baixa frequência [V/V]
BV_{DS}	Tensão de ruptura de dreno [V]
BV_{CBO}	Tensão de ruptura entre base e fonte com a base flutuante [V]
BV_{CEO}	Tensão de ruptura entre fonte e dreno com a base flutuante [V]
C_L	Capacitância de carga [F]
C_{ox}	Capacitância do óxido de porta do transistor MOS convencional por unidade de área [F/cm^2]
C_{ox1}	Capacitância do óxido de porta da primeira interface do transistor MOS convencional por unidade de área [F/cm^2]
C_{ox2}	Capacitância do óxido de porta da segunda interface do transistor MOS convencional por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{si}	Capacitância da camada de silício por unidade de área [F/cm^2]
E_C	Nível de energia inferior da faixa de condução [eV]
d	Distância reduzida do comprimento de canal [nm]
E_F	Nível de Fermi do semicondutor [eV]
E_i	Nível de Fermi intrínseco [eV]
E_V	Nível de energia superior da faixa de valência [eV]
E_{S1}	Campo elétrico da superfície da primeira porta [V/cm]
f_T	Frequência de ganho unitário [Hz]
g_D	Condutância de dreno [S]
g_{DOUT}	Condutância de saída [S]
$g_{D,SAT}$	Condutância de dreno na região de saturação [S]
g_{D1}	Condutância de dreno do transistor de entrada do espelho de corrente[S]
g_{D2}	Condutância de dreno do transistor de saída do espelho de corrente[S]
g_m	Transcondutância do transistor [S]
g_{m1}	Transcondutância do transistor do transistor de entrada do espelho de corrente [S]
g_{m2}	Transcondutância do transistor do transistor de saída do espelho de corrente [S]

g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
I_{bias}	Corrente constante de polarização fornecida pela fonte de corrente [A]
I_{ch}	Corrente exclusivamente à estrutura MOS, sem ionização por impacto [A]
I_{body}	Corrente de corpo [A]
I_{DIN}	Corrente de entrada de dreno [A]
I_{DOUT}	Corrente de saída de dreno [A]
I_{DS}	Corrente entre dreno e fonte [A]
I_{DSAT}	Corrente de saturação entre dreno e fonte [A]
I_{IN}	Corrente no ramo de entrada do espelho de corrente [A]
I_{OUT}	Corrente no ramo de saída do espelho de corrente [A]
I_{OUT}/I_{IN}	Precisão de espelhamento
k	Constante de Boltzmann [1,38066 x 10^{-23} J/K]
L	Comprimento de máscara do canal do transistor [μm]
L_D	Comprimento de canal do transistor próximo ao dreno [μm]
L_{eff}	Comprimento efetivo de canal [μm]
L_S	Comprimento de canal do transistor próximo à fonte [μm]
M	Fator de multiplicação de corrente devido ao elevado campo elétrico
M_D	Transistor utilizado na associação série conectado entre o nó central e o dreno deste dispositivo
M_S	Transistor utilizado nas associações série conectado entre o nó central e a fonte deste dispositivo
n	Fator de corpo
N_A	Concentração de impurezas aceitadoras da camada de silício [cm^{-3}]
N_D	Concentração de impurezas doadoras em um semicondutor [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [1,6 x 10^{-19} C]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{d1}	Fração da carga de depleção [C/cm^2]
Q_{inv}	Densidade de carga de inversão na primeira interface [C/cm^2]
Q_{ox}	Densidade de cargas fixas no óxido de porta do transistor MOS [C/cm^2]
Q_{ox1}	Densidade de cargas fixas no óxido de porta da primeira interface do

Q_{ox2}	Densidade de cargas fixas no óxido de porta da segunda interface do transistor MOS [C/cm^2]
Q_{S2}	Densidade de cargas fixas no óxido enterrado na segunda interface [C/cm^2]
R_{OUT}	Resistência de saída do espelho de corrente [Ω]
S	Inclinação de sublimiar [mV/dec]
T	Temperatura absoluta [K]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{si}	Espessura da camada de silício [nm]
V_B	Tensão aplicada ao substrato do transistor SOI [V]
V_D	Tensão aplicada ao dreno do transistor SOI [V]
V_{DIN}	Tensão de entrada aplicada ao dreno do transistor SOI [V]
V_{DOUT}	Tensão de saída aplicada ao dreno do transistor SOI [V]
v_{ds}	Componente alternada da tensão de saída do amplificador [V]
V_{DS}	Tensão entre dreno e fonte do transistor MOS [V]
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de faixa plana da estrutura MOS [V]
V_G	Tensão aplicada à primeira porta do transistor SOI [V]
$V_{G2,acc}$	Tensão da segunda porta do transistor SOI em acumulação [V]
$V_{G2,inv}$	Tensão da segunda porta do transistor SOI em inversão [V]
v_g	Componente alternada da tensão de entrada do amplificador [V]
V_{IN}	Tensão de entrada do espelho de corrente e do amplificador [V]
V_{OS}	Excursão do sinal de saída do espelho de corrente [V]
V_{OUT}	Tensão de saída do espelho de corrente e do amplificador [V]
V_S	Tensão aplicada à fonte do transistor SOI [V]
V_{SAT}	Tensão de saturação [V]
V_{TH}	Tensão de limiar da primeira interface [V]
V_{thin}	Tensão de limiar da primeira interface do transistor de entrada do espelho de corrente [V]
V_{thout}	Tensão de limiar da primeira interface do transistor de saída do espelho de corrente [V]
$V_{TH1, acc2}$	Tensão de limiar da primeira interface com a segunda interface acumulada [V]

$V_{TH1,\ depl2}$	Tensão de limiar da primeira interface com a segunda interface depletada [V]
$V_{TH1,\ inv2}$	Tensão de limiar da primeira interface com a segunda interface invertida [V]
V_X	Tensão mensurada no nó central da associação série [V]
W	Largura do canal do transistor [μm]
x_{dmax}	Profundidade máxima da região de depleção [μm]
x_{d1}	Profundidade da primeira região de depleção [μm]
x_{d2}	Profundidade da segunda região de depleção [μm]
α	Fator de acoplamento capacitivo do transistor MOS
β_{in}	Fator de ganho do transistor de entrada do espelho de corrente.
β_{out}	Fator de ganho do transistor de saída do espelho de corrente
β_F	Fator de ganho do transistor bipolar parasitário
ε_0	Permissividade elétrica do vácuo [8,85 x 10^{-14} F/cm]
ε_{ox}	Permissividade elétrica do óxido de silício [3,45 x 10^{-13} F/cm]
ε_{Si}	Permissividade elétrica do silício [1,06 x 10^{-12} F/cm]
ϕ_F	Potencial de Fermi [V]
ϕ_{MS}	Diferença de função trabalho entre metal e silício do transistor MOS [V]
ϕ_{MS1}	Diferença de função trabalho entre o metal de porta e a camada de silício [V]
ϕ_{MS2}	Diferença de função trabalho entre o substrato e a camada de silício [V]
ϕ_{S1}	Potencial de superfície da primeira interface do transistor SOI [V]
ϕ_{S2}	Potencial de superfície da segunda interface do transistor SOI [V]
ϕ_{OX1}	Potencial na interface da primeira porta
ϕ_{OX2}	Potencial na interface do substrato
ϕ_X	Potencial de uma determinada profundidade do sílicio.
λ	Parâmetro que considera o efeito de modulação do comprimento de canal devido à tensão aplicada ao dreno [V^{-1}]
λ_{in}	Parâmetro que considera o efeito de modulação do comprimento de canal do transistor de entrada do espelho de corrente devido à tensão aplicada ao dreno [V^{-1}]

λ_{out}	Parâmetro que considera o efeito de modulação do comprimento de canal do transistor de saída do espelho de corrente devido à tensão aplicada ao dreno [V^{-1}]
Δ_{β}	Variação dos parâmetros geométricos entre transistores de um espelho de corrente.
Δ_{λ}	Variação da modulação do comprimento de canal entre transistores de um espelho de corrente.
η	Fator que varia de 3 a 6 vezes.
μ_n	Mobilidade efetiva dos elétrons na região do canal [$cm^2/V.s$]

SUMÁRIO

1 INTRODUÇÃO 23
2 CONCEITOS BÁSICOS 25
2.1 TECNOLOGIA SILÍCIO-SOBRE-ISOLANTE (SOI) 25
2.1.1 TIPOS DE TRANSISTORES SOI 26
2.1.2 VANTAGENS DOS TRANSISTORES SOI TOTALMENTE DEPLETADOS 29
2.2 CARACTERÍSTICAS ELÉTRICAS BÁSICAS DOS TRANSISTORES SOI 29
2.2.1 TENSÃO DE LIMIAR 29
2.2.2 EFEITOS DE CANAL CURTO 32
2.2.3 EFEITOS CAUSADOS POR ELEVADO CAMPO ELÉTRICO 33
2.2.4 CARACTERÍSTICAS ANALÓGICAS 37
2.3 ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI MOSFET 40
2.3.1 ASSOCIAÇÕES SÉRIE SIMÉTRICA DE TRANSISTORES SOI 41
2.3.2 ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI 42
2.4 ESPELHO DE CORRENTE DE FONTE COMUM 42
2.4.1 PRECISÃO DE ESPELHAMENTO 43
2.4.2 DESCASAMENTO ENTRE DISPOSITIVOS 45
2.4.3 RESISTÊNCIA DE SAÍDA 46
2.4.4 EXCURSÃO DE SAÍDA 47
3 SIMULAÇÕES NUMÉRICAS 49
3.1 SIMULADOR E PARÂMETROS UTILIZADOS 49
3.2 ASSOCIAÇÕES SÉRIE SIMÉTRICAS E ASSIMÉTRICAS DE TRANSISTORES SOI 50
3.2.1 CURVAS DA CORRENTE DE DRENO E TRANSCONDUTÂNCIA EM FUNÇÃO DA TENSÃO DE PORTA 51
3.2.2 CURVAS DA CORRENTE DE DRENO E CONDUTÂNCIA DE SAÍDA EM FUNÇÃO DA TENSÃO DE DRENO 57
3.2.3 INFLUÊNCIA DO COMPRIMENTO DE CANAL 61
3.3 ESPELHOS DE CORRENTE 66
3.3.1 PRECISÃO DE ESPELHAMENTO 68
3.3.2 EXCURSÃO DE SAÍDA 71
3.3.3 RESISTÊNCIA DE SAÍDA 73
3.3.4 INFLUÊNCIA DO COMPRIMENTO DE CANAL NOS ESPELHOS DE CORRENTE 74
4 RESULTADOS EXPERIMENTAIS 77
4.1 CURVAS CARACTERÍSTICAS 77
4.2 ESPELHOS DE CORRENTE 81
5 CONCLUSÃO E PROPOSTA DE CONTINUIDADE 87
REFERÊNCIAS 89

APÊNDICE A - PROGRAMA ATLAS UTILIZADO NAS SIMULAÇÕES DO TRANSISTOR SOI CONVENCIONAL L-4 ..... **94**
APÊNDICE B - PROGRAMA ATLAS UTILIZADO NAS SIMULAÇÕES DO TRANSISTOR DE ASSOCIAÇÃO SÉRIE SIMÉTRICA S-SC 22 ..... **97**
APÊNDICE C - PROGRAMA ATLAS UTILIZADO NAS SIMULAÇÕES DO TRANSISTOR DE ASSOCIAÇÃO SÉRIE SIMÉTRICA A-SC 22 ..... **100**
APÊNDICE D - PROGRAMA ATLAS UTILIZADO NAS SIMULAÇÕES DE ESPELHO DE CORRENTE DE FONTE COMUM COM TRANSISTOR DE ASSOCIAÇÃO SÉRIE SIMÉTRICA A-SC 22 ..... **103**

1 INTRODUÇÃO

A tecnologia Silício sobre isolante (*Silicon-On-Insulator*) consiste de multicamadas precisamente projetadas de semicondutores / estruturas dielétricas que fornecem funcionalidades diferenciadas para dispositivos semicondutores em comparação com aqueles implementados em lâminas de silício convencionais [1]. Depois de mais de três décadas de pesquisas e estudos de materiais, lâminas SOI entraram para a corrente principal da eletrônica de semicondutores. O grupo *SOI Industry Consortium* é um exemplo desta corrente, onde um conjunto de empresas, universidades e institutos de pesquisa e desenvolvimento da indústria de eletrônicos, tem como missão acelerar a inovação da tecnologia de silício sobre isolante em grandes mercados, promovendo os benefícios da tecnologia SOI e reduzindo as barreiras para a sua adoção [2]. Fazem parte deste grupo AMD, Samsung, NVIDIA, MAGMA, SOITEC, UMC, UCL e IBM entre outros [2].

A tecnologia SOI oferece vantagens significativas do ponto de vista de projeto, fabricação e desempenho em muitos circuitos semicondutores.

A aplicação da tecnologia SOI é uma das várias estratégias utilizadas para permitir a miniaturização continuada dos dispositivos microeletrônicos. Benefícios relatados da tecnologia SOI em relação à tecnologia CMOS incluem [3]:

a) Menor número de etapas de processamento [3];
b) Menor capacitância de junção [4];
c) Menor efeito de canal curto [5];
d) Melhor inclinação de sublimiar [6];
e) Menor consumo e eliminação do efeito parasitário latch up [7];

Além de uma melhora significativa no desempenho de circuitos digitais, a operação de transistores SOI-MOS em circuitos analógicos apresenta ainda vantagens adicionais, como a melhor relação entre transcondutância e corrente de dreno. Na literatura atual, uma grande quantidade de estudos pode ser encontrada com respeito à operação de transistores SOI em circuitos digitais. Entretanto, poucas publicações têm demonstrado o excelente potencial destes dispositivos para serem empregados em aplicações analógicas, tais como amplificadores operacionais, onde estes tem demonstrado desempenho superior à tecnologia MOS convencional [8]. A tendência crescente para tamanhos menores e, consequentemente, tensões de alimentação inferiores, levam a novos desafios no projeto de circuitos analógicos. Um problema básico a ser resolvido é a frequência de corte dos transistores que é inversamente proporcional ao quadrado do comprimento do canal em aplicações de

amplificadores de estágio único. Esta propriedade restringe a utilização de transistores com comprimento de canal longo para aplicações de baixa frequência. Uma alternativa para isto, é a utilização de associações séries [9]. Desta forma, o objetivo deste trabalho será estudar o comportamento das associações série simétrica e assimétrica SOI frente aos transistores SOI convencionais em um circuito analógico simples, o espelho de corrente fonte comum. Para realizar esta análise, primeiramente serão comparadas as características elétricas básicas destes dispositivos, tais como tensão de limiar, efeitos de canal curto, efeitos causados por elevado campo elétrico e suas características analógicas.

Posteriormente, estes dispositivos serão utilizados para implementar espelhos de corrente de fonte comum. Será analisada a eficiência dos espelhos de corrente através de parâmetros como o espelhamento de corrente, a excursão de saída e a resistência de saída. Este estudo será feito por meio de comparações entre as estruturas realizando simulações bidimensionais através do simulador ATLAS e também será feita uma comparação entre as simulações realizadas e medidas experimentais.

Este trabalho está dividido em 5 capítulos, conforme listado a seguir:

O Capítulo 2 apresentará os conceitos básicos que fundamentam este trabalho, composto por uma introdução à tecnologia SOI MOSFET, suas principais características físicas e elétricas, detalhamento dos parâmetros analógicos, uma introdução às associações séries de transistores SOI MOSFET e também às características de espelhos de corrente de fonte comum.

O Capítulo 3 irá tratar das simulações numéricas bidimensionais das associações séries e de transistores SOI convencionais, analisando as curvas características destes dispositivos, e posteriormente, neste capítulo será analisado a utilização destas associações em espelhos de corrente de fonte comum, comparando os parâmetros como precisão de espelhamento, excursão de saída e resistência de saída.

O Capítulo 4 apresentará uma análise experimental utilizando transistores SOI totalmente depletados fabricados no Laboratório de Microeletrônica da *Université Catholique de Louvain* (UCL), Bélgica, com o objetivo de comprovar os resultados obtidos por simulação.

O Capítulo 5 apresentará as conclusões obtidas neste estudo e a proposta de continuidade do trabalho.

2 CONCEITOS BÁSICOS

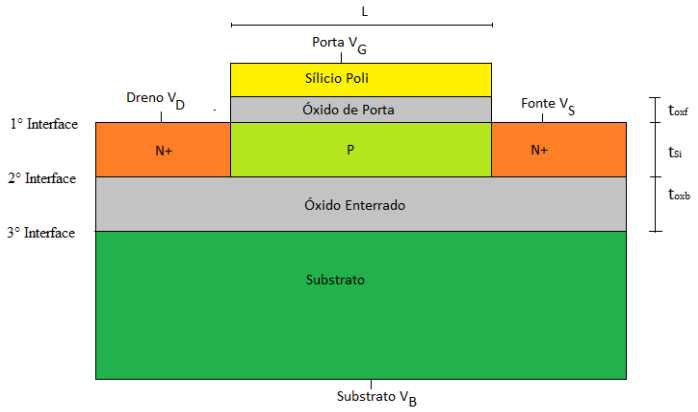
Neste capítulo será apresentada uma revisão bibliográfica sobre a tecnologia Silício-Sobre-Isolante (SOI), os tipos de transistores SOI e as vantagens dos transistores SOI totalmente depletados, suas características elétricas básicas e analógicas, associações séries simétricas e assimétricas de transistores SOI e espelhos de corrente de fonte comum.

2.1 TECNOLOGIA SILÍCIO-SOBRE-ISOLANTE (SOI)

Silício sobre isolante (*Silicon On Insulator* - SOI) tem emergido como uma tecnologia com alta capacidade para alavancar uma vasta gama de aplicações comerciais e militares. Os fatores que despertaram um papel preponderante no aumento do interesse pela indústria de semicondutores na tecnologia SOI, recentemente, são a disponibilidade de fornecedores de materiais de laminas de silício de maior qualidade, o potencial de redução de custos e a simplificação dos processos, e a capacidade de fabricar novas estruturas de dispositivos que teria sido difícil, se não impossível, de alcançar com laminas de silício convencional. A tecnologia SOI é muito atraente devido à sua robustez à radiação, alto desempenho em circuitos analógicos, de sinal misto e circuitos integrados [10].

Na Figura 1, o perfil longitudinal do transistor SOI nMOSFET é apresentado, onde V_D, V_S, V_G e V_B representam respectivamente os potenciais aplicados aos eletrodos de dreno, fonte, porta e substrato, t_{oxb} é a espessura do óxido enterrado, t_{oxf} é a espessura do óxido de porta, t_{si} é a espessura da camada de silício e L é comprimento de máscara do canal.

Figura 1 - Perfil transversal do transistor SOI nMOSFET.



Fonte: Autor.

Do ponto de vista de fabricação, substratos SOI são compatíveis com a maior parte dos processos de fabricação CMOS convencionais. Em geral, um processo baseado em SOI pode ser implementado sem equipamentos especiais ou reformulação significativa de uma fábrica existente. Entre os principais desafios para fabricação e controle de processos SOI estão os novos requisitos de metrologia para avaliar a camada de óxido enterrado e as preocupações com a tensão mecânica diferencial na camada de silício superior [11]. O principal obstáculo à expansão da tecnologia SOI é o aumento drástico no custo para a fabricação do substrato, o que contribui com um aumento estimado de 10-15% dos custos totais de fabricação [11].

2.1.1 TIPOS DE TRANSISTORES SOI

As características elétricas dos transistores SOI MOSFET são extremamente dependentes da espessura e concentração de dopantes do filme de silício bem como da temperatura. Desta forma poderão ser descritos três tipos de dispositivos, sendo eles o SOI parcialmente depletado (*SOI Partially Depleted – SOI PD),* SOI totalmente depletado (*SOI Fully Depleted – SOI FD*), o SOI quase-totalmente-depletado (*SOI Near-Fully-Depleted – SOI NFD*).

Nos dispositivos MOS convencionais, a região de depleção se estende desde a interface de Si-SiO_2 até a máxima largura de depleção que é dada por:

$$x_{d\max} = \sqrt{\frac{2\varepsilon_{Si}.2\phi_F}{q.N_A}} \qquad (1)$$

onde ε_{Si} é a permissividade elétrica do silício, N_A é a concentração de impurezas aceitadoras do substrato, q é a carga elementar do elétron e ϕ_F é o potencial de Fermi que é definido pela equação

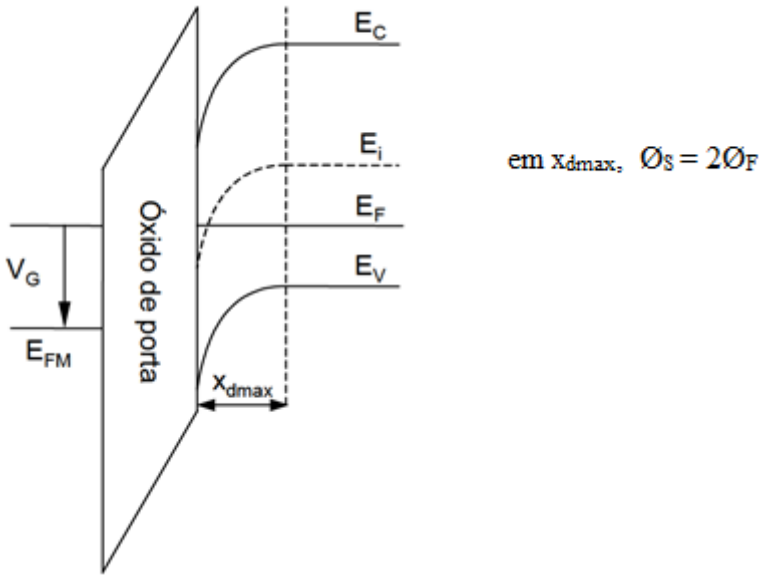
$$\phi_F = \frac{k.T}{q}.\ln\left(\frac{N_A}{n_i}\right) \qquad (2)$$

sendo k a constante de Boltzmann, T é a temperatura absoluta e n_i é a concentração intrínseca de portadores.

A figura 2 apresenta o diagrama de faixas de energia de um transistor nMOS convencional. Nesta figura, E_C é o nível de energia inferior da faixa de condução, E_i é o nível de Fermi intrínseco, E_F é o nível de Fermi do semicondutor, E_{FM} é o nível de Fermi do

eletrodo de porta, E_V é o nível de energia superior da faixa de valência e x_{dmax} é a profundidade máxima da região de depleção.

Figura 2 - Diagrama de banda de Energia em MOS convencional.

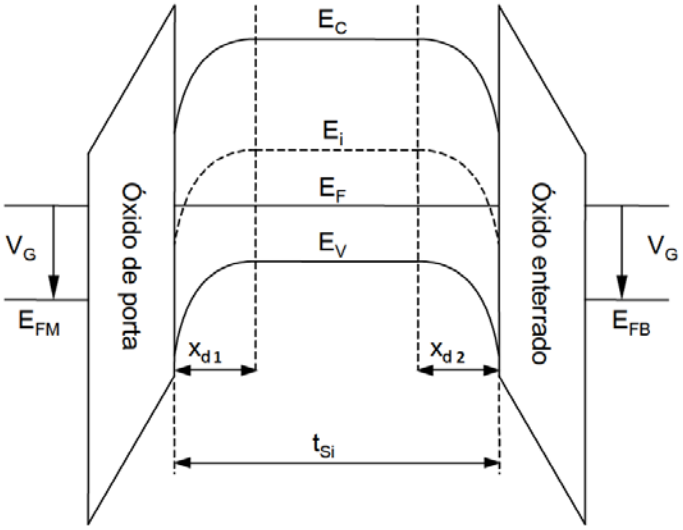


Fonte: Autor

No dispositivo SOI parcialmente depletado, a espessura do filme de silício, t_{Si}, é maior que duas vezes o valor de x_{dmax}. Desta forma, não há como existir interação entre as regiões de depleção das interfaces da primeira porta e do substrato, sendo possível verificar a existência de uma região neutra entre as regiões de depleção.

Na figura 3 é apresentada o diagrama de faixas de energia para um transistor SOI nMOS parcialmente depletado, onde x_{d1} e x_{d2} são as profundidades das regiões de depleção e t_{Si} é a espessura da camada de silício, E_{FM} e E_{FB} são os níveis de Fermi dos eletrodos de porta e substrato.

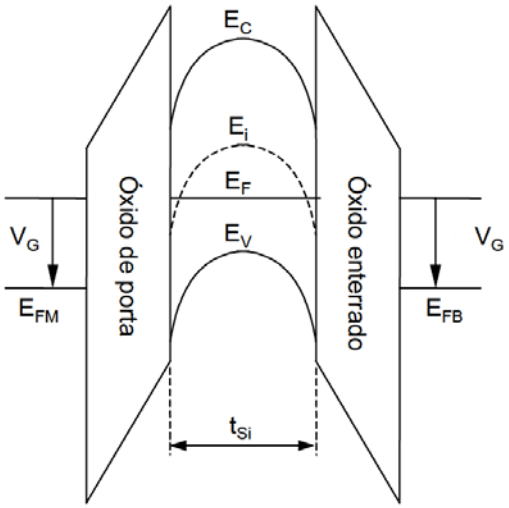
Figura 3 - Diagrama de banda de energia em SOI parcialmente depletado.



Fonte: Autor

Nos dispositivos SOI totalmente depletados, a espessura do filme de silício, $t_{si,}$ é menor que x_{dmax}. Desta forma, o filme de silício está totalmente depletado independentemente da tensão aplicada ao substrato do transistor com a exceção de tensões muito negativas ou positivas. A Figura 4 apresenta o diagrama de faixas de energia de um transistor nMOS totalmente depletado.

Figura 4 - Diagrama de banda de energia em SOI totalmente depletado.



Fonte: Autor

Nos dispositivos SOI quase totalmente depletado temos um caso intermediário entre os dispositivos SOI parcialmente depletados e os dispositivos SOI totalmente depletados, ou seja, quando $x_{dmax} < t_{Si} < 2x_{dmax}$. Portanto, se a tensão aplicada à segunda porta permitir que as regiões de depleção de ambas as portas não se toquem o dispositivo está operando como parcialmente depletado, porém se esta tensão permitir que as zonas de depleção se toquem, este dispositivo estará operando como totalmente depletado [7].

2.1.2 VANTAGENS DOS TRANSISTORES SOI TOTALMENTE DEPLETADOS

Dentre todos os tipos de dispositivos SOI, os dispositivos totalmente depletados com a segunda interface depletada exibem as propriedades elétricas mais atrativas, tais como o menor campo elétrico horizontal [12], alta mobilidade de portadores na região de canal [13], redução da variação da tensão de limiar com a variação da temperatura [14], como também a redução dos efeitos de canal curto [15].

Outra característica a salientar é a inclinação de sublimiar nos dispositivos SOI totalmente depletado, que apresentam valores muito próximos ao valor mínimo teórico de 60 mV/década quando utilizados em temperatura ambiente [16]. Valendo-se desta vantagem, podemos utilizar reduzidos valores de tensão de limiar, permitindo a redução na tensão de alimentação, sem aumento da corrente de desligamento. Adicionalmente, a redução do efeito de corpo resulta em uma elevação na corrente de saturação comparando-se aos transistores MOS convencionais [17].

2.2 CARACTERÍSTICAS ELÉTRICAS BÁSICAS DOS TRANSISTORES SOI

Nesta seção serão apresentadas algumas características elétricas básicas dos transistores SOI tais como tensão de limiar, efeito de canal curto, descasamento intrínseco, efeitos causados por elevado campo elétrico e características analógicas.

2.2.1 TENSÃO DE LIMIAR

A tensão de limiar de transistores nMOSFET é classicamente dada por [16]:

$$V_{TH} = V_{FB} + 2\phi_F + \frac{q.N_A.x_{d\max}}{C_{ox}} \quad (3)$$

Onde V_{FB} é a tensão de faixa plana, ϕ_F é o potencial de Fermi que é definido pela equação 2 e C_{ox} é a capacitância do óxido por unidade de área.

Em transistores SOI nMOSFET parcialmente depletados, onde não existe interação entre as regiões de depleção da primeira porta e o substrato, a tensão de limiar é a mesma de um nMOSFET convencional e será dada pela equação 3.

Em transistores SOI nMOSFET totalmente depletados, a equação da tensão de limiar pode ser obtida através da resolução da equação de Poisson utilizando a aproximação $\frac{d^2\emptyset}{dx^2} = \frac{qN_A}{\varepsilon_{Si}}$, a qual, quando integrada duas vezes fornece o potencial como uma função da profundidade do filme de silício, x (Modelo de Lim and Fossum) [16].

$$\emptyset_x = \frac{qN_A}{2\varepsilon_{Si}}\, x^2 + \left(\frac{\emptyset_{S2} - \emptyset_{S1}}{t_{Si}} - \frac{q\, N_A\, t_{Si}}{2\varepsilon_{Si}}\right) x + \emptyset_{S1} \quad (4)$$

onde $\emptyset_{S1}$ e $\emptyset_{S2}$ são os potencias na primeira porta e no substrato junto das interfaces óxido / silício e a concentração de portadores na camada de depleção é considerada uniforme. O campo elétrico no filme de silício é dado por:

$$E_{(x)} = \frac{-qN_A}{\varepsilon_{Si}}\, x - \left(\frac{\emptyset_{S2} - \emptyset_{S1}}{t_{Si}} - \frac{q\, N_A\, t_{Si}}{2\varepsilon_{Si}}\right) \quad (5)$$

O campo elétrico da superfície da primeira porta, E_{S1}, em x=0 pode ser calculado através da equação 6, e é dado por:

$$E_{S1} = \left(\frac{\emptyset_{S1} - \emptyset_{S2}}{t_{Si}} + \frac{q\, N_A\, t_{Si}}{2\varepsilon_{Si}}\right) \quad (6)$$

Aplicando o teorema de Gauss na interface da primeira porta é possível obter o potencial desta através de $\emptyset_{OX1}$:

$$\emptyset_{OX1} = \frac{\varepsilon_{SI} E_{S1} - Q_{OX1} - Q_{INV1}}{C_{OX1}} \quad (7)$$

onde Q_{OX1} é a densidade de carga fixa da primeira interface Si-SiO_2, Q_{INV1} é a carga da primeira porta invertida ($Q_{INV1} < 0$), e C_{OX1} é a capacitância da primeira porta.

Da mesma forma, aplicando o teorema de Gauss na interface do substrato utilizando a equação 8, teremos o potencial através de $\emptyset_{OX2}$:

$$\emptyset_{OX2} = -\left(\frac{\varepsilon_{SI} E_{S1} - q\, N_A\, t_{Si} + Q_{OX2} + Q_{S2}}{C_{OX2}}\right) \quad (8)$$

onde Q_{S2} é a carga na possível inversão ($Q_{S2} < 0$) ou acumulaçao ($Q_{S2} > 0$) no substrato. As tensões aplicadas ao substrato e a primeira porta do transistor serão dadas por:

$$V_{G1} = \emptyset_{S1} + \emptyset_{OX1} + \emptyset_{MS1} \text{ e } V_{G2} = \emptyset_{S2} + \emptyset_{OX2} + \emptyset_{MS2} \quad (9)$$

onde $\emptyset_{MS1}$ e $\emptyset_{MS2}$ é a diferença da função trabalho da primeira porta e do substrato respectivamente.

Combinando as equações 9, 7 e 6 obtêm-se a relação da tensão aplicada na primeira porta e o potencial de superfície e considerando $\emptyset_{OX} = \left(\frac{Q_{OX1}}{C_{OX1}}\right)$ e $C_{Si} = \left(\frac{\varepsilon_{Si}}{t_{Si}}\right)$

$$V_{G1} = \emptyset_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) \emptyset_{S1} - \frac{C_{Si}}{C_{OX1}} \emptyset_{S2} - \frac{\frac{1}{2} Q_{depl} + Q_{inv1}}{C_{OX1}} \quad (10)$$

Onde Q_{depl} é a carga total de depleção no filme de silício. Desta forma podemos encontrar uma combinação similar entre a tensão aplicada ao substrato e o potencial de superfície:

$$V_{G2} = \emptyset_{MS2} - \frac{Q_{OX2}}{C_{OX2}} - \left(\frac{C_{Si}}{C_{OX2}}\right) \emptyset_{S1} + \left(1 + \frac{C_{Si}}{C_{OX2}}\right) \emptyset_{S2} - \frac{\frac{1}{2} Q_{depl} + Q_{S2}}{C_{OX2}} \quad (11)$$

As equações 10 e 11 são as principais relações entre as tensões aplicadas à primeira porta e o substrato de transistores SOI MOSFET totalmente depletados. Abaixo serão apresentadas expressões da tensão de limiar da primeira porta em função de diferentes condições da interface do substrato.

Se a segunda interface estiver acumulada, $\emptyset_{S2} = 0V$, e a tensão de limiar da primeira porta, $V_{th1,acc2}$, poderá ser encontrada a partir da equação 10, sendo $V_{th1,acc2} = V_{G1}$ onde $\emptyset_{S2} = 0$, $Q_{inv1} = 0$ e $\emptyset_{S1} = 2\emptyset_F$. Desta forma:

$$V_{TH1,acc2} = \emptyset_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) 2\emptyset_F - \frac{Q_{depl}}{2C_{OX1}} \quad (12)$$

Se a segunda interface estiver invertida, $\emptyset_{S2}$ vale aproximadamente $2\emptyset_F$, e a tensão de limiar da primeira porta $V_{TH1,inv2}$, poderá ser encontrada a partir da equação 10 sendo $V_{TH1,inv2} = V_{G1}$, onde $\emptyset_{S2} = 2\emptyset_F$, $Q_{inv1} = 0$ e $\emptyset_{S1} = 2\emptyset_F$. Desta forma:

$$V_{\mathrm{TH1},inv2} = \emptyset_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\emptyset_F - \frac{Q_{depl}}{2C_{OX1}} \quad (13)$$

Para este caso, o dispositivo estará ligado mesmo se $V_{G1} < V_{TH1,inv2}$, desde que exista um canal invertido conectando o dreno à fonte na parte inferior do filme de silício.

Caso a segunda interface estiver depletada, $\emptyset_{S2}$ dependerá da tensão aplicada ao substrato, V_{G2} poderá variar entre $0\ e\ 2\emptyset_F$. O valor da tensão do substrato em que a interface atinge a acumulação será $V_{G2,acc}$, dado pela equação 14 quando $\emptyset_{S1}$= $2\emptyset_f$, Q_{s2}= 0 e $\emptyset_{S2} = 0$. Do memso modo, o valor do substrato em que a interface atinge a inversão será $V_{G2,inv}$, que pode ser obtido utilizando a equação 11 quando $\emptyset_{S1}$= $2\emptyset_f$, Q_{s2}= 0 e $\emptyset_{S2} = 2\emptyset_f$.

Quando $V_{G2,acc} < V_{G2} < V_{G2,inv}$ a tensão de limiar da primeira porta é obtida combinando as equações 10 e 11 com $\emptyset_{S1}$= $2\emptyset_f$, Q_{inv}= Q_{s2} = 0, desta forma:

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{si}\, C_{ox2}}{C_{ox1}(C_{s1} + C_{ox2})}\,(V_{G2} - V_{G2,acc}) \qquad (14)$$

2.2.2 EFEITOS DE CANAL CURTO

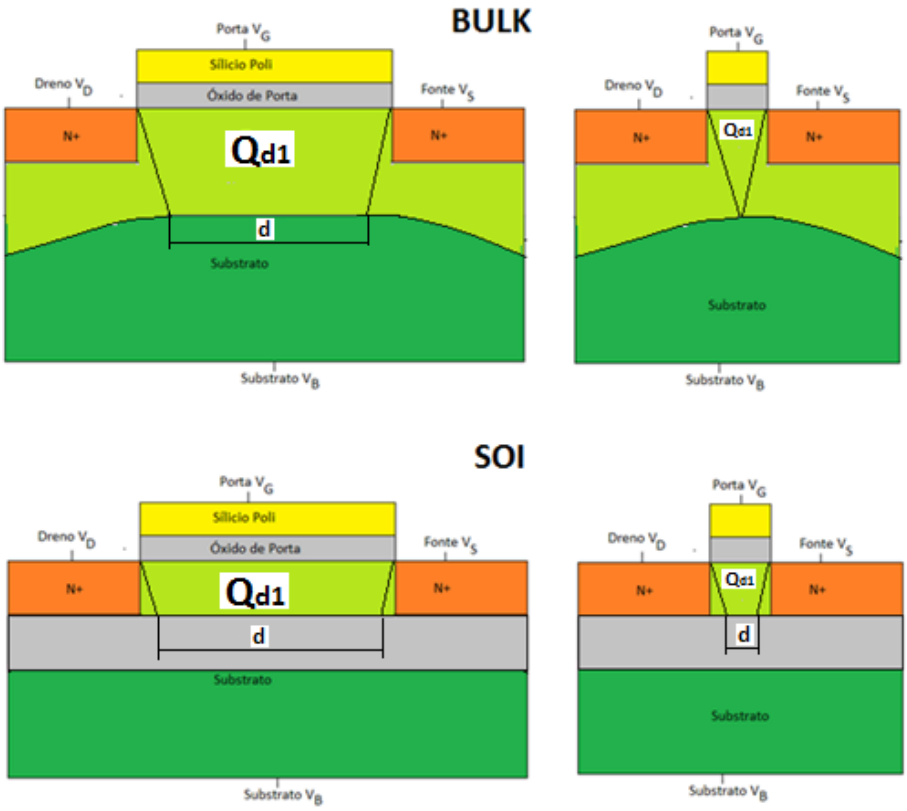
Existem diversos efeitos causados pela redução do comprimento de canal em transistores MOSFET [7], denominados efeitos de canal curto. Estes efeitos ocorrem devido à perda de controle do eletrodo de porta sobre as cargas de depleção do canal. Assim, a porta é capaz de controlar somente uma parte da região de depleção. Desta forma, podemos dizer que a carga controlada pela porta não é mais igual a:

$$Q_{depl} = q\, N_A x_{dmax} \qquad (15)$$

e sim uma fração da carga de depleção, que será chamada de Q_{d1}. Esta redução da carga de depleção ocorre devido às depleções oriundas das regiões de dreno e fonte, que começam a ser significativas em dispositivos de canal curto. A redução da carga controlada pela porta provoca uma diminuição da tensão de limiar.

Em transistores MOSFET, Q_{d1} pode ser representado pela área de um trapézio, como mostrado na Figura 5. Em dispositivos de canal longo, o comprimento da parte superior e inferior do trapézio é quase igual ao comprimento de canal. Em dispositivos de canal curto a parte superior do trapézio é quase igual ao comprimento de canal, porém a parte inferior do trapézio é significativamente menor, aproximando-se de um triângulo.

Figura 5 - Distribuição das cargas de depleção em dispositivos de canal longo a esquerda e canal curto a direita em Bulk e SOI totalmente depletado.



Fonte: Autor

Em dispositivos SOI totalmente depletados, a carga de depleção controlada pela porta é dada por:

$$Q_{d1} = Q_{depl}(1 - \frac{d}{L}) \quad (16)$$

onde L é o comprimento de canal do transistor, d é a distância reduzida do comprimento de canal apresentado na figura 5, e a carga de depleção Q_{depl} é dada por:

$$Q_{depl} = qN_A t_{si} \quad (17)$$

2.2.3 Efeitos Causados por Elevado Campo Elétrico

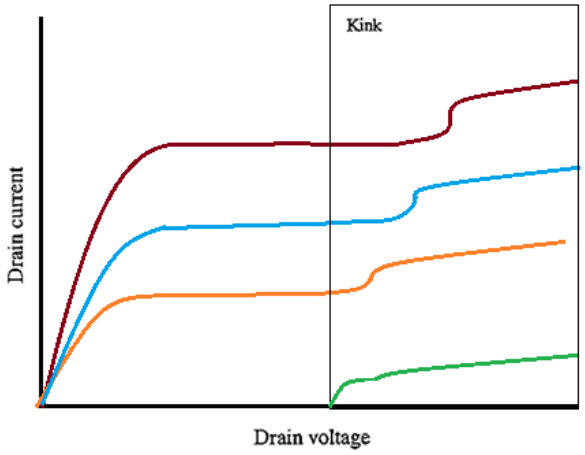
Vários efeitos parasitas relacionados à ionização por impacto devido ao elevado campo elétrico na região próxima ao dreno podem aparecer em transistores SOI MOSFET.

Estes efeitos são ocasionados por dois fenômenos distintos. Um deles está relacionado à tensão de ruptura devido ao transistor bipolar parasitário encontrado em transistores MOSFET que é inerente a ele e o outro fenômeno devido à corrente de corpo devido a efeitos bipolares. A seguir os efeitos que serão detalhados:

a) Efeito Kink:

É caracterizado pela aparição de uma elevação nas características da corrente de saída de um transistor SOI MOSFET conforme apresentado na Figura 6. Este efeito normalmente ocorre ao se aplicar um elevado valor da tensão de dreno e pode ser verificado mais comumente em transistores de canal N e usualmente ausente em transistores de canal P.

Figura 6 - Efeito Kink em um transistor nSOIMOSFET



Fonte: Autor

Considerando um transistor SOI parcialmente depletado de canal N, quando a tensão aplicada é alta o suficiente, um alto campo elétrico próximo à região de dreno irá ocasionar a geração de pares elétrons-lacunas devido ao mecanismo de ionização por impacto. Desta forma, os elétrons gerados vão rapidamente para o dreno enquanto as lacunas irão migrar para o ponto de menor potencial que normalmente será o corpo flutuante.

Com o aumento do potencial de corpo (aproximadamente 700 mV) a junção canal fonte ficará diretamente polarizada e o valor da tensão de limiar será reduzido, fazendo com que a corrente entre dreno e fonte aumente abruptamente. Vale ressaltar que, em transistores SOI totalmente depletados, operando em temperatura ambiente, este efeito não ocorre, pois não existe uma região neutra no corpo.

b) Degradação por portadores quentes;

O campo elétrico horizontal em transistores MOSFET de canal N é diretamente proporcional à tensão entre dreno e fonte e inversamente proporcional ao comprimento de canal. Portanto com a diminuição dos dispositivos, o campo elétrico é aumentado e, nos dispositivos atuais, o campo elétrico atinge valores altíssimos próximos ao dreno, que pode afetar a confiabilidade do dispositivo [7]. Utilizando um transistor tipo N em saturação, um alto campo elétrico irá aparecer na região de pinçamento próximo ao dreno. Desta forma, quando um elétron estiver movendo-se da fonte para o dreno o mesmo será acelerado devido ao campo elétrico gerado na região do dreno tornando-se assim um elétron quente. Alguns elétrons poderão ganhar muita energia, de modo que podem romper o óxido de porta, reduzindo assim a impedância de porta [18]. Outra possibilidade é que este elétron quente fique preso no óxido de porta, tornando-se assim carga fixa, aumentando a tensão de faixa plana e, consequentemente, a tensão de limiar [19]. Os elétrons quentes também podem romper as ligações interatômicas que existem na interface do óxido de porta, alterando algumas características dos dispositivos SOI MOSFET como a inclinação de sublimiar e a transcondutância [20].

c) Anomalia da inclinação de sublimiar;

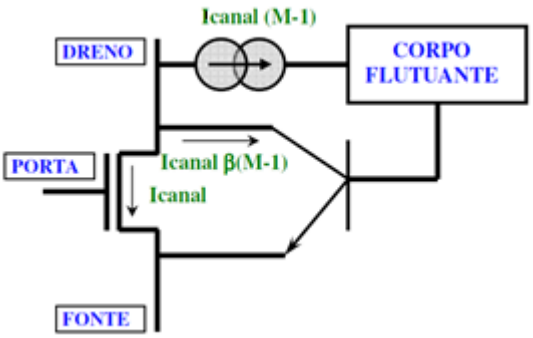
Em transistores SOI MOSFET de canal N, a geração de portadores majoritários (lacunas) se dá através da ionização por impacto próximo ao dreno, aumentando o potencial de corpo e diminuindo a tensão de limiar. O efeito citado acima pode ocorrer antes da tensão de limiar ter sido atingida em dispositivos SOI MOSFET parcialmente depletados e totalmente depletados quando a segunda interface destes dispositivos encontra-se em acumulação. Este ocorre quando o dispositivo é desligado, com isto não ocorre ionização por impacto na região do dreno e não poderá também fluir corrente entre o dreno e a fonte do dispositivo. Nesta condição ao aumentar a tensão aplicada à porta do dispositivo a corrente de inversão fraca irá induzir a ionização por impacto próximo ao dreno, lacunas serão geradas e o potencial de corpo será aumentado, e assim a tensão de limiar será reduzida. Como consequência, a curva I_{DS} x V_G será deslocada para a esquerda, e a corrente de dreno poderá aumentar com uma inclinação de sublimiar menor que 60 mV/dec, abaixo do valor teórico e, temperatura ambiente [21, 22].

Se a vida útil dos portadores minoritários no filme de silício for alta o suficiente, o transistor bipolar parasita presente na estrutura NPN do dispositivo pode amplificar a corrente de base aplicada a ele. A corrente de base é dada por:

$$I_{body} = (M-1)I_{Dsat} + (M-1)I_{ch} \quad (18)$$

Onde I_{ch}é a corrente de canal, M é o fator multiplicador. Na figura 7 é apresentado o esquema deste transistor.

Figura 7 - Transistor Bipolar parasitario do dispositivo SOI MOSFET [41].



Fonte: Autor

Com o aumento repentino da corrente de dreno, se constitui um ciclo de realimentação de corrente do dispositivo, levando a inclinação de sublimiar para 0mV/dec. Este fenômeno é conhecido como disparo do transistor bipolar parasitário (*Single Transistor Latchup*) [4, 23, 24, 25].

d) Redução da tensão de ruptura

Estudos demonstram que o pico de campo elétrico na junção de dispositivos SOI é menor do que normalmente encontrado em dispositivos Bulk [26]. Devido a estes resultados é esperada uma tensão de ruptura maior em dispositivos SOI do que em dispositivos Bulk. Infelizmente, os dispositivos SOI MOSFET apresentam o transistor bipolar parasitário com base flutuante. Desta forma, utilizando a teoria da tensão de ruptura com base aberta [27], BV_{CEO}, é menor do que quando a base esta aterrada BV_{CBO} e as duas tensões são relacionadas conforme a equação abaixo:

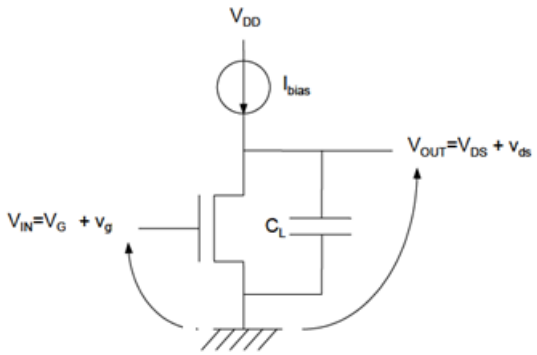
$$BV_{CEO} = \frac{BV_{CBO}}{\sqrt[n]{\beta_F}} \qquad (19)$$

onde β_F é o ganho do dispositivo bipolar, η é um fator que varia de 3 a 6. A relação apresentada na equação 19 é a simplificação do mecanismo de ruptura que ocorre em dispositivos SOI MOSFET, desde que β_F e η dependem da alta não linearidade da tensão de dreno [28].

2.2.4 CARACTERÍSTICAS ANALÓGICAS

Para caracterizar as funções analógicas de transistores SOI MOSFET, iremos utilizar um transistor MOS operando com configuração de amplificador fonte comum e com uma carga capacitiva, C_L, demonstrado na Figura 8.

Figura 8 - Amplificador de tensão com transistor MOS e carga capacitiva.



Fonte: Autor

O circuito do amplificador de tensão é polarizado por uma fonte de corrente constante (I_{bias}), que irá fixar o ponto de funcionamento do amplificador, permitindo que a parcela alternada v_g da tensão aplicada na entrada V_{IN} seja amplificada na saída V_{OUT}, que é composta por sua parcela alternada v_{ds} mais sua tensão V_{DS}.

O ganho de tensão (A_V) de malha aberta é expresso pela equação 23 em baixas frequências na região de saturação [29]:

$$A_v = \frac{V_{ds}}{V_g} = \frac{g_m}{g_d} \tag{20}$$

Que pode ser aproximado para:

$$A_V = \frac{g_m}{g_d} = \frac{g_m}{I_{DS}} |V_{EA}| \tag{21}$$

na região de saturação, onde $g_D = \frac{\partial I_{DS}}{\partial V_{DS}}$ é a condutância de dreno, e $|V_{EA}|$ é a tensão Early. Em seguida, serão apresentados a relação $\frac{g_m}{I_{DS}}$ e a tensão Early.

A relação $\frac{g_m}{I_{DS}}$ é a medida direta da relação de eficiência do transistor, uma vez que este representa a relação de amplificação, g_m, obtida do dispositivo, divida pela energia aplicada para alcançar esta amplificação, I_{DS}.

Em transistores MOS, a relação máxima obtida de $\frac{g_m}{I_{DS}}$ ocorre quando o dispositivo está operando na região de inversão fraca, e seu valor será [30]:

$$\frac{g_m}{I_{DS}} = \frac{q}{nkT} \tag{22}$$

Porém, na inversão forte, a relação de $\frac{g_m}{I_{DS}}$ apresenta uma redução em seu valor [31].

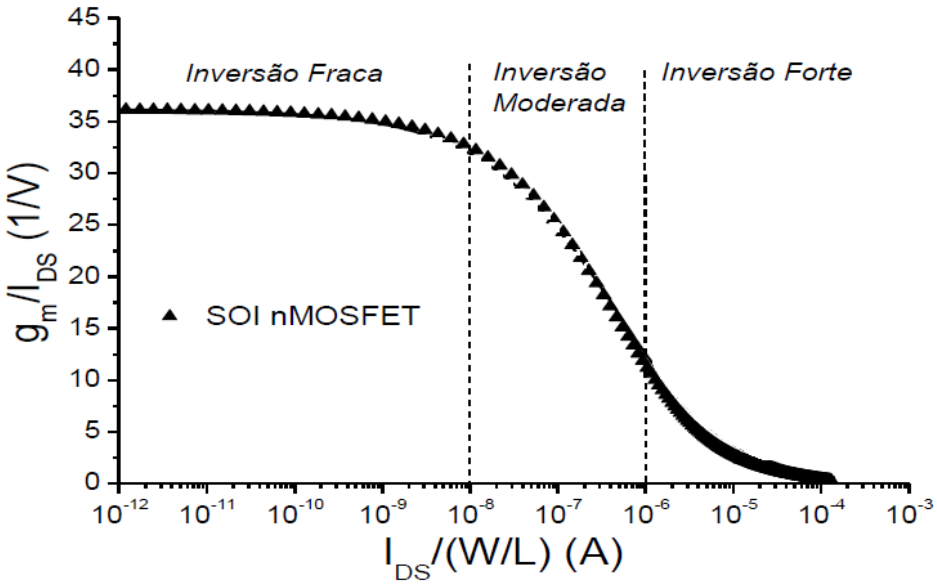
$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\,\mu_n\,C_{oxf}\frac{W}{L}}{nI_{DS}}} \tag{23}$$

onde W é largura do canal do transistor, L é o comprimento de canal do transistor, C_{oxf} é a capacitância do óxido de porta do transistor, n é o fator de corpo e μ_n é a mobilidade efetiva dos elétrons na região do canal.

Para os transistores SOI totalmente depletados é verificado um menor fator de corpo n, e como a relação $\frac{g_m}{I_{DS}}$ é inversamente proporcional a este fator, conforme demonstrado na equação 22, o valor da relação $\frac{g_m}{I_{DS}}$ será maior do que em dispositivos MOS convencionais. Desta forma, o maior valor verificado para a relação $\frac{g_m}{I_{DS}}$ de transistores SOI totalmente depletado é de $35V^{-1}$, e em transistores MOS convencionais o valor máximo apurado para a relação $\frac{g_m}{I_{DS}}$ é de $25V^{-1}$ [32].

Como se pode observar na figura 9, tem-se o valor máximo de g_m/I_{DS} quando o transistor está operando em inversão fraca e, à medida em que vai se aumentando o valor da corrente de dreno normalizada $I_{DS}/(W/L_{eff})$, o transistor passa pelo regime de inversão moderada e chega no regime de inversão forte, onde atinge-se o menor valor da relação g_m/I_{DS}.

Figura 9 - Curva esquematica de g_m/I_{DS} x $I_{DS}/(W/L)$



Fonte: Autor

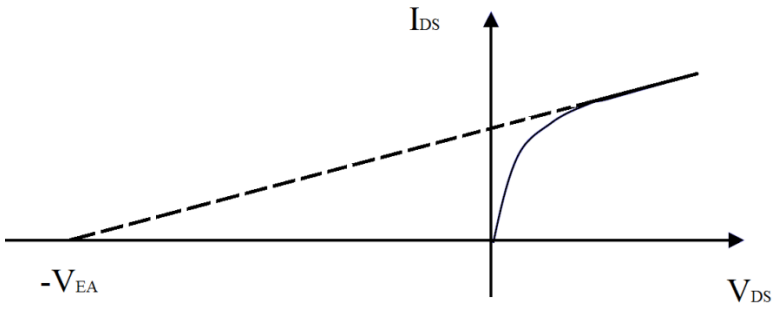
Outro parâmetro que é influenciado pela relação $\frac{g_m}{I_{DS}}$, é a frequência da tensão de ganho unitário f_T. Esta relação é apresentada na equação 24:

$$f_T = \frac{g_m}{I_{DS}} \frac{I_{DS}}{2\pi C_L} \tag{24}$$

Este parâmetro analógico corresponde à frequência onde o ganho de tensão intrínseco é igual a 1 V/V ou 0 dB.

A tensão Early, V_{EA}, ocorre como consequência do deslocamento do ponto de estrangulamento de canal na direção dreno – fonte. Isto ocorre quando é aplicada uma tensão de dreno V_{DS} superior à tensão de saturação. Com isto, a região de depleção próxima ao dreno será aumentada, reduzindo o comprimento efetivo de canal, L_{eff}, e, assim, aumentando a corrente de dreno na saturação $I_{DS,SAT}$. Com esta situação, é possível observar que há um aumento da inclinação na curva da corrente de dreno em função da tensão de dreno na região de saturação. Desta forma, a corrente de dreno na saturação $I_{DS,SAT}$ é apresentada na equação 25 [33].

Figura 10 - Curva esquemática da tensão Early.



Fonte: Autor

$$I_{DS,SAT} \approx \frac{W\,\mu_n\,C_{oxf}}{2\,L\,n}\,(V_G - V_{TH})^2\;(1 + \lambda\,V_{DS}) \qquad (25)$$

onde λ é o coeficiente de modulação do comprimento de canal que depende do processo de fabricação. Sabendo que a tensão Early irá variar com a tensão V_{DS} na região de saturação, podemos definir a mesma através da equação 26 [33].

$$|V_{EA}| = \frac{I_{DS,SAT}}{g_{D,SAT}} \qquad (26)$$

onde $g_{D,SAT}$ é a condutância de dreno na saturação e a mesma pode ser definida pela equação 27.

$$g_{D,SAT} = \frac{dI_{DS,SAT}}{dV_{DS}} \approx \frac{W\mu_n\,C_{ox}}{2\,L\,n}\,(V_G - V_{TH})^2\;.\lambda \qquad (27)$$

Comparando dispositivos SOI MOSFET e dispositivos MOS convencionais com mesmas dimensões é possível observar que a tensão Early é semelhante em ambos os casos. Portanto, vale ressaltar que o ganho observado na tensão Early em dispositivos SOI MOSFET se deve, principalmente, à sua maior relação $\frac{g_m}{I_{DS}}$ [34].

2.3 ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI MOSFET

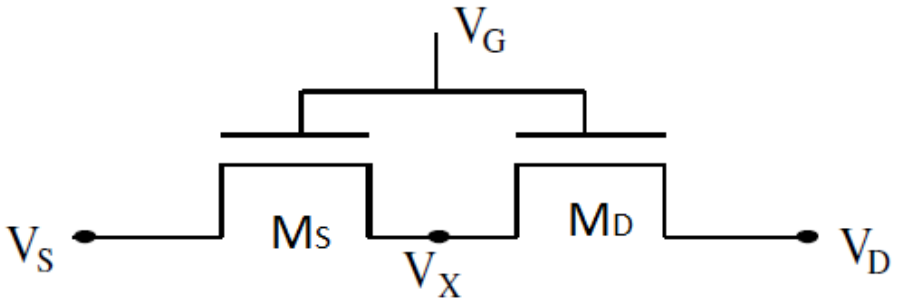
A tecnologia MOS tem provado ser bastante adequada para a implementação de sistemas analógicos-digitais. A tendência crescente para tamanhos menores e, consequentemente, tensões de alimentação inferiores, levam a novos desafios no projeto de

circuitos VLSI analógicos. Um problema básico a ser resolvido é a concepção de amplificadores de alto ganho. Amplificadores de alto ganho são tipicamente obtidos utilizando transistores de canal longo e / ou estruturas com associações série. No entanto, a frequência de corte do transistor é inversamente proporcional ao quadrado do comprimento do canal. Esta propriedade restringe a adoção de dispositivos de canal longo para aplicações de alta frequência. Nestes casos, o uso de associações séries pode ser uma solução.

Nesta seção, serão apresentados dois tipos de associação série de transistores SOI MOSFET, a Associação Série Simétrica (S-SC – Symmetric Self-Cascode) e a Associação Série Assimétrica (A-SC – Asymmetric Self-Cascode).

Na figura 11 é apresentada uma associação série convencional que consiste em dois transistores (M_D, M_S), com suas portas conectadas, caracterizando a associação série simétrica. Esta estrutura foi proposta com o objetivo de melhorar o desempenho analógico de transistores MOS, conforme será discutido a seguir. Nesta figura V_G será a tensão aplicada à porta do dispositivo e responsável por controlá-lo, V_S será a tensão aplicada à fonte do dispositivo, V_D será a tensão aplicada ao dreno do dispositivo e V_X será a tensão do nó intermediário entre os terminais de dreno e fonte dos transistores M_S e M_D.

Figura 11 - Esquemático de uma associação em série de dois transistores



Fonte: Autor

2.3.1 Associações Série Simétrica de Transistores SOI

A associação série simétrica (S-SC) é caracterizada pela interligação em série de dois transistores M_S e M_D, conforme apresentado na figura 11, com a região de canal com a mesma concentração de dopantes. Nesta associação, M_D está conectado ao dreno do dispositivo e M_S conectado à fonte do dispositivo. A estrutura das associações série possui uma taxa de condutância de saída tão elevada quanto ao transistor de canal longo, porém com um

comprimento de canal físico mais curto. Desta forma o transistor da associação série possui uma frequência de corte mais elevada do que a frequência de corte do transistor de canal longo equivalente. Portanto, para projetos de alta freqüência, e secções analógicas simples de baixa tensão, pode-se beneficiar do alto ganho dc atingível e alta freqüência de corte de associações série. Além disso, as associações série podem ser utilizadas para a execução da disposição de portas analógicas e secções em circuitos analógicos-digitais combinados. Este tipo de associação é utilizado, normalmente, para diminuir a condutância de saída. Quando seu tamanho é definido apropriadamente, o mesmo apresenta as mesmas características analógicas como a transcondutância, a condutância de saída e o ganho de tensão intrínseco de um transistor simples de canal longo com menor consumo de área [9].

2.3.2 ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI

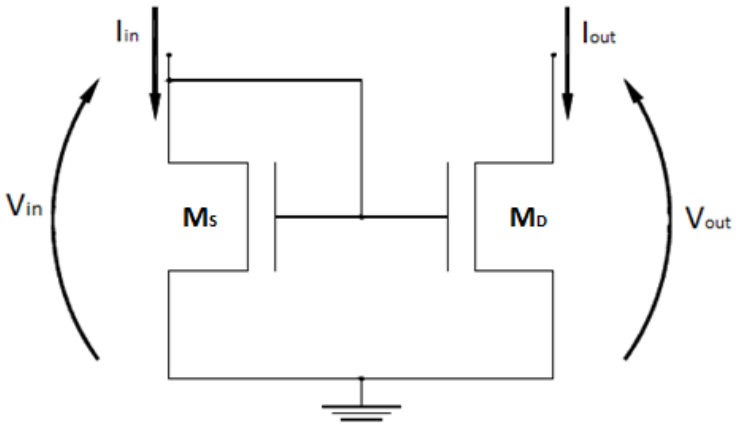
A associação série assimétrica (A-SC) é caracterizada pela interligação em série de dois transistores com a região de canal com concentração de dopantes diferentes, sendo a concentração de dopantes do transistor M_D menor que a concentração de dopantes do transistor M_S. Este tipo de associação melhora as características analógicas como a transcondutância, a condutância de saída e o ganho de tensão intrínseco de malha aberta [35].

2.4 ESPELHO DE CORRENTE DE FONTE COMUM

Nesta seção serão apresentadas as características de espelhos de corrente de fonte comum como precisão de espelhamento, descasamento entre os dispositivos que compõe o espelho de corrente, excursão e resistência de saída.

A principal funcionalidade do espelho de corrente é fornecer uma corrente de saída com as mesmas características da corrente de entrada, para qualquer tensão aplicada ao dreno do transistor de saída. Na figura 12, é apresentado o esquemático de um espelho de corrente de fonte comum [36].

Figura 12 - Esquemático de um espelho de corrente de fonte comum.



Fonte: Autor

2.4.1 PRECISÃO DE ESPELHAMENTO

Precisão de espelhamento é a razão entre a corrente de saída I_{OUT} e a corrente de entrada I_{IN} e esta relação mede a capacidade do espelho de corrente em reproduzir na saída a corrente de entrada aplicada ao circuito. Equacionando a relação do espelho de corrente de fonte comum da figura 12, e utilizando o modelo da corrente de dreno dos transistores nMOS proposto por Shichman-Hodges considerando a modulação do comprimento de canal [37], tem-se:

$$I_{Din} = \frac{\beta_{in}}{2}\,(V_G - V_{thin})^2\left(1 + .\lambda_{\,in}\,V_{Din}\right) \tag{28}$$

$$I_{Dout} = \frac{\beta_{out}}{2}\,(V_G - V_{thout})^2\left(1 + .\lambda_{\,out}\,V_{Dout}\right) \tag{29}$$

onde $.\lambda_{\,in}$ e $.\lambda_{\,out}$ representam a modulação do comprimento de canal, V_{thin} e V_{thout} representam a tensão de limiar dos transistores de entrada e saída, β_{in} e β_{out} representam os ganhos dos transistores de entrada e saída.

Detalhando cada variável, a modulação de comprimento de canal será igual a:

$$.\lambda = \frac{1}{|V_{EA}|} \tag{30}$$

E o fator de ganho dos transistores será dado por:

$$\beta = \frac{W}{L_{eff}} \frac{\mu_n C_{ox}}{(1+\alpha_{depl})} \quad (31)$$

Analisando a arquitetura fonte comum da figura 12, a tensão aplicada ao dreno do transistor M_S é a mesma tensão aplicada às portas dos trasistores M_S (transistor de entrada) e M_D (transistor de saída). Com estas relações, é possível determinar a tensão V_G do transistor de saída M_D:

$$V_G = V_{thout} + \sqrt{\frac{2\, I_{Dout}}{\beta_{out}\,(1+ .\lambda_{out} V_{Dout})}} \quad (32)$$

Substituindo a equação 32 na equação 28 podemos calcular a corrente de dreno I_{Din} do transistor de entrada M_S:

$$I_{Din} = \frac{\beta_{in}}{2}\left[V_{thout} - V_{thin} + \sqrt{\frac{2\, I_{Dout}}{\beta_{out}\,(1+ .\lambda_{out} V_{Dout})}})\right]^2 \left(1 + .\lambda_{in} V_{Din}\right) \quad (33)$$

Avaliando a equação 33, podemos observar a diferença entre a tensão de limiar do transistor de entrada M_D, e o transistor de saída M_S. Com este valor, pode-se analisar o descasamento entre os dois transistores como apresentado na equação 34.

$$\Delta V_{th} = V_{thout} - V_{thin} \quad (34)$$

Substituindo a equação 34 na equação 33 e realizando os cálculos matemáticos, definimos que a corrente de dreno I_{Din} do transistor de entrada M_S será:

$$I_{Din} = \frac{\beta_{in}}{2}\left[\Delta V_{th}^2 + 2\Delta V_{th}\sqrt{\frac{2\, I_{Dout}}{\beta_{out}\,(1+ .\lambda_{out} V_{Dout})}} + \frac{2\, I_{Dout}}{\beta_{out}\,(1+ .\lambda_{out} V_{Dout})}\right]\left(1 + .\lambda_{in} V_{Din}\right) \quad (35)$$

Reescrevendo a equação 32, temos:

$$(V_G - V_{thout})^2 = \frac{2\, I_{Dout}}{\beta_{out}\left(1+ .\lambda_{out} V_{Dout}\right)} \quad (36)$$

Substituindo a equação 36 na equação 35, temos:

$$I_{Din} = \frac{\beta_{in}}{2}\left[\Delta V_{th}^2 + 2\,\Delta V_{th}\,(V_G - V_{thout}) + (V_G - V_{thout})^2\right]\left(1 + .\lambda_{in} V_{Din}\right) \quad (37)$$

Similarmente, podemos considerar que a corrente de dreno I_{Dout} para o transistor de saída M_D será:

$$\mathrm{I_{Dout}} = \frac{\beta_{\mathrm{out}}}{2}\ \left[\Delta \mathrm{V_{th}^2} - 2\,\Delta \mathrm{V_{th}}\,(\mathrm{V_G} - \mathrm{V_{thin}}) + (\mathrm{V_G} - \mathrm{V_{thin}})^2\right]\ \left(1 + .\lambda_{\mathrm{out}}\,\mathrm{V_{Dout}}\right) \quad (38)$$

Efetuando a razão entre a corrente de saída $\mathrm{I_{Dout}}$ e a corrente de entrada I_{Din} , obtém-se:

$$\frac{\mathrm{I_{Dout}}}{I_{Din}} = \left[\frac{\beta_{\mathrm{out}}}{\beta_{in}}\right]\left[\frac{\Delta \mathrm{V_{th}^2} + (\mathrm{V_G} - \mathrm{V_{thin}})^2}{(V_G - V_{thin})^2} - \frac{2\,\Delta \mathrm{V_{th}}}{(\mathrm{V_G} - \mathrm{V_{thin}})}\right]\left[\frac{\left(1 + .\lambda_{\mathrm{out}}\,\mathrm{V_{Dout}}\right)}{\left(1 + .\lambda_{in}\,V_{Din}\right)}\right] \quad (39)$$

Considerando que, na razão entre a corrente de saída $\mathrm{I_{Dout}}$ e a corrente de entrada I_{Din}, o termo $\Delta \mathrm{V_{TH}^2}$ é desprezível, temos:

$$\frac{\Delta \mathrm{V}_{TH}^2 + (\mathrm{V_G} - \mathrm{V_{thin}})^2}{(V_G - V_{thin})^2} \cong 1 \quad (40)$$

Utilizando a aproximação da equação 40 na equação 39, teremos:

$$\frac{\mathrm{I_{Dout}}}{I_{Din}} = \left[\frac{\beta_{\mathrm{out}}}{\beta_{in}}\right]\left[1 - \frac{2\,\Delta \mathrm{V_{th}}}{(\mathrm{V_G} - \mathrm{V_{thin}})}\right]\left[\frac{\left(1 + .\lambda_{\mathrm{out}}\,\mathrm{V_{Dout}}\right)}{\left(1 + .\lambda_{in}\,V_{Din}\right)}\right] \quad (41)$$

Na equação 41 está expressa a precisão de espelhamento, que é a relação da corrente de saída I_{Dout} pela corrente de entrada I_{Din}. Quanto mais o valor desta relação se aproxima da unidade, melhor será a precisão do espelho analisado. Esta consideração é válida para espelhos de corrente com transistores de entrada e saída de mesma dimensão [38].

2.4.2 DESCASAMENTO ENTRE DISPOSITIVOS

Descasamento entre dispositivos são variações aleatórias independentes do tempo, em quantidades randômicas de dispositivos concebidos de forma idêntica em processos industriais de fabricação. Há diversos fatores que podem influenciar no descasamento dos transistores de um espelho de corrente, e um deles está diretamente ligado à diferença da tensão de limiar entre os transistores que compõe este espelho. Outros fatores que podem influenciar no descasamento dos transistores são os parâmetros geométricos (Δ_β) de construção do espelho e o parâmetro de modulação do comprimento de canal (Δ_λ), o qual está

diretamente ligado à tensão aplicada ao dreno. Estes efeitos serão apresentados nas equações abaixo [39]:

$$\Delta I_{DS} = I_{Dout} - I_{Din} \quad (42)$$

$$\Delta_{\beta} = \beta_{out} - \beta_{in} \quad (43)$$

$$\Delta\lambda_{VDS} = (\lambda_{out}\, V_{Dout}) - (\lambda_{in}\, V_{Din}) \quad (44)$$

Utilizando as equações 42, 43 e 44 e substituindo-as na equação 41 teremos:

$$\Delta I_{DS} \cong I_{Din} \left(\frac{\Delta_{\beta}}{\beta_{in}} + \frac{\Delta\lambda_{VDS}}{1+(\lambda_{in}\, V_{Din})} - \frac{2\,\Delta \mathrm{V_{th}}}{(\mathrm{V_G} - \mathrm{V_{thin}})} \right) \quad (45)$$

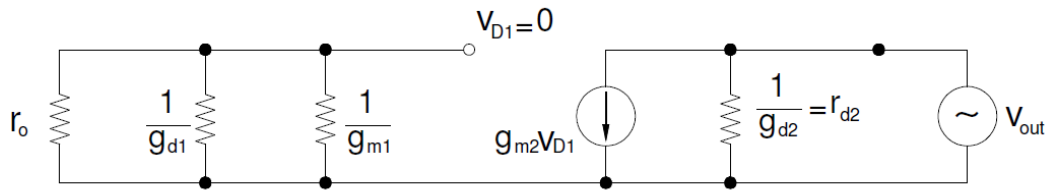
No regime de inversão fraca, o fator dominante que implicará no desequilíbrio do circuito, ou seja, no mau espelhamento de corrente é a variação da tensão de limiar dos dois transistores que está expresso na parcela da equação $\frac{2\,\Delta \mathrm{V_{th}}}{(\mathrm{V_G} - \mathrm{V_{thin}})}$. Caso este espelho trabalhe na região de inversão forte, o termo predominante da equação passa a ser $\frac{\Delta\lambda_{VDS}}{1+(\lambda_{in}\, V_{Din})}$ pois a variação do comprimento de canal vai influenciar diretamente na razão de espelhamento e determinará sua qualidade [36].

Outro fator citado acima, que pode-se verificar na equação 45, são os problemas causados devido a variações de dimensões, decorrente da fabricação, que está expresso na parcela $\frac{\Delta_{\beta}}{\beta_{in}}$, a qual também irá afetar diretamente a qualidade do espelhamento, caso este parâmetro tenha variação muito elevada.

2.4.3 Resistência de Saída

A resistência de saída do espelho de corrente R_{out} será o inverso da condutância de dreno (g_D) do transistor de saída e, através do circuito equivalente de pequenos sinais apresentado na figura 13, será descrita esta resistência [33].

Figura 13 - Modelo equivalente para pequenos sinais do espelho de corrente da figura 12.



Fonte: Autor

Analisando o modelo equivalente de pequenos sinais do espelho de corrente apresentado na figura 13, temos que r_0 corresponde à resistência interna da fonte de corrente de entrada, $\frac{1}{g_{d1}}$ será a resistência entre fonte e dreno do transistor M_S, $\frac{1}{g_{m1}}$ será a resistência equivalente entre porta e dreno do transistor M_S e $g_{m2}\,V_{D1}$ é uma fonte de corrente gerada pelo transistor M_D. Segundo a lei de ohm, a resistência de saída R_{out} poderá ser expressa pela razão entre a tensão de saída ΔV_{Dout} e a corrente de saída ΔI_{Dout}:

$$R_{out} = \frac{\Delta V_{Dout}}{\Delta I_{Dout}} = \frac{1}{g_{Dout}} \tag{46}$$

onde g_{Dout} é a condutância de dreno do transistor de saída. Quando o dispositivo está operando na região de saturação podemos dizer que será alcançado o menor valor de g_{Dout} para este espelho de corrente e g_{Dout} pode ser expresso da seguinte forma:

$$g_{Dout} = \frac{I_{Dout}}{|V_{EA}|} = \frac{1}{r_{out}} \tag{47}$$

Substituindo a equação 47 na equação 46, teremos que:

$$R_{out} = \frac{|V_{EA}|}{I_{Dout}} = \frac{1}{\lambda I_{Dout}} \tag{48}$$

Avaliando a equação 48, temos que a resistência de saída R_{out} depende inversamente da modulação do comprimento de canal dos transistores do espelho de corrente e, na equação 47, que a condutância de dreno do transistor de saída, g_{Dout} , depende inversamente da tensão Early do dispositivo.

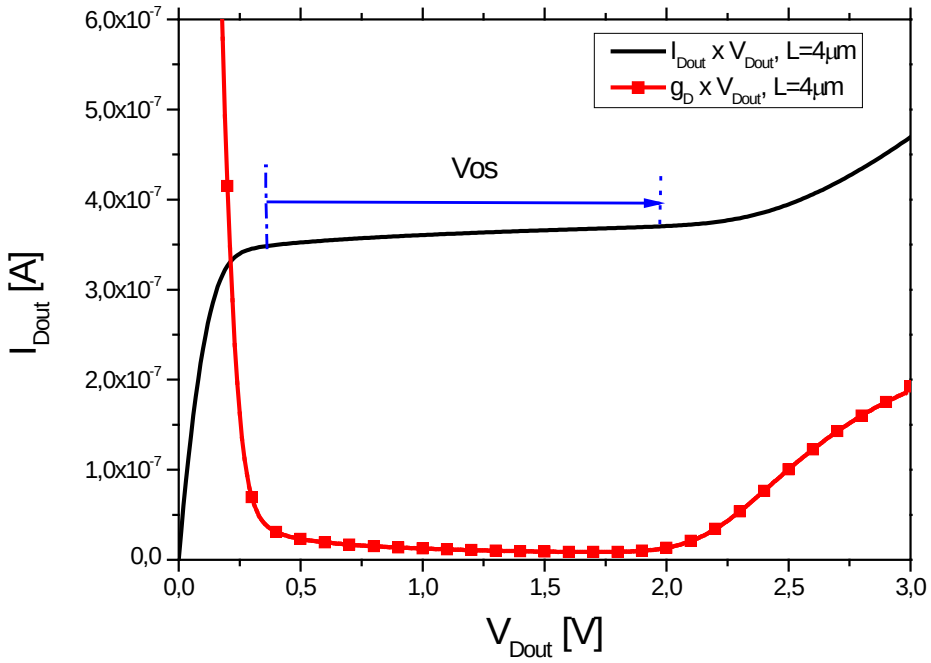
2.4.4 EXCURSÃO DE SAÍDA

A principal característica de um espelho de corrente é fornecer a corrente determinada na saída I_{Dout} espelhando a corrente de entrada I_{Din} com certa precisão mantendo a relação

entre estas próxima à unidade (considerando-se transistores de entrada e saída com mesmas dimensões).Assim este deve manter a corrente de saída I_{Dout} independentente da tensão V_{Dout} aplicada à saída. Para manter as condições citadas acima, a condutância de dreno g_{Dout} deve ser a menor possível, mantendo assim, alta a tensão Early $|V_{EA}|$. A excursão de tensão V_{Dout} na qual I_{Dout} permanece dentro da tolerância estipulada para o circuito é conhecida como excursão de saída. Desta forma, pode-se extrair a excursão de saída V_{OS} de um espelho de corrente através de sua curva $I_{Dout}\ x\ V_{Dout}$ [33].

A figura 14 apresenta uma curva esquemática $I_{Dout}\ x\ V_{Dout}$ de um espelho de corrente de fonte comum, onde a excursão de saída V_{OS} do espelho de corrente será igual à diferença entre a tensão de ruptura de dreno, $BV_{DS,}$ e a tensão de saturação $V_{SAT,}$ onde estes pontos resultem na mesma condutância de dreno [40].

Figura 14 - Curva I_{DOUT} x V_{DOUT} e g_D x V_{DOUT} esquemática de espelho de corrente de fonte comum.



Fonte: Autor

3 SIMULAÇÕES NUMÉRICAS

Para as simulações numéricas foi utilizado o simulador ATLAS que possibilita, através de uma grade de pontos, leis fundamentais da física e modelos matemáticos, simular o comportamento elétrico de dispositivos eletrônicos e pequenos circuitos.

No Apêndice A são apresentados exemplos de arquivos de simulação de uma associação simétrica, de uma associação assimétrica e de um transistor SOI convencional desenvolvidos no simulador ATLAS. A seguir, são apresentados os modelos que foram utilizados para cada uma das simulações, como também a comparação de curvas entre associações série simétricas e assimétricas de transistores SOI e as características elétricas destas associações.

3.1 SIMULADOR E PARÂMETROS UTILIZADOS

Foram utilizados os seguintes modelos físicos no simulador Atlas:

a) KLAASSEN: dependência da mobilidade inicial ou de baixo campo com a concentração de dopantes e temperatura, incluindo os diversos mecanismos de espalhamento que afetam a mobilidade [11];
b) WATT: influência dos principais mecanismos de espalhamento na camada de inversão sobre a mobilidade, resultante da presença do campo elétrico transversal, tais como o espalhamento devido à interação entre fônons do substrato e os portadores da camada de inversão e devido à rugosidade superficial [42];
c) MOD.WATT: extensão do modelo WATT para acrescentar os nós não superficiais aos cálculos [42];
d) BGN: considera o estreitamento da largura da banda proibida [43];
e) CONSRH: dependência do tempo de vida dos portadores com a concentração de dopantes [44, 45, 46];
f) AUGER: Mecanismo de recombinação, onde a recombinação de dois portadores gera energia que é transferida a um terceiro portador [47];
g) FLDMOB: contabiliza a influência do campo elétrico lateral sobre o cálculo da mobilidade, degradando-a em virtude da velocidade de saturação [48];
h) IMPACT.SELB: inclusão da geração de pares elétron-lacuna por ionização por impacto [49, 50].

3.2 Associações Série Simétricas e Assimétricas de Transistores SOI

Para as simulações bidimensionais realizadas neste trabalho, foram utilizadas as associações série simétricas e assimétricas de transistores SOI com as combinações apresentadas na tabela abaixo, e os seguintes parâmetros, t_{Si} =80nm, t_{oxf} =31nm, t_{oxb} =390nm, W =1µm:

Tabela 1 - Associações utilizadas nas simulações realizadas neste trabalho.

Tipo de Associação Série	Comprimento L_S	Concentração de Dopantes L_S	Comprimento L_D	Concentração de Dopantes L_D	Comprimento Total
Simétrica	1 µm	$6x10^{-16}cm^{-3}$	3 µm	$6x10^{-16}cm^{-3}$	4 µm
	2 µm		2 µm		
	3 µm		1 µm		
Assimétrica	1 µm		3 µm	$1x10^{-15}cm^{-3}$	
	2 µm		2 µm		
	3 µm		1 µm		

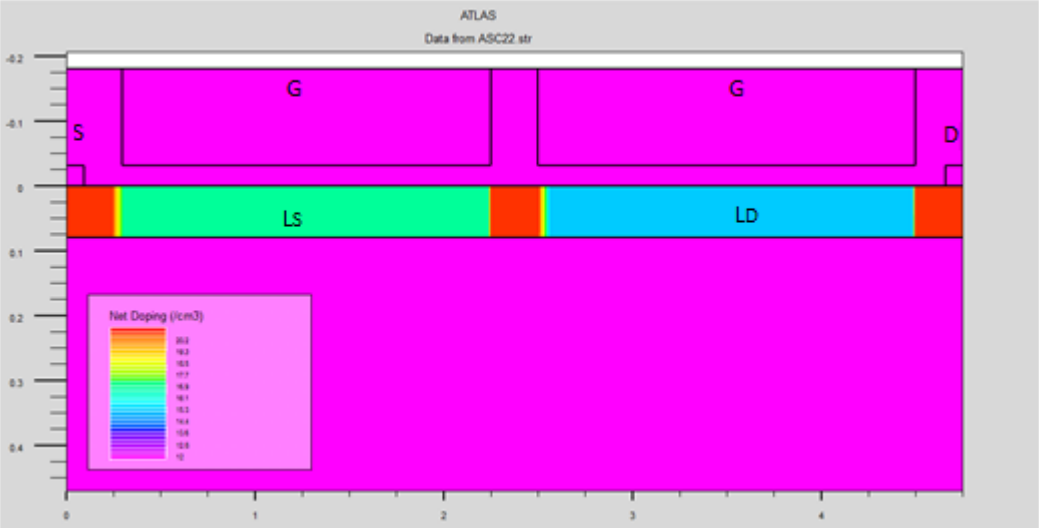
E, para comparação com as associações serie simétricas e assimétricas foram utilizados os transistores convencionais apresentados na tabela abaixo:

Tabela 2 - Transistores utilizados nas simulações realizadas neste trabalho.

Tipo de	Concentração de Dopantes	Comprimento Total
Convencional	$6x10^{-16}cm^{-3}$	1 µm
Convencional		2 µm
Convencional		3 µm
Convencional		4 µm

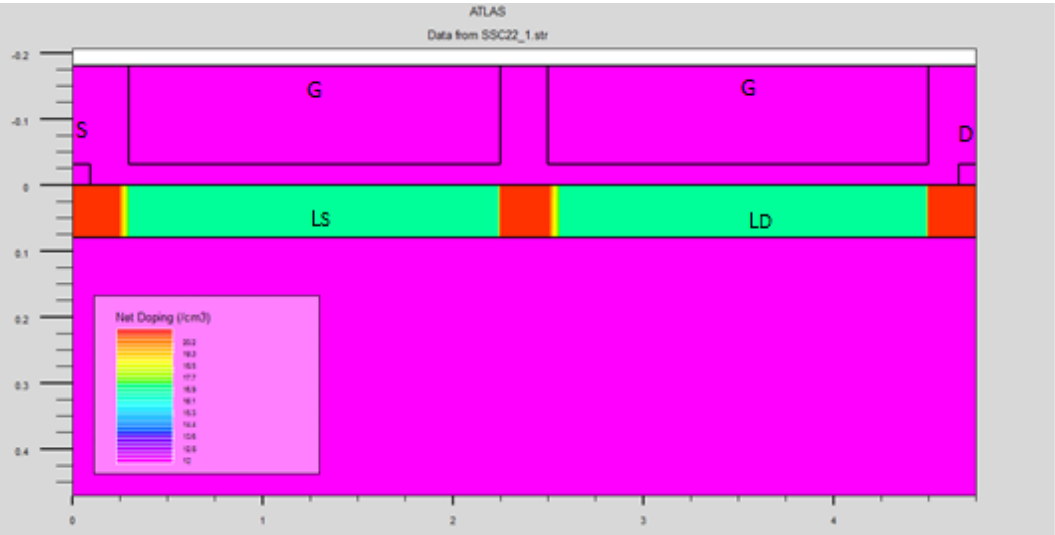
Nas figuras 15 e 16 são apresentados os cortes transversais dos transistores da associação série assimétrica e, da associação série simétrica compostos de L_S=2µm e L_D=2µm, identificando seus eletrodos, sendo G o eletrodo de porta, D o eletrodo de dreno e S o eletrodo de fonte. Também foram indicadas as regiões de L_S e L_D.

Figura 15 - Corte transversal do Transistor SOI de uma associação série assimétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes.



Fonte: Autor

Figura 16 - Corte transversal do Transistor SOI de uma associação série simétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes.



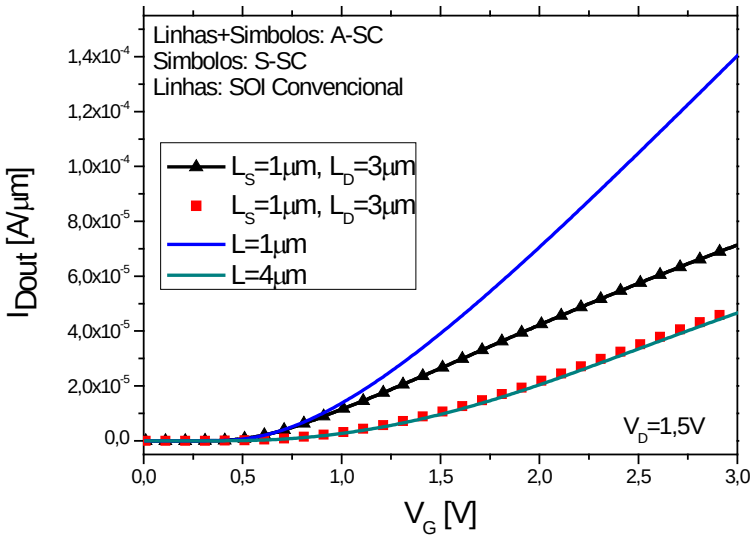
Fonte: Autor

3.2.1 CURVAS DA CORRENTE DE DRENO E TRANSCONDUTÂNCIA EM FUNÇÃO DA TENSÃO DE PORTA

Para analisar o comportamento dos transistores SOI convencional frente aos transistores de associação série simétrica (S-SC) e associação série assimétrica (A-SC) foram realizadas simulações de todos os dispositivos apresentados nas tabelas 1 e 2.

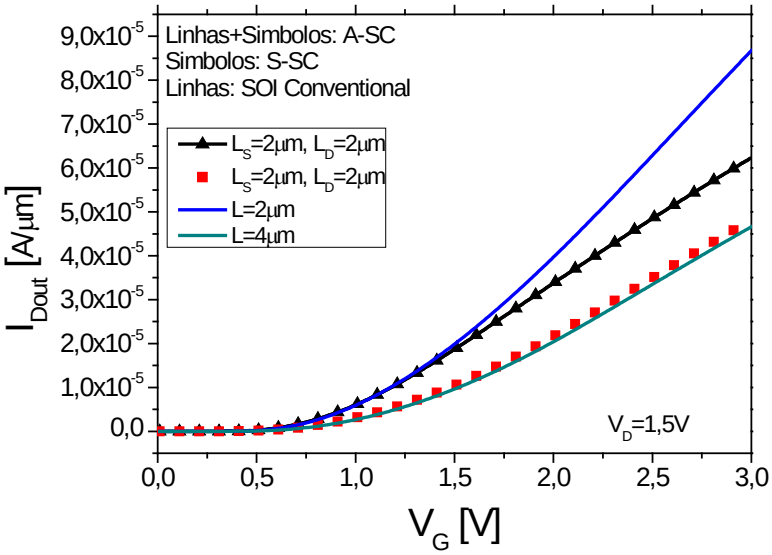
Nas figuras 17, 18 e 19 são apresentadas as curvas $I_{Dout}\ x\ V_G$ das associações séries simétricas (S-SC), associações séries assimétricas (A-SC) e dos transistores SOI convencionais. Para realizar comparações, foram utilizadas associações totalizando 4µm de comprimento de canal, um transistor SOI convencional com comprimento de canal igual ao transistor ligado à fonte das associações simétricas e assimétricas denominado (L_S) e um transistor SOI convencional com 4µm de comprimento de canal.

Figura 17 - Curvas I_{DOUT} x V_G com V_D =1,5V de transistores SOI Convencional de comprimento de canal L=1 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S =1µm ; L_D =3µm.



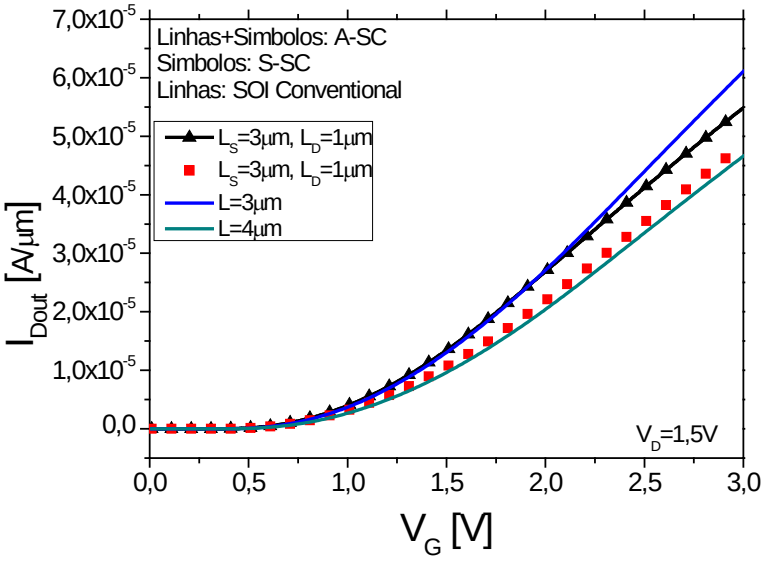
Fonte: Autor

Figura 18 - Curvas I_{DOUT} x V_G com V_D = 1,5V de transistores SOI Convencional de comprimento de canal L=2 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S =2µm ; L_D =2µm.



Fonte: Autor

Figura 19 - Curvas I_{DOUT} x V_G com V_D = 1,5V de transistores SOI Convencional de comprimento de canal L=3 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3 µm ; L_D=1 µm.



Fonte: Autor

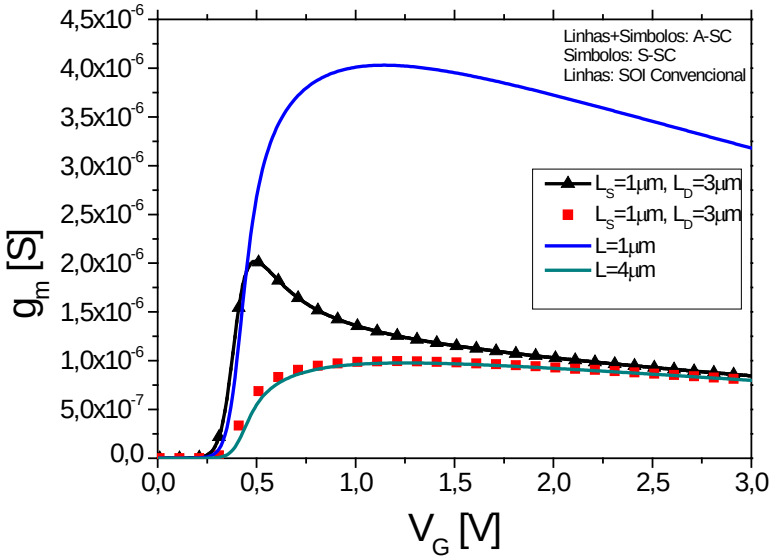
Analisando as figuras 17, 18 e 19 onde são apresentadas as Curvas $I_{Dout}\ x\ V_G$ com $V_D = 1{,}5\ V$ de transistores SOI Convencional, associação série assimétrica (A-SC) e associação série simétrica (S-SC). Verifica-se que os transistores compostos por associações série simétrica (S-SC) com comprimento de canal (L_S + L_D) = 4µm apresentaram características semelhantes aos transistores SOI convencional com comprimento de canal L=4µm, porém com uma redução de aproximadamente 4% da corrente de saída para altos valores de $V_{G,}$ devido à resistência associada à região intermediária que conecta os dois transistores.

Comparando os transistores compostos por associações série assimétrica (A-SC) com comprimento de canal (L_S + L_D) = 4 µm com os transistores SOI convencionais, verifica-se que o comportamento deste dispositivo é similar ao transistor SOI convencional de comprimento de canal igual ao transistor denominado (L_S) da associação série assimétrica (A-SC) em saturação.

As associações série assimétrica (A-SC) apresentam uma corrente de dreno 15% maior para a associação série assimétrica de L_S de 3 µm e L_D de 1 µm, 25% maior para a associação série assimétrica de L_S de 2 µm e L_D de 2 µm e 35% maior para a associação série simétrica de L_S de 1 µm e L_D de 3 µm, comparando-os com o transistor SOI convencional de comprimento de canal L de 4µm, em saturação. Avaliando o funcionamento da associação série assimétrica, o transistor denominado M_D estará em condução devido à sua baixa tensão de limiar, o que irá ocasionar à redução da resistência deste transistor, aumentando assim a tensão de dreno do transistor próximo à fonte denominado (L_S). Portanto, o transistor da associação série assimétrica (A-SC) tem comportamento semelhante ao transistor de comprimento de canal igual a (L_S).

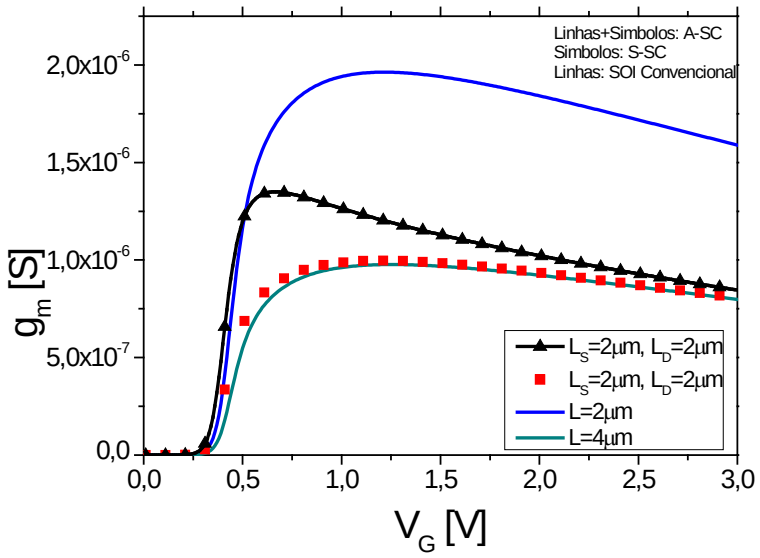
Nas figuras 20, 21 e 22 são apresentadas as curvas $g_m\ x\ V_G$ das associações série simétricas (S-SC), associações série assimétricas (A-SC) e dos transistores SOI convencionais. Para realizar comparações foram utilizadas associações totalizando 4µm de comprimento de canal, um transistor SOI convencional com comprimento de canal igual ao transistor ligado à fonte das associações simétricas e assimétricas denominado (L_S) e um transistor SOI convencional com 4µm de comprimento de canal.

Figura 20 - Curvas g_m x V_G com transistores SOI Convencionais de comprimento de canal L=1 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=1µm; L_D=3µm.



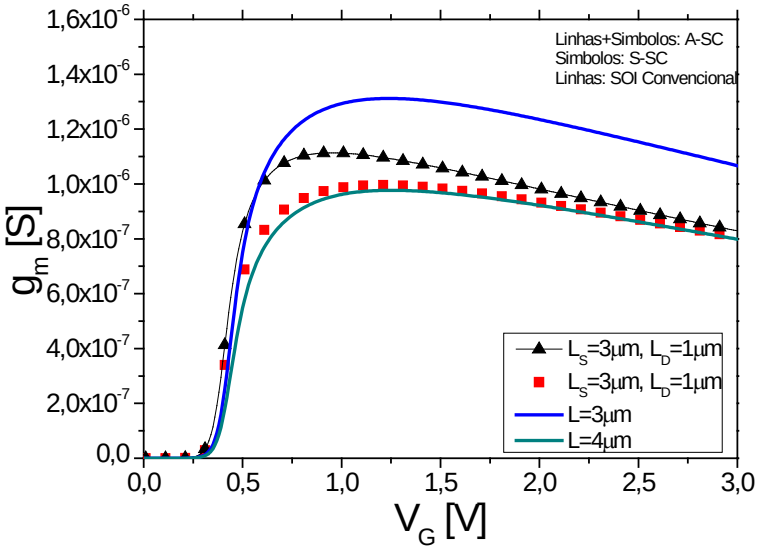
Fonte: Autor

Figura 21 - Curvas g_m x V_G de transistores SOI Convencionais de comprimento de canal L=2 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=2µm e L_D=2µm.



Fonte: Autor

Figura 22 - Curvas g_m x V_G de transistores SOI Convencional de comprimento de canal L=3 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3µm e L_D=1 µm.



Fonte: Autor

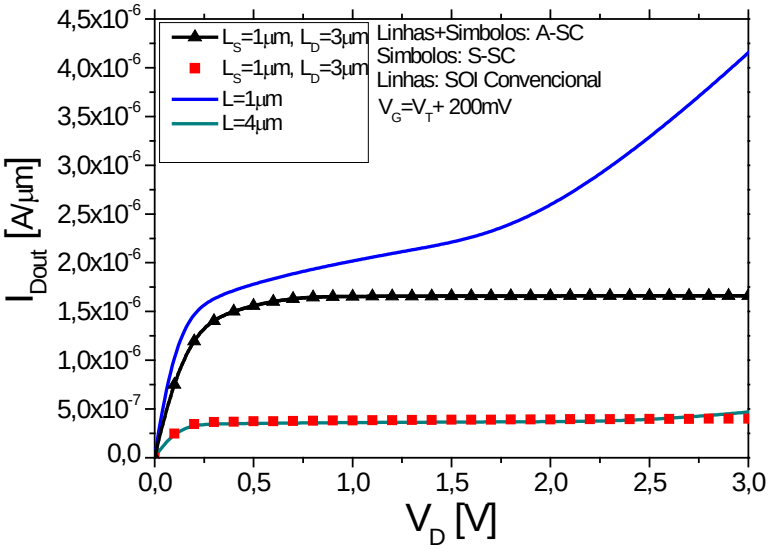
Avaliando a transcondutância das associações série simétricas (S-SC), associações série assimétricas (A-SC) e transistores SOI convencionais nas figuras 20, 21 e 22, podemos observar que as associações série assimétricas (A-SC) apresentam uma melhor transcondutância máxima sendo aproximadamente 14% maior para a associação série assimétrica de L_S de 3 µm e L_D de 1 µm, 39% maior para a associação série assimétrica de L_S de 2 µm e L_D de 2 µm e 113% maior para a associação série assimétrica de L_S de 1 µm e L_D de 3 µm, comparando-os com o transistor SOI convencional de comprimento de cana L de 4µm. Outro ponto a salientar é que as associações série simétricas possuem comportamento semelhante ao transistor SOI convencional com comprimento de canal L de 4 µm.

Esta avaliação diz que as associações série assimétrica possuirão uma melhor eficácia no controle da corrente de dreno pela porta, com a tensão de limiar inalterada pela utilização da associação série simétrica ou assimétrica.

3.2.2 CURVAS DA CORRENTE DE DRENO E CONDUTÂNCIA DE SAÍDA EM FUNÇÃO DA TENSÃO DE DRENO

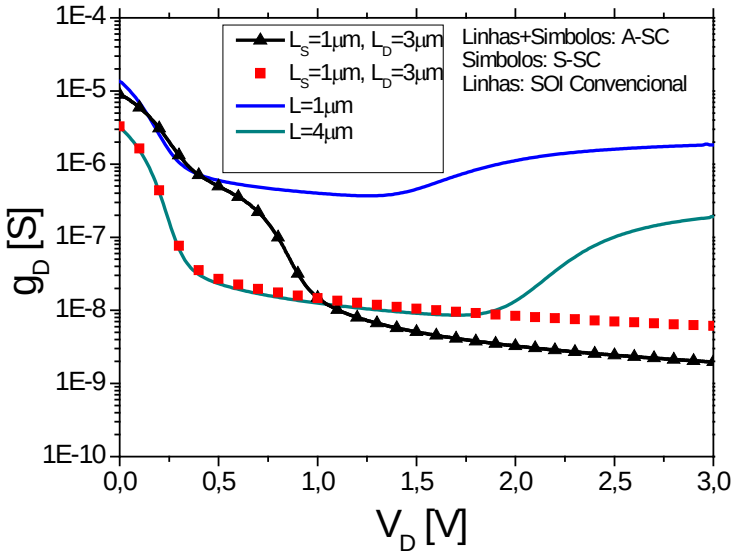
Continuando a analisar o comportamento dos transistores SOI convencional em comparação aos transistores de associação série simétrica (S-SC) e associação série assimétrica (A-SC) foram realizadas simulações da corrente de dreno em função da tensão de dreno de todos os dispositivos apresentados no item 3.2. Nas figuras 23, 25 e 27 serão comparadas as curvas $I_{Dout}\ x\ V_D$, e nas figuras 24, 26 e 28 serão apresentadas as curvas $g_D\ x\ V_D$ das associações simétricas e assimétricas totalizando 4 µm de comprimento de canal com os transistores SOI convencionais de comprimento de canal de 4 µm e um transistor com comprimento de canal igual ao transistor ligado à fonte da associação simétrica e assimétrica denominada (L_S).

Figura 23 - Curvas I_{DOUT} x V_D com $V_G = V_{TH} + 0{,}2$ V de transistores SOI Convencional de comprimento de canal L=1 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=1µm e L_D =3µm.



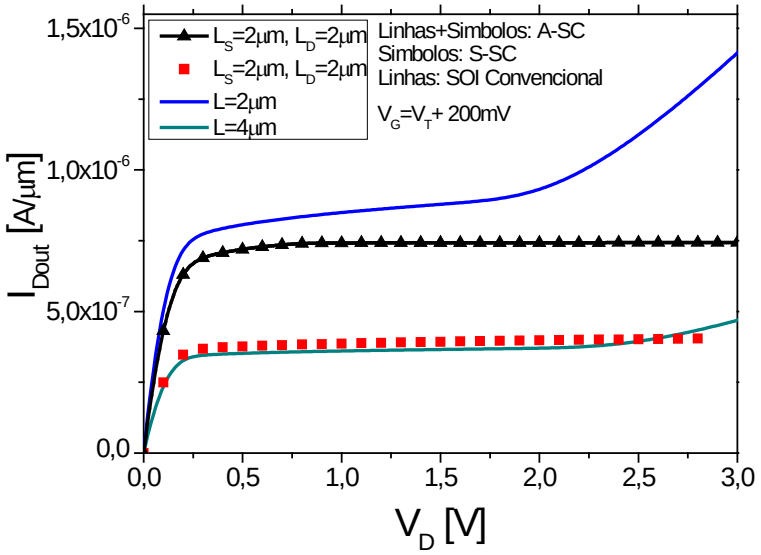
Fonte: Autor

Figura 24 - Curvas g_D x V_D de transistores SOI Convencional de comprimento de canal L=1µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=1µm e L_D=3µm.



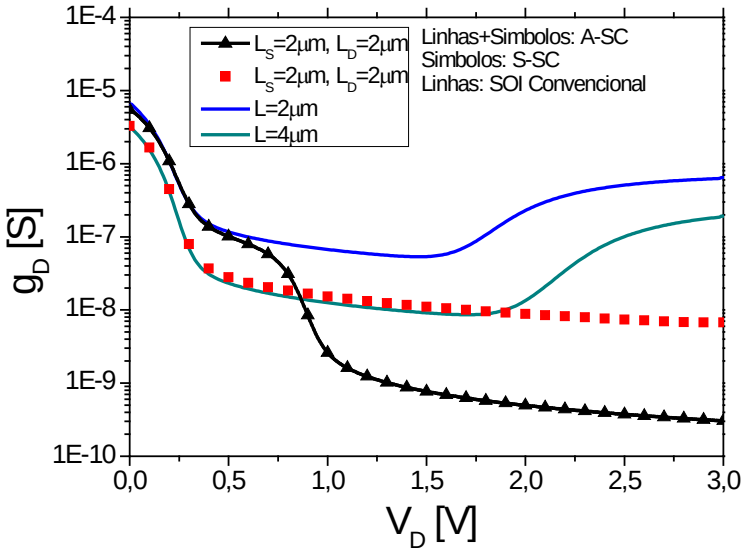
Fonte: Autor

Figura 25 - Curvas I_{DOUT} x V_D com $V_G = V_{TH}$ +0,2 V de transistores SOI Convencional de comprimento de canal L=2 µm e L=4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=2µm e L_D=2µm.



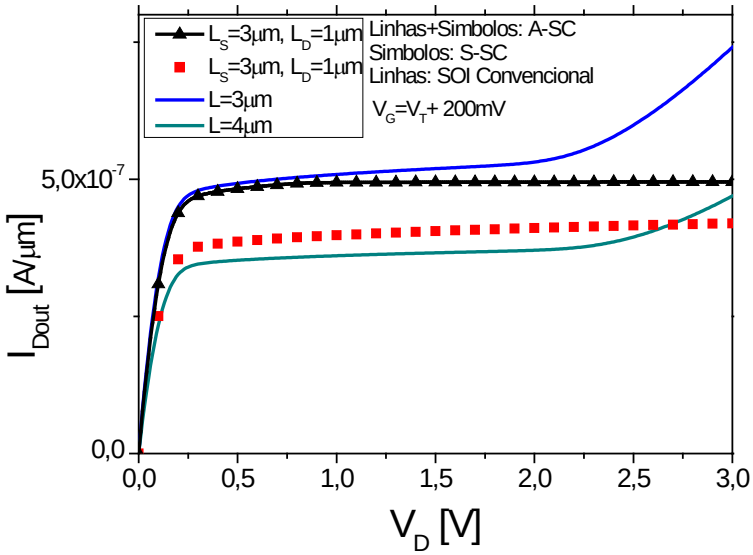
Fonte: Autor

Figura 26 - Curvas g_D x V_D de transistores SOI Convencional de comprimento de canal L=2µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=2µm e L_D=2µm.



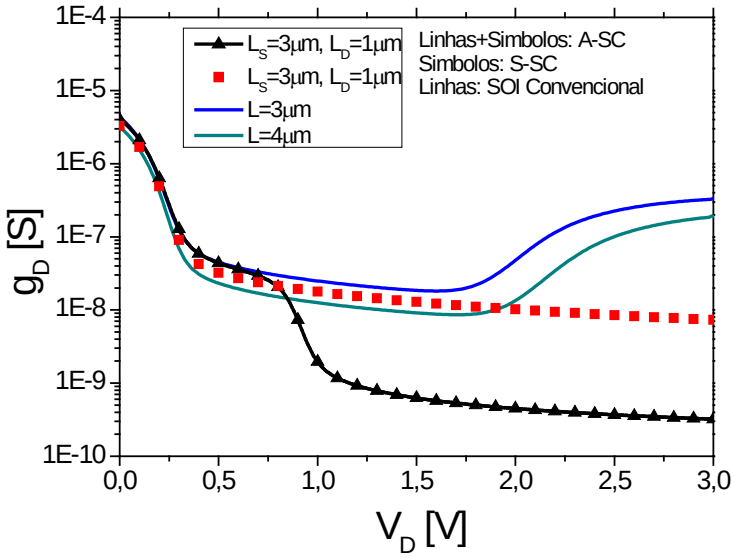
Fonte: Autor

Figura 27 - Curvas I_{DOUT} x V_D com $V_G = V_{TH} + 0,2$ V de transistores SOI Convencional de comprimento de canal L=3µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3µm e L_D=1µm.



Fonte: Autor

Figura 28 - Curvas g_D x V_D de transistores SOI Convencional de comprimento de canal L=3µm e L=4µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal L_S=3µm e L_D=1µm.



Fonte: Autor

Avaliando as figuras 23, 25 e 27, além do aumento do nível de corrente devido à redução do comprimento efetivo de canal, é possível verificar outra vantagem dos dispositivos SOI de associação série assimétrica (A-SC) frente aos transistores SOI convencionais, que é o aumento da tensão de ruptura de dreno (BV_{DS}), que no caso das associações série assimétricos, torna-se superior à tensão de alimentação (3V). Isto ocorre pois o transistor fracamente dopado M_D reduz o incremento do campo elétrico próximo à região de dreno, diminuindo também os efeitos bipolares parasitários ativados pela ionização por impacto de portadores. Com o circuito em operação, o transistor M_D trabalha em saturação e com isto diminui a variação da polarização de dreno do transistor M_S, resultando em uma reduzida condutância de saída e, consequentemente, uma maior resistência de saída. Adicionalmente, portadores gerados por impacto no transistor M_D podem se recombinar na região intermediária, fortemente dopada, e não contribuirão para o acréscimo da corrente em altos valores de V_{DS}. O comportamento observado nas curvas $I_{Dout}\ x\ V_G$ com $V_D = 1{,}5\ V$ de transistores SOI Convencionais, associação série assimétrica (A-SC) e associação série simétrica (S-SC) são mantidas, onde os dispositivos da associação série assimétrica (A-SC) tem comportamento semelhante ao transistor convencional de comprimento de canal igual a

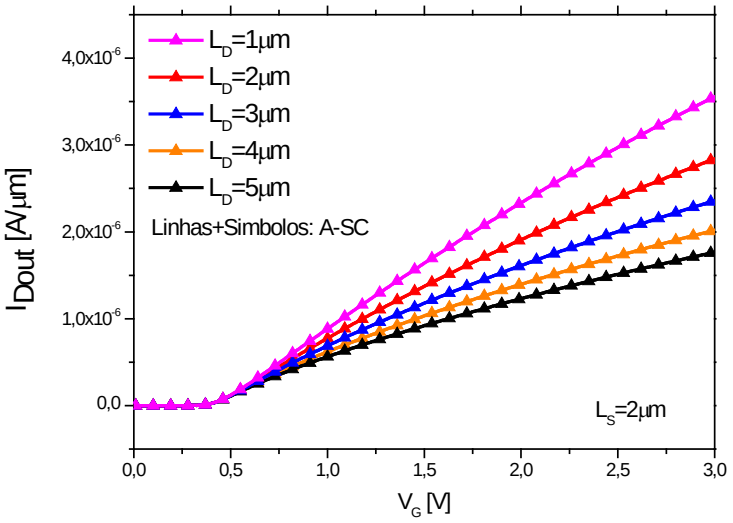
$L_{S,}$ e os dispositivos da associação série simétrica (S-SC) tem comportamento semelhante ao transistor SOI convencional de comprimento de canal de L de 4µm.

Avaliando as curvas da condutância de saída $g_D \; x \; V_D$ apresentadas nas figuras 24, 26 e 28 de transistores SOI Convencional, associação série assimétrica (A-SC) e associação série simétrica (S-SC) é possível observar uma redução na condutância de saída sendo aproximadamente uma ordem de grandeza vez menor para a associação série assimétrica de L_S de 3 µm e L_D de 1 µm e para a associação série assimétrica de L_S de 2 µm e L_D de 2 µm e meia ordem de grandeza menor para a associação série assimétrica de L_S de 1 µm e L_D de 3 µm, comparando-os com o transistor SOI convencional de comprimento de cana L de 4µm, observando altos valores de tensão de dreno (superiores a 2,5 V), o que nos levará a uma alta resistência de saída para estes dispositivos nesta faixa de operação.

3.2.3 INFLUÊNCIA DO COMPRIMENTO DE CANAL

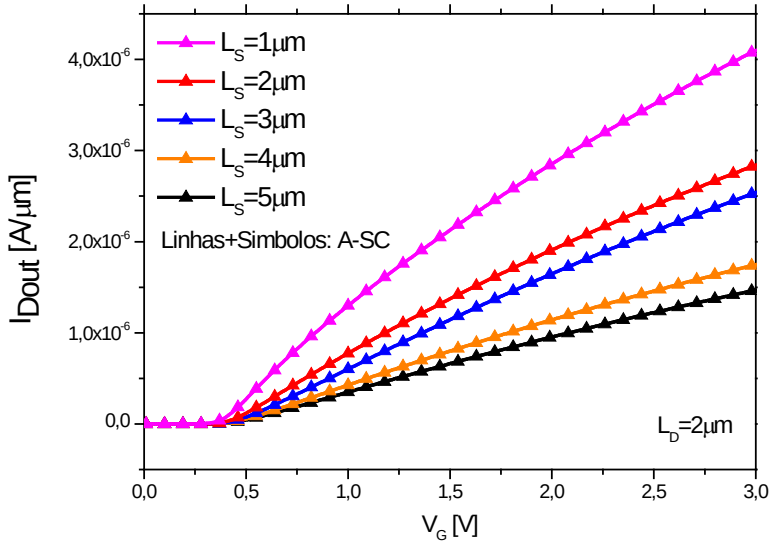
Para realizar o comparativo da influência de L_S e L_D nas associações série assimétricas foram realizadas simulações numéricas fixando L_S em 2µm e variando L_D de 1 µm a 5 µm, o mesmo foi realizado com $L_{D,}$ fixando este em 2 µm e variando L_S de 1 µm a 5 µm.

Figura 29 - Curvas I_{DOUT} x V_G com V_D=1,5V de transistores de associação série assimétrica (A-SC) com L_S fixo em 2µm L_D variando de 1 à 5µm.



Fonte: Autor

Figura 30 - Curvas I_{DOUT} x V_G com V_D = 1,5V de transistores de associação série assimétrica (A-SC) com L_D fixo em 2µm L_S variando de 1 à 5µm.

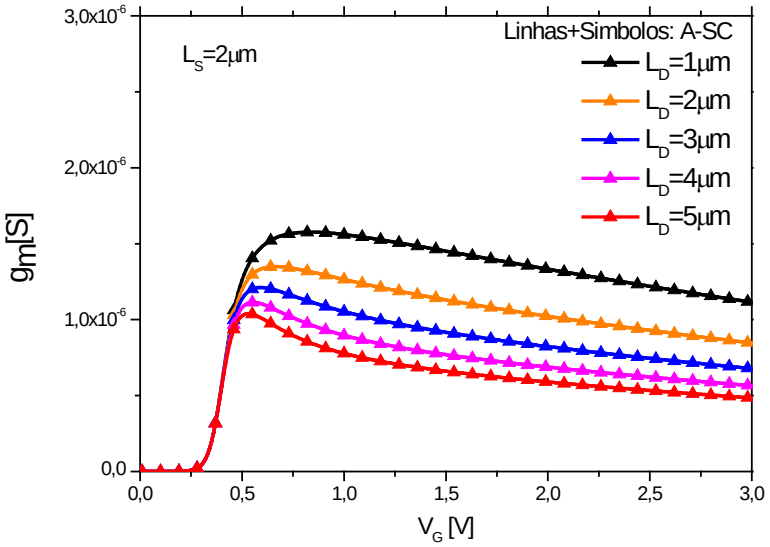


Fonte: Autor

Avaliando o funcionamento das associações série assimétricas apresentadas na figura 29, o transistor denominado M_D estará em condução devido à sua tensão de limiar ser inferior a 0 V, o que irá ocasionar à redução da resistência deste transistor, aumentando assim a tensão de dreno do transistor próximo à fonte denominado M_S, esta tensão irá variar conforme o comprimento do canal do transistor M_D. Quando L_D = 1µm, a corrente I_{DOUT} é aproximadamente 58% maior do que M_D com comprimento de canal de 5 µm para altas tensões de porta (2,5V), porém somente inicia-se o controle do dipositivo com tensão de porta V_G de 0,5V. Já na figura 30 onde o comprimento de canal do transistor (L_D) foi fixado em 2 µm, pode-se verificar que com (L_S) de 1µm a corrente I_{DOUT} é aproximadamente 185% maior do que (L_S) com comprimento de canal de 5 µm para altas tensões de porta (2,5V), e este dispositivo possui o controle através da tensão de porta similar aos dispositivos MOS convencionais conforme verificado no item 3.2.1.

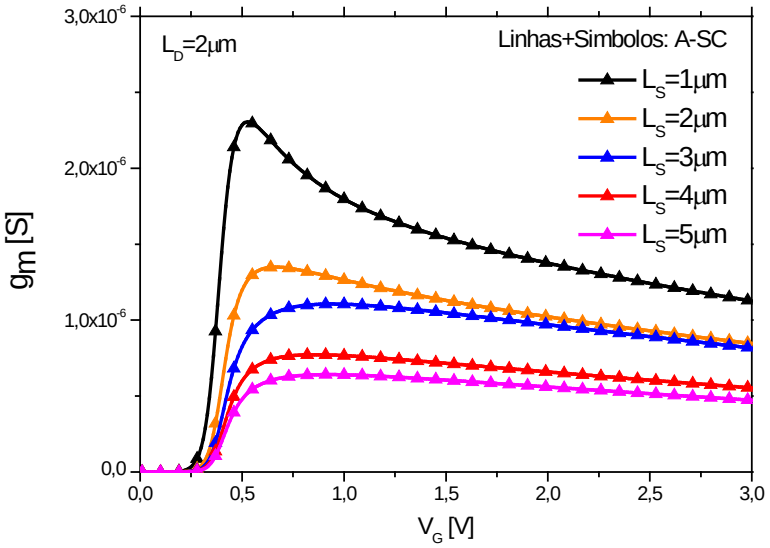
Desta forma pode-se afirmar que o transistor denominado (L_S) possui maior influência no controle da associação série assimétrica mantendo as características do transistor convencional.

Figura 31 - Curvas g_m x V_G com associação série assimétrica (A-SC) de comprimento de canal L_S fixo em 2µm e L_D variando de 1 à 5µm.



Fonte: Autor

Figura 32 - Curvas g_m x V_G com associação série assimétrica (A-SC) de comprimento de canal L_D fixo em 2µm e L_S variando de 1 à 5µm.



Fonte: Autor

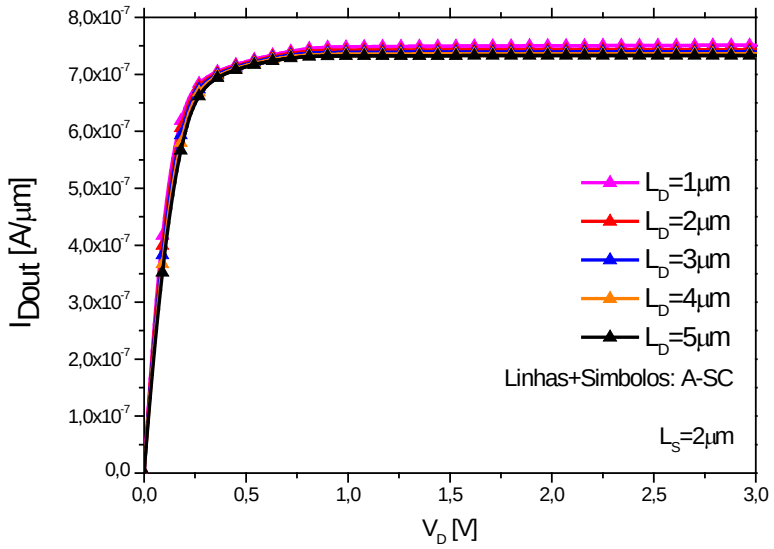
Avaliando a transcondutância nas figuras 31 e 32, podemos observar que as associações série assimétricas (A-SC) com L_S fixo em 2µm e variando L_D de 1µm à 5µm,

apresentam transcondutância máxima semelhante, já as associações série assimétricas (A-SC) com L_D fixo em 2µm e variando L_S de 1µm à 5µm possuem uma diferença de aproximadamente 5 vezes em sua condutância máxima comparando os dois extremos.

Esta avaliação nos diz que o transistor M_S da associação série assimétrica possui uma maior influência no controle da corrente de dreno.

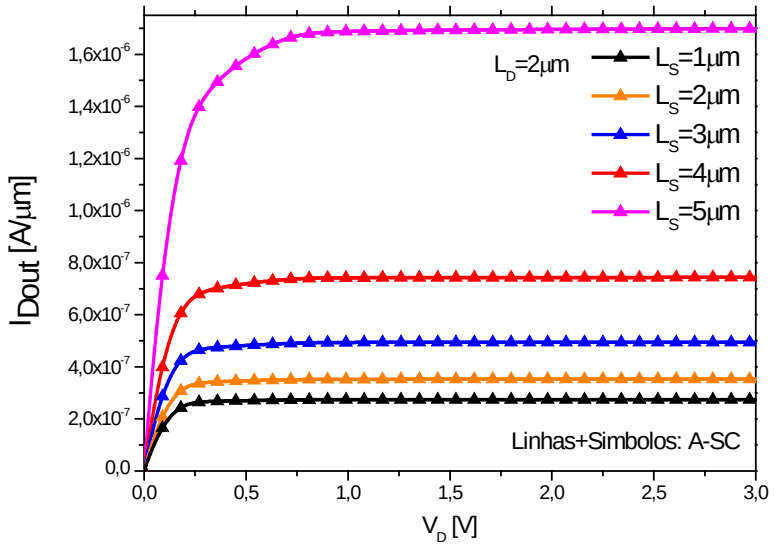
Continuando a analisar o comportamento da variação de L_S e L_D foram realizadas simulações da corrente de dreno em função da tensão de dreno apresentada nas figuras 33 e 34 e as curvas da transcondutância de saída em função da tensão de dreno $g_D \, x \, V_D$ apresentadas nas figuras 35 e 36.

Figura 33 - Curvas I_{DOUT} x V_D com $V_G = V_{th}$ + 200mV de transistores de associação série assimétrica (A-SC) com L_S fixo em 2µm e L_D variando de 1 à 5µm.



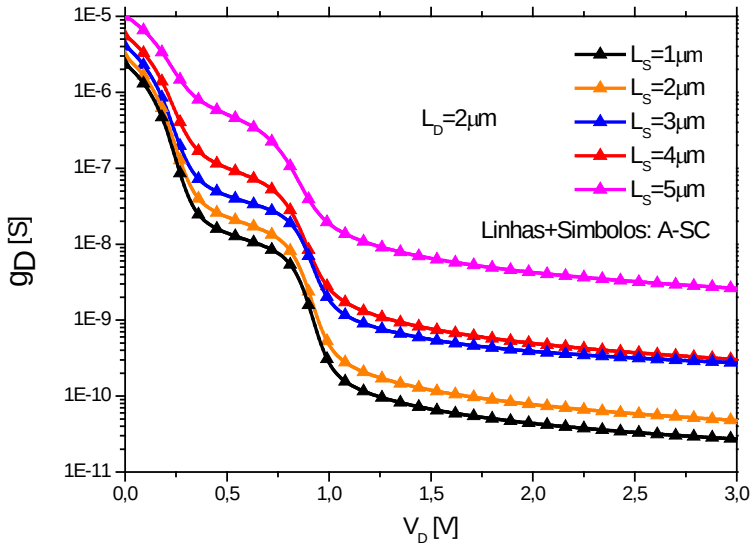
Fonte: Autor

Figura 34 - Curvas I_{DOUT} x V_D com V_G = V_{th} + 200mV de transistores de associação série assimétrica (A-SC) com L_D fixo em 2µm e L_S variando de 1 à 5µm.



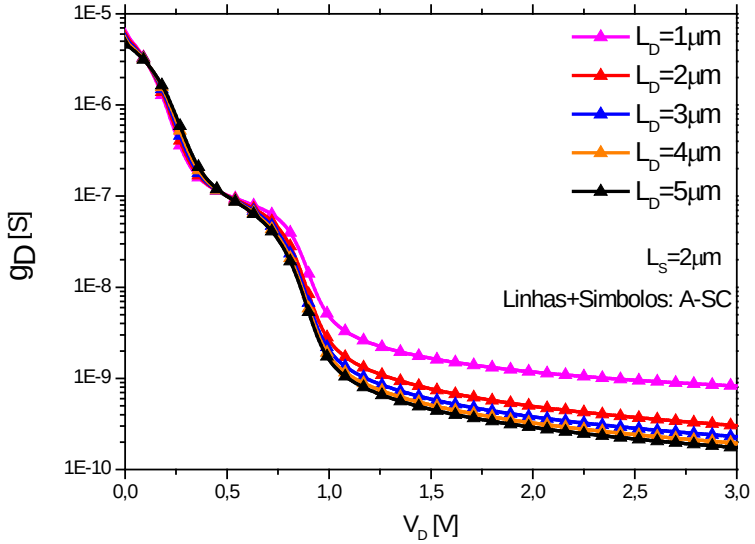
Fonte: Autor

Figura 35 - Curvas g_D x V_D com associação série assimétrica (A-SC) de comprimento de canal L_D fixo em 2µm; e L_S variando de 1 à 5µm.



Fonte: Autor

Figura 36 - Curvas g_D x V_D com associação série assimétrica (A-SC) de comprimento de canal L_S fixo em 2µm; e L_D variando de 1 à 5µm.



Fonte: Autor

Avaliando a figura 34 pode-se afirmar que o transistor M_S possui maior influência também no controle da corrente de dreno, com tensão de porta fixa, a corrente de dreno com L_S=1µm é aproximadamente 8 vezes maior do que a corrente de dreno com L_S=5µm, já na figura 33 observamos que a corrente de dreno com L_D=1µm é aproximadamente igual a corrente de dreno com L_D=5µm.

O mesmo comportamento ocorre na figura 35 onde a condutância de saída com L_S=1µm é aproximadamente 100 vezes maior do que a corrente de dreno com L_S=5µm com M_D fixo em 2µm, e na figura 36 a condutância de saída com L_D=1µm é aproximadamente 10 vezes maior do que a corrente de dreno com L_D=5µm com M_S fixo em 2µm.

3.3 ESPELHOS DE CORRENTE

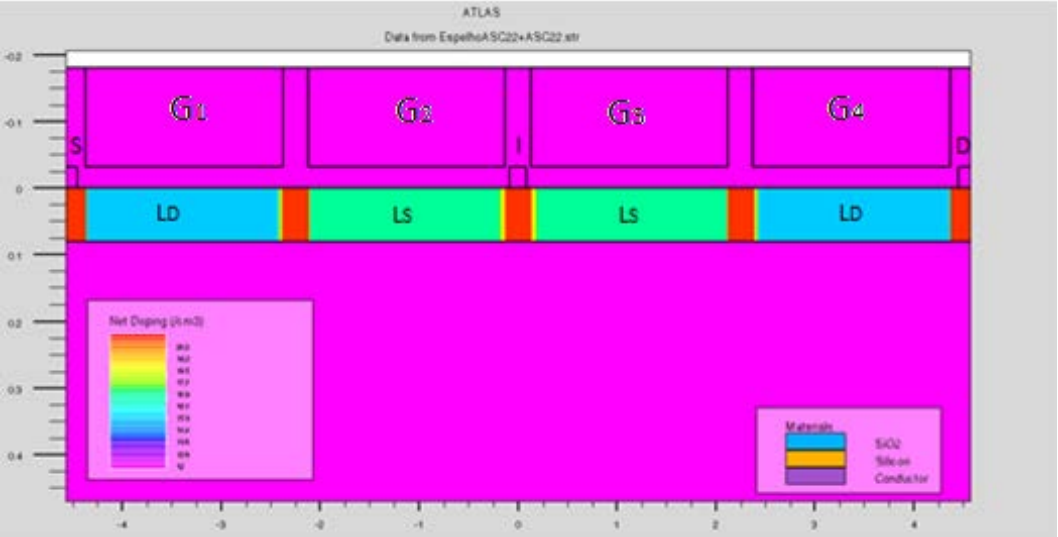
Nesta seção, iremos avaliar as simulações realizadas através do simulador ATLAS dos espelhos de corrente com associações séries simétricas, associações séries assimétricas e transistores SOI convencionais com as combinações apresentadas na tabela 3:

Tabela 3 - Espelhos de corrente com associações série assimétrica, associações série simétrica e transistores convencionais utilizados.

Tipo de Associação Série	Comprimento Transistor 1 L_S+ L_D	Comprimento Transistor 2 L_S+ L_D	Concentração de Dopantes L_S	Concentração de Dopantes L_D
Simétrica	(1 + 3) µm	(1 + 3) µm	$6x10^{-16}cm^{-3}$	$6x10^{-16}cm^{-3}$
	(2 + 2) µm	(2 + 2) µm		
	(3 + 1) µm	(3 + 1) µm		
Assimétrica	(1 + 3) µm	(1 + 3) µm		$1x10^{-15}cm^{-3}$
	(2 + 2) µm	(2 + 2) µm		
	(3 + 1) µm	(3 + 1) µm		
Convencional	4 µm	4 µm	$6x10^{-16}cm^{-3}$	

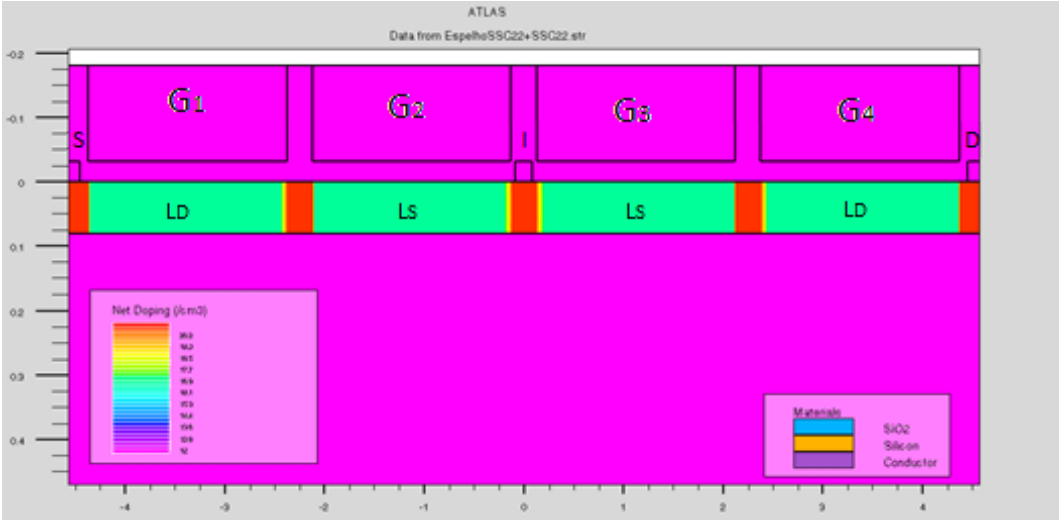
Nas figuras 37, 38 e 39 são apresentados os cortes transversais dos espelhos de corrente compostos por transistores da associação série assimétrica, da associação série simétrica composto de L_s=2µm e L_D=2µm e compostos por transistores SOI convencional com comprimento de canal L de 4 µm. Neste corte, também são apresentados os eletrodos de porta, (G_1, G_2, G_3 e G_4), o eletrodo de dreno da entrada (in), o eletrodo de dreno da saída (out) e o eletrodo de interconexão (I) entre os transistores do espelho de corrente, também são indicados às regiões de L_S e L_D de cada transistor da associação do espelho de corrente de fonte comum.

Figura 37 - Corte transversal do espelho de corrente de fonte comum de uma associação série assimétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes



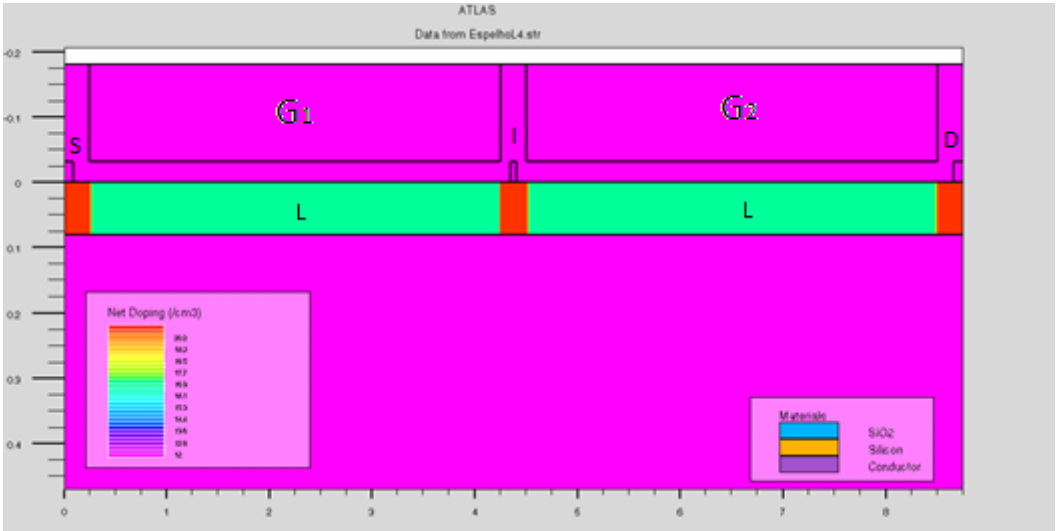
Fonte: Autor

Figura 38 - Corte transversal do espelho de corrente de fonte comum de uma associação série simétrica de L_S =2 µm e L_D =2 µm com perfil de concentração de dopantes



Fonte: Autor

Figura 39 - Corte transversal do espelho de corrente de fonte comum de uma associação de transistores SOI convencional de comprimento de canal L de 4 µm com perfil de concentração de dopantes.



Fonte: Autor

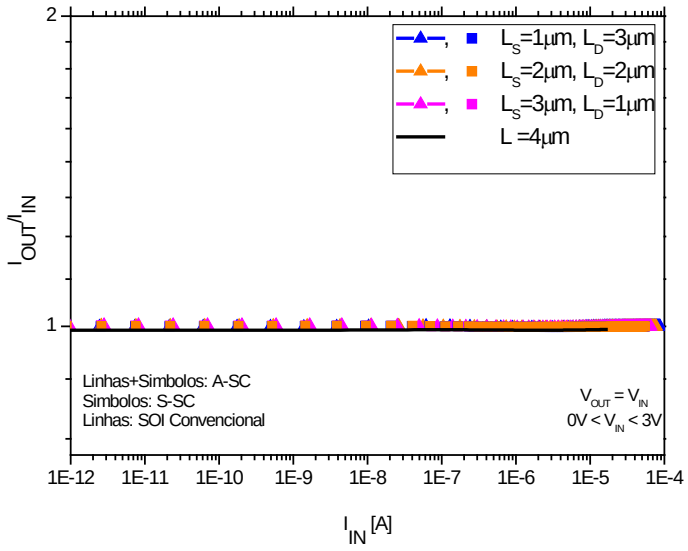
3.3.1 PRECISÃO DE ESPELHAMENTO

Visando a análise do comportamento dos transistores SOI convencional frente aos transistores de associação série simétrica (S-SC) e associação série assimétrica (A-SC), foram realizadas simulações de todos os dispositivos apresentados e a precisão de espelhamento

destes dispositivos foi comparada em duas situações distintas, varrendo a tensão de entrada e saída do espelho de corrente com o mesmo nível de tensão, e fixando o nivél de tensão da saída do espelho de corrente e varrendo a tensão de entrada do espelho de corrente.

Na figura 40 são apresentadas as curvas $I_{OUT}/I_{In}\ x\ I_{In}$ com $V_{OUT} = V_{IN}$, variando V_{IN} de 0 a 3 V dos espelhos de corrente das associações série assimétricas, associações série simétricas e transistor SOI convencional.

Figura 40 - Curvas I_{OUT}/I_{IN} x I_{IN} com $V_{OUT} = V_{IN}$, variando V_{IN} de 0 a 3 V de espelhos de corrente com associações séries simétricas(S-SC) e assimétricas (A-SC) e espelho de corrente com transistores SOI convencional.



Fonte: Autor

Analisando as curvas apresentadas na figura 40 é possível verificar que não há variação no espelhamento dos dispositivos simulados. Para aprofundar melhor esta avaliação pode-se avaliar três parâmetros distintos destes dispositivos, o primeiro parâmetro será problemas causados devido à fabricação dos componentes conforme apresentado no 1° termo entre parênteses na equação 45. Como estes são simulados não há divergência entre os parâmetros geométricos (Δ_β) dos dispositivos dos espelhos em análise. O mesmo ocorre para a tensão de limiar, o segundo parâmetro analisado conforme apresentado no 3° termo dentro dos parênteses da equação 45.

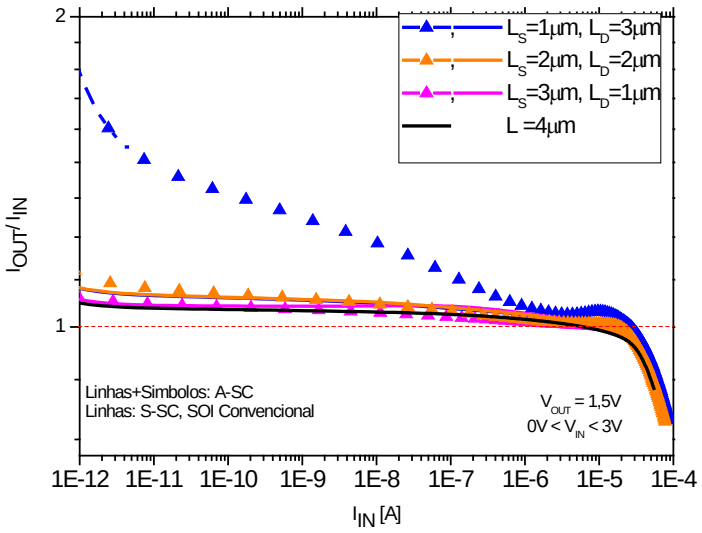
O terceiro parâmetro a ser analisado é a modulação do comprimento de canal (Δ_λ) 2° termo entre parênteses da equação 45, o qual está diretamente ligado à tensão aplicada ao

dreno dos dispositivos de entrada e saída. Como se varre a tensão de entrada de 0 a 3V em ambos os drenos, este parâmetro também não influenciará na precisão do espelhamento.

Portanto, como esperado, a relação I_{OUT} / I_{IN} de todos os dispositivos é igual a 1, mostrando o perfeito espelhamento destes nesta condição de simulação.

Na figura 41 é apresentada a Curva $I_{OUT}/I_{In}\ x\ I_{In}$ com $V_{OUT} = 1{,}5V\ e\ V_{IN}$ variando de 0 a 3 V, dos espelhos de corrente das associações série assimétricas, simétricas e transistor SOI convencional.

Figura 41 - Curva I_{OUT}/I_{IN} x I_{IN} com V_{OUT} = 1,5 V e V_{IN} variando de 0 a 3 V de espelhos de corrente com associações séries simétricas (S-SC) e assimétricas (A-SC) e espelho de corrente com transistor SOI convencional



Fonte: Autor

Analisando as curvas da figura 41, é possível verificar que há variação no espelhamento dos dispositivos simulados e esta ocorre em correntes de entrada menores que 100 nA para todos os dispositivos excluindo a associação série assimétrica com L_S = 1 µm e L_D = 3 µm que possui variação de espelhamento desde a corrente de entrada 1 µA. Uma vez que nos espelhos de corrente simulados não há descasamento intrínseco nem de tensão de limiar, o parâmetro a ser analisado que impacta a precisão é a modulação do comprimento de canal (Δ_λ) a qual está diretamente ligada à tensão aplicada ao dreno dos dispositivos de entrada e saída. Como varre-se a tensão de entrada de 0 a 3V e temos a tensão de saída fixa

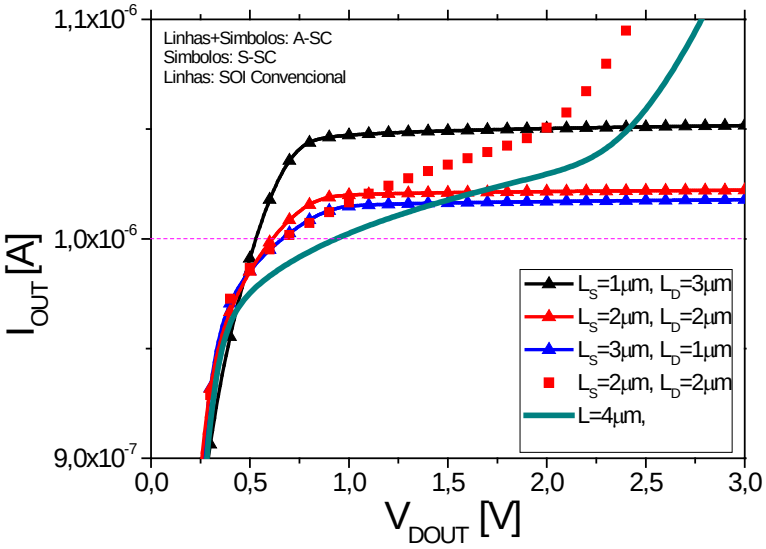
em 1,5 V em todos os espelhos de corrente, irá ocorrer um descasamento das tensões devido à degradação de g_D, influenciando assim a relação I_{OUT} / I_{IN}.

Pode-se observar que as associações série assimétricas (A-SC) e simétricas (S-SC) possuem desempenho do espelhamento similar aos transistores SOI convencionais para correntes de 10 µA a 100 nA, com exceção da associação série assimétrica com L_S de 1 µm e L_D 3 µm que, devido a sua diferença da condutância de saída g_D de 1000 vezes entre os dispositivos do espelho de corrente, apresenta espelhamento similar ao SOI convencional apenas até correntes da ordem de 1µA. Esta diferença ocorre, pois para a tensão de 1,5 V a associação série assimétrica com L_S de 1 µm e L_D 3 µm se comporta como o transistor SOI convencional de comprimento de canal L de 1 µm, e para a tensão de 3V esta se assemelha ao transistor SOI convencional de comprimento de canal L de 4 µm.

3.3.2 EXCURSÃO DE SAÍDA

Na figura 42, temos as curvas da corrente de saída I_{DOUT} em função da tensão de saída V_{DOUT}, aplicando a entrada uma corrente I_{IN} = 1 µA. Com esta corrente, os dispositivos estarão polarizados em inversão moderada. Avaliando o espelhamento da corrente I_{IN} aplicada à entrada do espelho de corrente nota-se que as associações série assimétricas possuem grande confiabilidade ao replicar este valor para I_{OUT} na maior faixa de V_{DOUT} em comparação com espelhos de corrente formados por transistores SOI convencional de comprimento de canal L de 4 µm e associações série simétrica com L_S de 2 µm e L_D de 2 µm.

Figura 42 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} de espelhos de corrente com associações séries assimétricas, associações série simétrica com L_s 2 µm e L_D 2 µm e espelho de corrente com transistor SOI convencional de comprimento de canal L 4 µm



Fonte: Autor

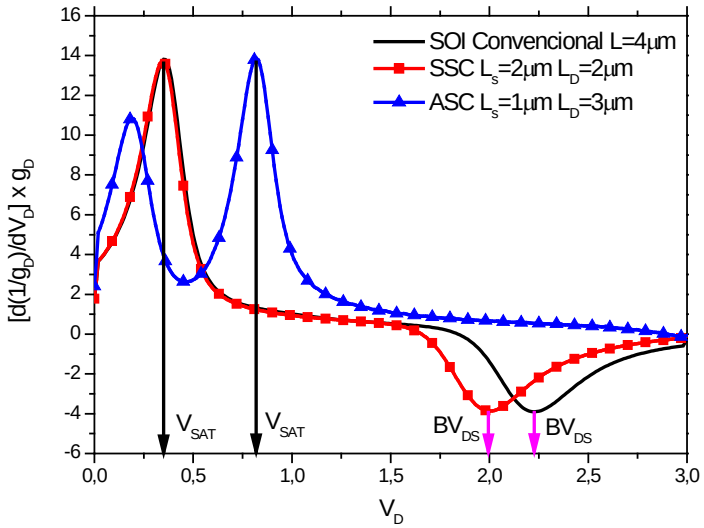
A tabela 4 apresenta a excursão do sinal de saída (V_{OS}), dada pela diferença entre a tensão de ruptura de dreno (BV_{DS}) e a tensão de saturação (V_{SAT}) extraídos conforme a metodologia apresentada na figura 43, onde para o espelho de corrente composto com transistor SOI convencional de comprimento de canal L de 4 µm e para a associação série assimétrica, verifica-se dois picos de sinal, sendo o primeiro pico de sinal positivo, que é a tensão de saturação V_{SAT}, e o segundo pico de sinal negativo, sendo a tensão de ruptura BV_{DS} . No caso das associações série assimétrica existem dois picos positivos desde que os transistores M_S e M_D apresentem diferentes tensões de saturação, sendo o primeiro pico positivo a tensão de saturação V_{SAT} do transistor M_S conectado ao lado da fonte, e o segundo pico positivo é a tensão de saturação da associação série assimétrica;

Pode-se notar que as associações série assimétricas apresentam melhora na excursão do sinal de saída, principalmente devido ao aumento de aproximadamente 50% da tensão de ruptura de dreno para tensão de alimentação de 3 V. Outro ponto a ressaltar é a desvantagem com o aumento de aproximadamente 120% da tensão de saturação V_{SAT} para as associações série assimétricas frente aos transistores SOI convencional de comprimento de canal L de 4 µm.

Tabela 4 - Parâmetros extraidos da conforme a metodologia [d(1/g_D)/dV_D] x g_D em função da V_D das associações série assimétricas e simétrica para análise de Excursão de Saída.

Espelho de Corrente	V_{SAT} [V]	BV_{DS} [V]	V_{OS} [V]
SOI Convencional L 4 µm	0,35	2,23	1,88
S-SC (2µm + 2µm)	0,35	2,00	1,65
A-SC (1µm + 3µm)	0,82	>3	>2,25
A-SC (2µm + 2µm)	0,82	>3	>2,27
A-SC (3µm + 1µm)	0,82	>3	>2,28

Figura 43- Curva [d(1/g_D)/dV_D] x g_D em função da V_D aplicada na saída do espelho de corrente para extração da tensão de saturação V_{SAT} e a tensão de ruptura BV_{DS}.



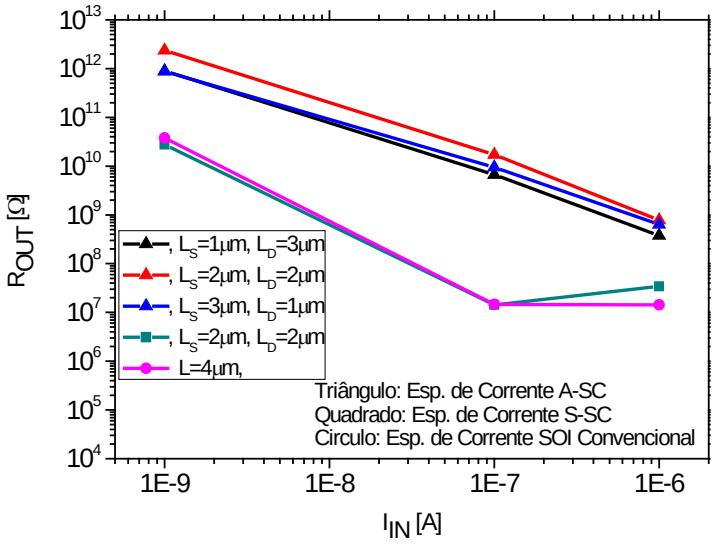
Fonte: Autor

3.3.3 Resistência de Saída

Na figura 44, a resistência de saída em função da corrente de entrada com tensão de saída V_{OUT} = 1,5 V, extraída das curvas $1/g_{Dout}$ x V_{OUT} é apresentada. A melhoria da resistência de saída dos espelhos de corrente das associações série assimétricas é observada frente ao espelho de corrente composto por associação série simétrica com L_S e L_D de 2µm e também o espelho de composto por transistores SOI convencionais de comprimento de canal L 4 µm. O motivo desta melhora está relacionado à menor condutância de saída apresentada

pelos dispositivos que compõem este espelho como apresentado anteriormente nas figuras 24, 26 e 28.

Figura 44 - Curvas da resistência de saída em função da corrente de entrada para espelhos de corrente de associações série assimetricas, associação série simétrica e transistor SOI convencional de comprimento de canal L 4 µm, extraídas com tensão de saída V_{OUT} = 1,5 V.



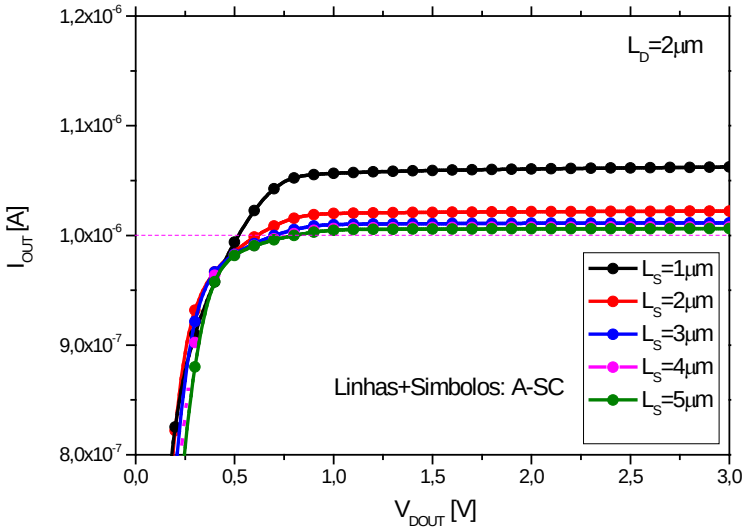
Fonte: Autor

Analisando a figura 44, para diferentes correntes de entrada, observa-se que para a corrente de 1 µA, comparando os espelhos de corrente das associações série assimétrica com os espelhos de corrente formado por transistores SOI convencional há um aumento de aproximadamente 45 vezes na resistência de saída $R_{OUT.}$ Já para a corrente de 0,1 µA, este aumento é de aproximadamente 1450 vezes e para a corrente de 1 nA este aumento é de aproximadamente 65 vezes.

3.3.4 INFLUÊNCIA DO COMPRIMENTO DE CANAL NOS ESPELHOS DE CORRENTE

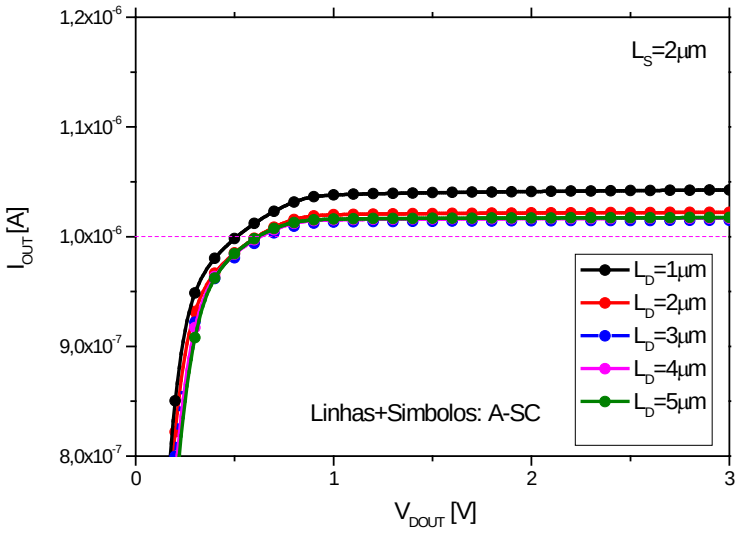
Nas figuras 45 e 46, temos as curvas da corrente de saída I_{DOUT} em função da tensão de saída V_{DOUT}, aplicando a entrada uma corrente I_{IN} = 1 µA para espelhos de corrente com L_D e L_S fixos em 2µm. Com esta corrente, os dispositivos estarão polarizados em inversão moderada.

Figura 45 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} de espelhos de corrente com associações séries assimétricas, L_D fixo em 2 µm e L_S variando de 1 µm à 5µm.



Fonte: Autor

Figura 46 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} de espelhos de corrente com associações séries assimétricas, L_S fixo em 2 µm e L_D variando de 1µm à 5µm.



Fonte: Autor

Avaliando o espelhamento da corrente I_{IN} aplicada à entrada do espelho de corrente nas figuras 45 e 46 observa-se que ambas as combinações com L_S fixo em 2µm e L_D variando

de 1µm à 5µm e com L_D fixo em 2µm e L_S variando de 1µm à 5µm possuem grande confiabilidade ao replicar este valor para I_{DOUT} na maior faixa de V_{DOUT} sendo esta variação de no máximo 5% para as combinações com os transistores operando em saturação. O outro ponto a ressaltar é que a tensão de ruptura de todas as combinações é maior que 3V.

4 RESULTADOS EXPERIMENTAIS

Foram utilizados neste trabalho os transistores SOI totalmente depletados uniformemente dopados, fabricados no Laboratório de Microeletrônica da *Université Catholique de Louvain* (UCL), Bélgica. Estes dispositivos apresentam comprimento total de canal (L) de 4 µm, largura de canal (W) de 20 µm, espessura do óxido de porta (t_{oxf}) de 31 nm, espessura da camada de silício (t_{si}) de 80 nm, espessura do óxido enterrado (t_{oxb}) de 390 nm, e concentrações do transistor fortemente dopado da associação com $6{,}0\times10^{16}$ cm^{-3} e do transistor fracamente dopado da associação com $1{,}0\times10^{15}$ cm^{-3}. O transistor conectado ao lado da fonte nas associações série assimétricas foi denominado M_S (com comprimento de canal L_S) e os mesmos são fortemente dopados. Já os transistores conectados ao lado do dreno destas associações foram denominados M_D (com comprimento de canal L_D) e são fracamente dopados. Para as associações Séries Simétricas a mesma nomenclatura foi utilizada, porém ambos os transistores são fortemente dopados. Os transistores utilizados para os espelhos de corrente possuem as seguintes dimensões:

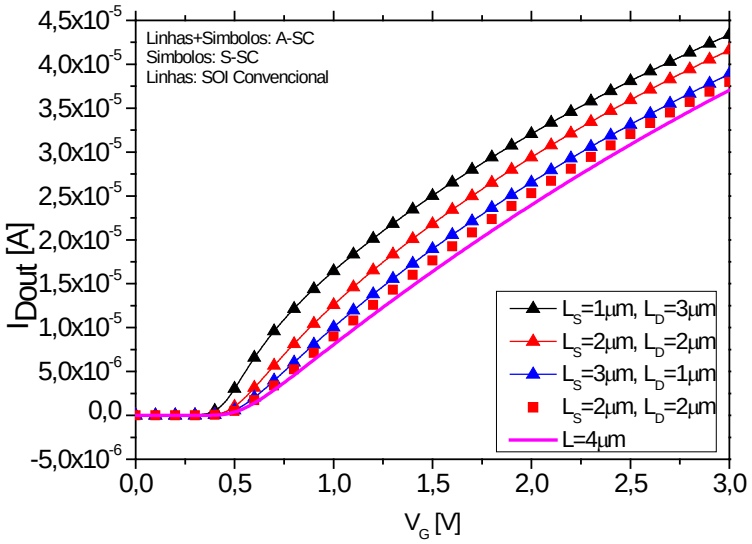
a) Transistor L_S = 1µm + Transistor L_D = 3µm
b) Transistor L_S = 2µm + Transistor L_D = 2µm
c) Transistor L_S = 3µm + Transistor L_D = 1µm
d) Transistor L_S = 2µm + Transistor L_D = 2µm (ambos os transistores fortemente dopados)
e) L = 4µm (transistor fortemente dopado)

4.1 CURVAS CARACTERÍSTICAS

Analisando a figura 47, onde são apresentadas as curvas $I_{Dout}\ x\ V_G$ com $V_D = 1{,}5\ V$ de transistores SOI Convencional, de associações série assimétricas e associações série simétricas, verifica-se que o mesmo comportamento observado nas simulações bidimensionais foi detectado para os transistores medidos em laboratório sendo que o transistor da associação série simétrica com Ls e L_D de 2 µm apresenta características semelhantes ao transistor SOI convencional com comprimento de canal L 4 µm. Comparando os transistores das associações série assimétrica com comprimento de canal (L_S + L_D) = 4µm com o transistor SOI convencional de comprimento de canal L=4µm, verifica-se que conforme (L_S) diminui, a corrente de dreno aumenta repetindo os resultados também apresentado nas simulações bidimensionais no item 3.2.1. No caso da associação simétrica,

pouca dependência da corrente de dreno foi verificada com a alteração dos comprimentos L_S e L_D, ficando sempre próxima à corrente do transistor com L = 4 µm e abaixo da corrente das associações assimétricas.

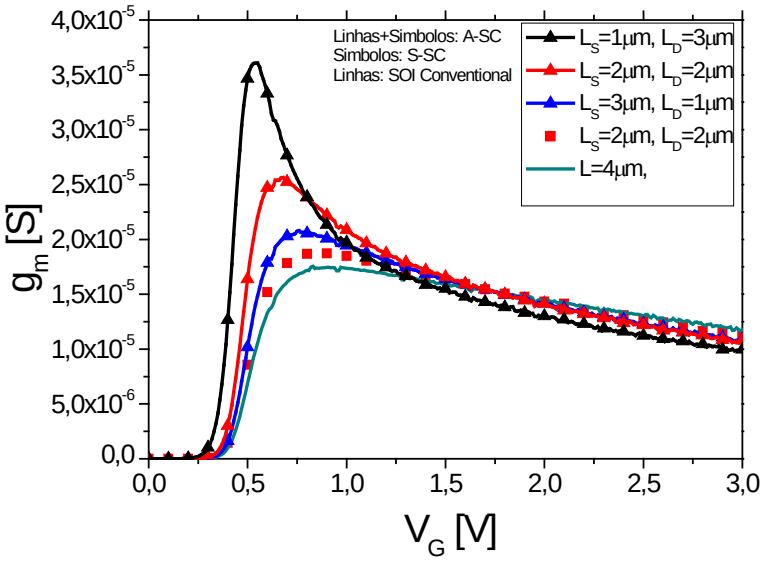
Figura 47 - Curvas I_{DOUT} x V_G com V_D de 1,5V de transistores SOI Convencional de comprimento de canal L de 4 µm, associação série simétrica (S-SC) e associações série assimétrica (A-SC).



Fonte: Autor

Avaliando a transcondutância em triodo da associação simétrica com Ls e L_D de 2 µm, associações série assimétricas com comprimento total $(L_S + L_D)$ = 4 µm e transistor SOI convencional de comprimento de canal L de 4µm, na figura 48, pode-se observar que as associações assimétricas apresentam uma melhor transcondutância. Esta avaliação nos diz que estes dispositivos possuirão uma melhor eficácia no controle da corrente de dreno conforme verificado nas simulações bidimensionais no item 3.2.1.

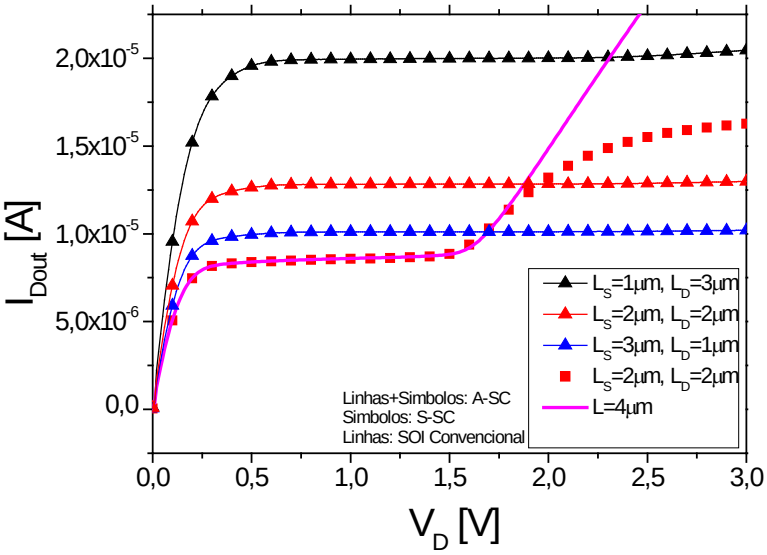
Figura 48 - Curvas g_m x V_G de transistores SOI Convencional de comprimento de canal L de 4 µm, associação série simétrica (S-SC) e associações série assimétrica (A-SC).



Fonte: Autor

Na figura 49, são apresentadas as curvas $I_{Dout}\ x\ V_D$ com $V_G = V_{TH} + 0{,}2\ V$ de transistores SOI Convencionais com comprimento de canal L=4 µm, associações série assimétricas com comprimento total $(L_S + L_D)$ = 4 µm e associação série simétrica com L_S=L_D=2µm. Analisando estas curvas é possível confirmar a vantagem dos dispositivos da associação série assimétrica em comparação ao transistor SOI convencional. Esta vantagem se traduz pelo aumento da tensão de ruptura de dreno (BV_{DS}) também observado nas simulações bidimensionais. Porém, nas medidas experimentais, este aumento foi bem acentuado. Comparando ambos os casos, a tensão de ruptura de dreno nas simulações bidimensionais para o transistor SOI Convencional de comprimento de canal L de 4 µm é observado a partir de 2,5 V, e no dispositivo caracterizado, este fenômeno começou a ocorrer a partir de 1,5 V. Outro fenômeno que pode-se observar é que a associação série simétrica apresenta comportamento similar ao dispositivo convencional, porém entre as tensões de dreno de 1,5V a 2 V reduz-se o incremento de corrente na região de ruptura, uma vez que os pares elétron-lacuna gerados devido ao alto campo elétrico próximo ao dreno se recombinam na região entre dreno e fonte intermediaria da associação simétrica.

Figura 49 - Curvas I_{DOUT} x V_D com $V_G = V_T + 0{,}2V$ de transistores SOI Convencionais de comprimento de canal L de 4 µm, associação série simétrica (S-SC) e associações série assimétricas (A-SC).

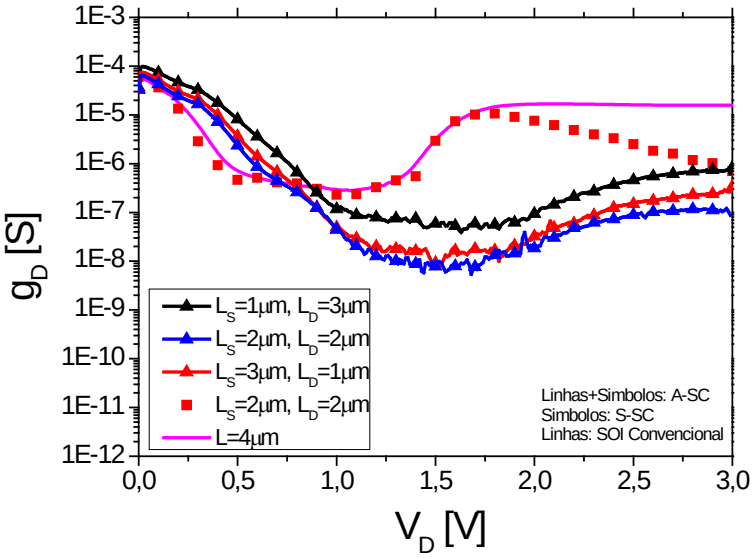


Fonte: Autor

Avaliando as condutâncias de saída nas curvas $g_D \; x \; V_D$ apresentadas na figura 50, de transistores SOI Convencionais, associações série assimétricas (A-SC) e associação série simétrica (S-SC) é possível observar a redução na condutância de saída para as associações série assimétricas comparando-as ao transistor SOI convencional de comprimento de canal L de 4µm. Já a associação série simétrica comportou-se de forma semelhante com o transistor SOI convencional de comprimento de canal L 4µm.

Desta forma, pode-se afirmar que os dispositivos compostos por associações série assimétricas possuirão uma alta resistência de saída na faixa de operação de altos valores de tensão de dreno.

Figura 50 - Curvas g_D x V_D de transistores SOI Convencional de comprimento L 4 µm, associação série simétrica (S-SC) e associação série assimétrica (A-SC) de comprimento de canal.

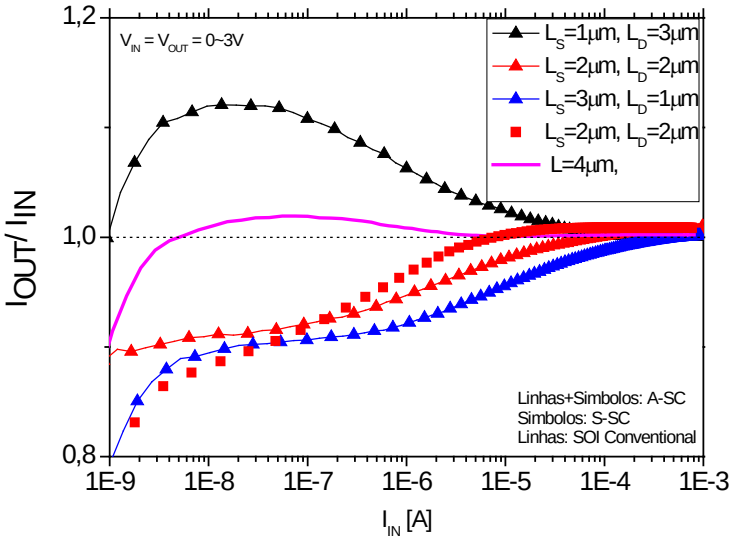


Fonte: Autor

4.2 ESPELHOS DE CORRENTE

Para a avaliação da precisão de espelhamento dos espelhos de corrente foram realizadas as análises da relação da corrente de saída pela corrente de entrada I_{OUT} / I_{IN} x I_{IN} variando a tensão de entrada (V_{IN})e a tensão de saída (V_{OUT}) de 0 a 3 V simultaneamente. Os resultados apresentados na figura 51 mostram que existe uma variabilidade no processo de fabricação, impactando nos parâmetros geométricos (Δ_β) das associações série simétricas e assimétricas como também no transistor SOI convencional. Pode-se ressaltar também o impacto da variação da tensão de limiar (Δ_{VT}) destes dispositivos que será somada ao impacto na precisão de espelhamento alcançada.

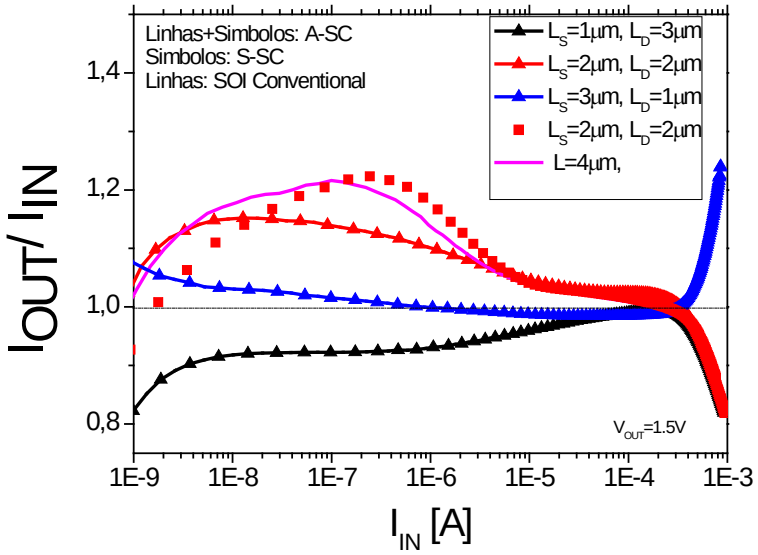
Figura 51 - Curva I_{OUT}/I_{IN} x I_{IN} com $V_{OUT} = V_{IN}$ variando de 0 a 3 V de espelhos de corrente com associação série simétrica (S-SC), associações série assimétricas (A-SC) e com transistor SOI Convencional de comprimento de canal L 4 µm.



Fonte: Autor

Na figura 52 são apresentadas as curvas I_{OUT}/I_{In} x I_{In} com $V_{OUT} = 1{,}5V$ e V_{IN} variando de 0 a 3 V de espelhos de corrente com associação série simétrica (S-SC), associações série assimétricas (A-SC) e com transistores SOI convencionais. Neste caso, além do descasamento nos parâmetros geométricos (Δ_β) e na tensão de limiar (Δ_{VT}) (conforme visto na figura 51) existe o impacto das diferentes condutâncias de saída g_D. Outro ponto a ressaltar é a melhora na precisão de espelhamento verificada nas associações série assimétricas (A-SC) sendo está melhor que o transistor convencional com L=4µm mesmo possuindo um descasamento intrínseco maior, entre as regiões de inversão fraca e moderada.

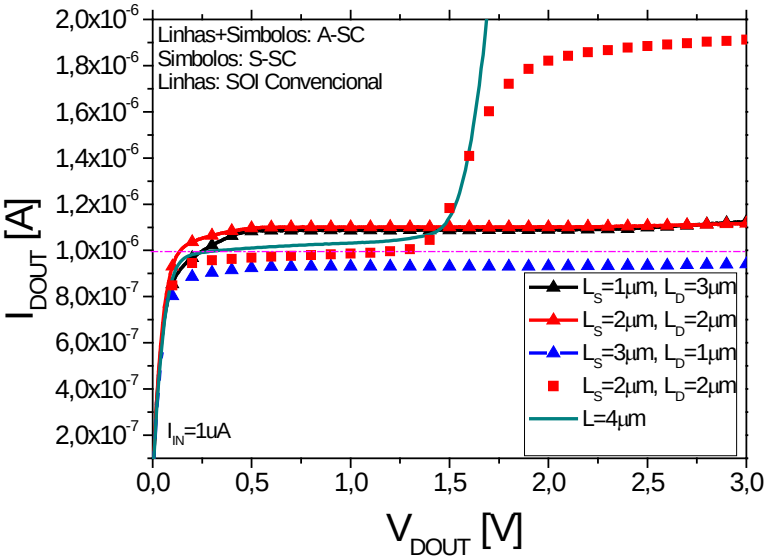
Figura 52 - Curva I_{OUT}/I_{IN} x I_{IN} com V_{OUT} = 1,5 V e V_{IN} variando de 0 a 3 V de espelhos de corrente com associação série simétrica (S-SC), associações série assimétricas (A-SC) e espelho de corrente com transistor SOI Convencional de comprimento de canal L=4µm.



Fonte: Autor

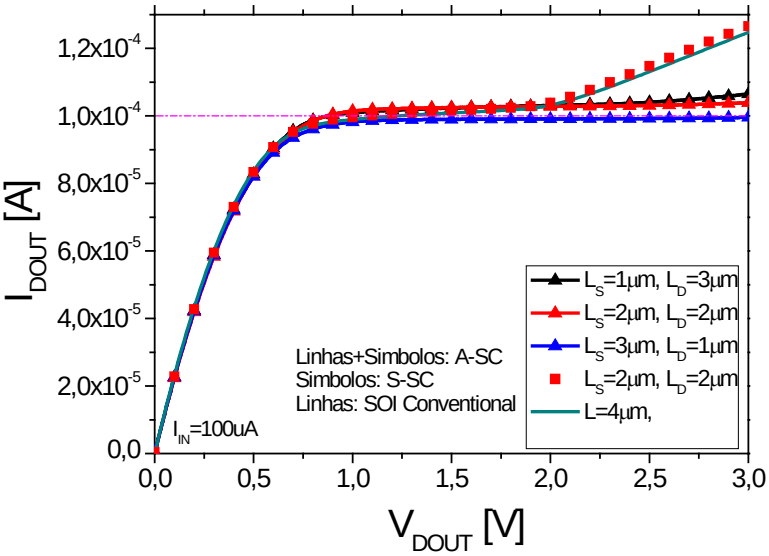
Para a análise da excursão de saída foram realizadas medidas experimentais com corrente de entrada I_{IN} de 1µA para inversão moderada e 0,1mA para inversão forte. Nas figuras 53 e 54 são apresentadas as curvas $I_{DOUT}\ x\ V_{DOUT}$ para estes dois valores de corrente de entrada.

Figura 53 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN}=1 µA de espelhos de corrente com associações séries assimétricas (A-SC), associação série simétrica (S-SC) e com transistor SOI Convencional de comprimento de canal L=4 µm.



Fonte: Autor

Figura 54 - Curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} = 0,1 mA de espelhos de corrente com associações séries assimétricas (A-SC), associação série simétrica (S-SC) e com transistor SOI Convencional de comprimento de canal L=4µm.



Fonte: Autor

Avaliando as figuras 53 e 54 pode-se afirmar que, comparando os espelhos de corrente compostos por associações série assimétricas frente ao composto por SOI convencionais e por

associação série simétrica, verifica-se o aumento da excursão do sinal de saída (V_{OS}), e também o aumento da tensão de ruptura B_{VDS} . Sendo que, em inversão moderada, com tensão V_{DOUT} de aproximadamente 1,5 V, tanto para o espelho de corrente composto pela associação série simétrica, quanto para o transistor SOI convencional a excursão de sinal é degradada. Em inversão forte esta degradação ocorre com tensão V_{DOUT} de aproximadamente 2 V, reforçando a vantagem observada nas simulações bidimensionais. Espelhos de corrente utilizando transistores com associações série assimétricas (A-SC) possuem maior tensão de ruptura e, consequentemente, maior excursão de sinal de saída em comparação com espelhos de corrente utilizando transistores SOI convencionais.

Tabela 5 - Parâmetros extraidos da conforme a metodologia [$d(1/g_D)/dV_D$] x g_D em função da V_D das associações série assimétricas e simétrica para análise de Excursão de Saída.

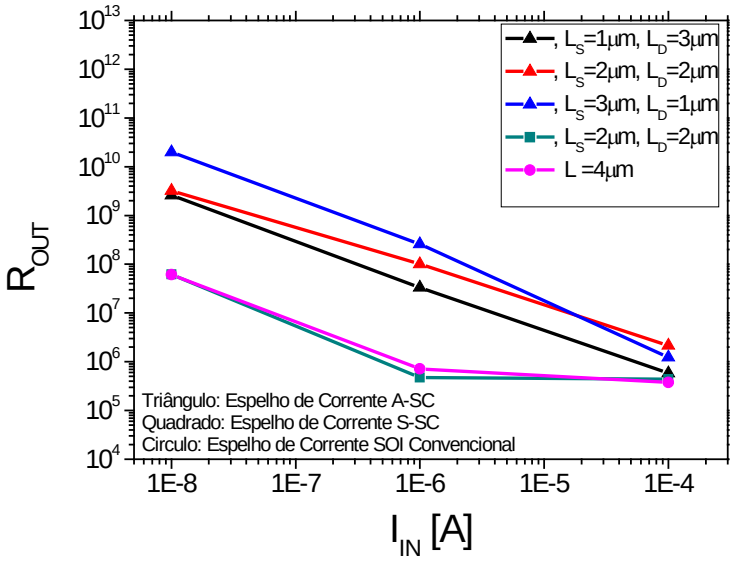
Espelho de Corrente	**V_{SAT} [V]**	**BV_{DS} [V]**	**V_{OS} [V]**
SOI Convencional L 4 µm	0,22	1,47	1,25
S-SC (2µm + 2µm)	0,22	1,47	1,25
A-SC (1µm + 3µm)	0,22	>3	>2,78
A-SC (2µm + 2µm)	0,22	>3	>2,78
A-SC (3µm + 1µm)	0,22	>3	>2,78

Tabela 6 - Parâmetros extraidos da curva I_{DOUT} x V_{DOUT} com corrente de entrada I_{IN} = 0,1 mA e L total de 4µm, dos espelhos de corrente SOI convencional e das associações série assimétricas e simétrica para análise de excursão de saída

Espelho de Corrente	**V_{SAT} [V]**	**BV_{DS} [V]**	**V_{OS} [V]**
SOI Convencional L 4 µm	0,81	1,94	1,13
S-SC (2µm + 2µm)	0,81	1,94	1,13
A-SC (1µm + 3µm)	0,81	>3	>2,19
A-SC (2µm + 2µm)	0,81	>3	>2,19
A-SC (3µm + 1µm)	0,81	>3	>2,19

Para análise da resistência de saída foram realizadas medidas experimentais com corrente de entrada I_{IN} de 10nA, 1µA, e 0,1mA. Na figura 55, são apresentadas as curvas $R_{OUT}\ x\ I_{IN}$ da associação série simétrica, associações série assimétricas e do transistor SOI convencional para a tensão de saída V_{OUT} = 1,5V.

Figura 55 - Curvas experimentais da resistência de saída em função da corrente de entrada para espelhos de corrente com associações série assimétricas (A-SC), associação série simétrica (S-SC) e espelho de corrente com transistor SOI Convencional de comprimento de canal L 4 µm, extraídas com tensão de saída V_{OUT} = 1,5 V



Fonte: Autor

Analisando a figura 55, para diferentes correntes de entrada, observa-se que para a corrente de 0,1 mA há um aumento de aproximadamente 3 vezes na resistência de saída R_{OUT} ao se comparar os espelhos de corrente das associações série assimétrica com os espelhos de corrente formado por transistores SOI convencional. Já para a corrente de 1 µA este aumento é de aproximadamente 140 vezes e para a corrente de 10 nA este aumento é de aproximadamente 52 vezes. Como observado nas simulações bidimensionais os espelhos de corrente compostos por associações série assimétricas apresentam melhoria da resistência de saída frente aos espelhos de corrente compostos por associação série simétrica e transistor SOI convencional, e o motivo desta melhora é devido à menor condutância de saída apresentada pelos dispositivos que compõe este espelho de corrente.

5 CONCLUSÃO E PROPOSTA DE CONTINUIDADE

Neste trabalho foi realizado um estudo das características de dispositivos SOI convencionais e associações série simétrica (S-SC) e assimétricas (A-SC) de transistores para a obtenção de espelhos de corrente de fonte comum.

O intuito do estudo da associação série de transistores é de tentar mitigar ou eliminar problemas indesejados nos transistores SOI convencionais como, corpo flutuante e efeito bipolar parasitário. A estrutura proposta, por contemplar um dispositivo fracamente dopado conectado ao dreno do dispositivo, reduz o campo elétrico nesta região, reduzindo assim a geração de pares elétron-lacuna e o efeito de ionização por impacto.

Utilizando simulações numéricas bidimensionais e resultados experimentais, foram estudadas as características analógicas destes dispositivos. Na primeira etapa, foi analisado o desempenho analógico das associações série simétrica (S-SC) e associações série assimétricas (A-SC) frente aos transistores SOI convencionais. Nesta análise, observou-se que os transistores da associação série assimétrica (A-SC) mostraram desempenho superior aos demais transistores em análise. Outra observação importante verificada foi que seu comportamento se assemelha ao dispositivo conectado a fonte da associação denominado $M_{S.}$ Desta forma, comparando os dispositivos da associação série assimétrica (A-SC) com comprimento total de canal fixo igual a 4µm, esta associação apresentou melhores resultados como aumento da corrente de dreno, da transcondutância, da tensão de ruptura de dreno, bem como uma redução da condutância de saída, permitindo assim um maior ganho de tensão de malha aberta.

Após a observação dos benefícios apresentados acima utilizou-se as associações série simétrica (S-SC) e assimétricas (A-SC) de transistores SOI em espelhos de corrente com configuração fonte comum.

Vale ressaltar que, para associações série assimétricas (A-SC) experimentais com o transistor L_S com pequeno comprimento de canal, problemas de espelhamento foram verificados devido à variação da condutância de saída $g_{D,}$ causado por efeito de canal curto, podendo assim criar restrições para a utilização da associação série assimétrica com L_S de 1 µm e L_D de 3µm em substituição ao transistor convencional com comprimento de canal L de 4 µm (ambos com comprimento de canal total de 4µm). Porém, para as associações série assimétricas com L_S e L_D de 2 µm e L_S de 3 µm e L_D de 1 µm está troca poderá ser realizada. As observações verificadas nas simulações foram verificadas também com as medidas experimentais, porém o descasamento intrínseco e a variação da tensão de limiar intrínseca

observados nos transistores analisados inseriram mais variáveis para a variação da precisão de espelhamento, porém mesmo com estas variáveis as associações série assimétricas possuem uma melhor precisão de espelhamento entre as regiões de inversão fraca e moderada.

Continuando, com as observações dos dispositivos em estudo em espelhos de corrente pode-se verificar um ganho na excursão de saída do espelho de corrente. Tanto os ganhos verificados nas simulações bidimensionais quanto os ganhos verificados nos resultados experimentais demonstraram que as associações série assimétricas A-SC aumentaram a tensão de excursão de sinal para a tensão de alimentação $V_{DD,}$ o que demonstra uma significativa melhora neste parâmetro.

Outro ganho observado nas simulações bidimensionais e confirmado nos resultados experimentais foi o aumento da resistência de saída dos dispositivos A-SC frente aos dispositivos S-SC e aos transistores SOI convencionais.

Para a continuidade deste trabalho sugere-se a avaliação se o uso de métricas, tais como g_m/I_{DS} x $I_{DS}/(W/L)$ e $g_{m,max}$ x A_V seriam alternativas de modo a otimizar a tecnologia CMOS, visando um melhor compromisso entre ganho de tensão de malha aberta e frequência de ganho unitário. Outro item que poderá ser avaliado é o descasamento em inversão fraca observado para os dispositivos A-SC.

REFERÊNCIAS

[1] CELLER, G. K.; CRISTOBVEANU, S. (2003). "Frontiers of silicon-on-insulator" J Appl Phys 93 (9): 4955. doi:10.1063/1.1558223.

[2] SOI INDUSTRY CONSORTIUM. SOI thechnology and ecosystem. Disponível em < http://www.soiconsortium.org/pdf/Consortium_9april09_final.pdf>. Acesso em 23 nov. 2014.

[3] CRISTOLOVEANU, S., LI, S.S., “Electrical Characterization of Silicon-on-Insulator Materials and Devices”, Kluwer Academic Publishers, 2nd Edition, 1995.

[4] A.J. AUBERTON-HERVE, Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, Ed by D.N. Schmidt, Vol. 90-6, The Electrochemical Society, p.455, 1990

[5] D. HISAMOTO, T. KAGA, Y. KAWAMOTO, and E. TAKEDA, Technical Digest of International Electron Devices Meeting, p.833, 1989.

[6] COLINGE, J.P, Ext. Abstracts of 5th Internat. Workshop on future Electron devices, Miyagi-Zao, Japan, p.105, 1988.

[7] COLINGE, J.P (1991). Silicon-on-Insulator Technology: Materials to VLSI. Berlin: Springer Verlag. ISBN 978-0-7923-9150-0.

[8] PAVANELLO, M.A. et al; Analog performance and application of graded-channel fully depleted SOI MOSFETs. Solid-State Electronics, v. 44, n. 7, p. 1219-1222, 2000.

[9] CARLOS GARUP MONTORO, MÁRCIO C. SCHNEIDER, ITAMAR J. B. LOSS, Series-Parallel Association of FET’s for High Gain and High Frequency Aplicattions, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 29, n.9, Sept.1994, p.1094-1101.

[10] EL-KAREH, B. et al; Silicon on insulator-an emerging high-leverage technology. IEEE Transactions on Components, Packaging, and Manufacturing Technology, v.18 n. 1, p.187-194, 1995.

[11] KLASSEN, D.B.M., J.W. SLOTBOOM, and H.C. de GRAAFF, “Unified Apparent Bandgap Narrowing in n- and p- type Silicon”, Solid-State Elect. Vol. 35, No. 2 (1992):125-129.

[12] KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFETs. IEEE Transaction on Electron Devices, v.41, n.7, p.1217-1221, 1994.

[13] YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; WADA, T.; ANGO, H. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. IEEE Transactions on Electron Devices, v.36, n.3, p.493-503, 1989.

[14] GROESENEKEN, G.; COLINGE, J.P.; MAES, H.E.; ALDERMAN, J.C.; HOLT, S. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. IEEE Electron Device Letters, v.11, n.8, p.329-331, 1990.

[15] YONG, K.K.; Short-channel effect in fully depleted SOI MOSFETs. IEEE Transactions on Electron Device Letters, v.36, n.2, p.399-402, 1989.

[16] LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. IEEE Transactions on Electron Devices, v.30, p.1244-1251, 1983.

[17] FLANDRE, D.; EGGERMONT, J.-P.; DE CEUSTER, D.; JESPERS, P.; Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. Electronics Letters, v.30, n.23, p.1933-1934, 1994.

[18] KO, P.K.; TAM, S.; HU,C.; WONG,S.S and SODINI, C.G., Techinical Digest of International Electrons Device Meetings (IEDM) p.87, 1984

[19] STREETMAN B.G, BANERJEE S., “Solid State Electronic Device”, Prentice Hall 5th Edition 2000.

[20] CHAM, K.M.; OH,S.I; CHIN, D. AND MOLL, J.L., Computer Aided Design and VLSI Device Development, Hingham, MA, Kluwer Academics Publishers, pp 239, 1990

[21] J.R. DAVIS, A.E. GLACCUM, K. REESON and P.L.F. HEMMENT, IEEE Electron Device Letters, Vol.7, pag.570, 1986

[22] J.G. FOSSUM, R. SUNDARESAN, and M. MATLOUBIAN, IEEE Transactions on Electron Devices, Vol.34, p.544, 1997.

[23] J.Y.CHOI and J.G. FOSSUM, Proceedings of the IEEE SOS/SOI Technology Conference, p.21, 1990.

[24] C.E.D. CHEN, M. MATLOUBIAN, R. SUNDARESAN, B.Y. MAO, C.C. WEI, and G.P. POLLAK, IEEE Electron Device Letters, Vol.9, pag.636, 1988

[25] R. SUNDARESAN and C.E.D. CHEN, Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, Ed by D.N. Schmidt, Vol. 90-6, The Electrochemical Society, p.437, 1990

[26] H.S. SHENG, S.S. LI, R.M. FOX and W.S.KRULL, IEEE Transactions on Electron Devices Vol. 36, no.3, p.488, 1989

[27] A.S. GROVE, Physics and Technology of Semiconductor Device, J. Wiley & Sons, p.320, 1967

[28] J.Y.CHOI and J.G.FOSSUM, Proceedings os the SOS/SOI Technology Conference, p.21, 1990

[29] SILVEIRA, F. et al. A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. IEEE Journal of Solid-State Circuits, v. 31, n. 9, p. 1314-1319, 1996.

[30] VITTOZ, E.A. Low power design: ways to approach the limits. Digest of Technical Papers, 41st ISSCC, p. 14-18, 1994.

[31] FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. Solid-State Electronics, v. 39, n. 4, p. 455-460, 1996.

[32] FLANDRE, D. et al; Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. Electronics Letters, v. 30, n. 23, p. 1933-1934, 1994.

[33] SEDRA, A.S.; SMITH, K.C. Microeletrônica. Prentice Hall, 2007.

[34] COLINGE, J.P.; COLINGE, C.A. Physics of Semiconductor Devices. Massachusetts: Kluwer Academic Publishers.

[35] M. de SOUZA, D. FLANDRE and M. A. PAVANELLO, Asymmetric self-cascode configuration to improve the analog performance of SOI nMOS transistors. IEEE International SOI Conference, 2011.

[36] LAKSHMIKUMAR, K.R.; HADAWAY, R.A.; COPELAND, M.A. Characterization and modeling of mismatch in MOS transistors for precision analog design. IEEE Journal of Solid-State Circuit, v.21, n.6, p.1057-1066, 1986.

[37] SHICHMAN, H.; HODGES, D., Characteristics of the metal-oxide-semiconductor transistor. IEEE Jounal Solid-State Circuits, v.SC-3, p.285-289, 1968.

[38] FERREIRA, R.S. Caracterização elétrica de Espelhos de Corrente Baseados emTransistores GC SOI MOSFET em Função da Temperatura, São Paulo – Brasil, 2004./Dissertação de Mestrado – Escola Politécnica da Universidade de São Paulo/

[39] PELGROM, M.J.M.; DUINMAIJER, A.C.J.; WELBERS, A.P.G. matching properties of MOS transistors. IEEE Journal of Solid-State Circuits, v.24, n.5, p.1433-1439, 1989.

[40] PAVANELLO, MARCELO ANTONIO; MARTINO, JOÃO ANTONIO; FLADRE, D. High Performance Current Mirrors Using Graded-Channel SOI nMOSFETs. In: X INTERNATIONAL SYMPOSIUM ON SILICON-ON-INSULATOR TECHNOLOGY AND DEVICES, 2001, Washington, E.U.A. Silicon-On-Insulator Technology and Devices X. Pennington, new Society, 2001. v. 2001-3, p.319-324.

[41] COLINGE, J.P., “Silicon on Insulator Technology: Materials to VLSI”, Kluwer Academic Publishers, 3rd Edition, 2004.

[42] WATT, J.T., Ph.D., Thesis, Stanford University, 1989.

[43] SLOTBOOM, J.W. and H.C. de GRAAFF, “Measurements of Bandgap Narrowing in Silicon Bipolar Transistors”, Solid State Electronics Vol. 19 (1976): 857-862.

[44] ROULSTON, D.J., N.D. ARORA, and S.G. CHAMBERLAIN, “Modeling and Measurement of Minority-Carrier Lifetime versus Doping in Diffused Layers of n ±p Silicon Diodes”, IEEE Trans. Electron Devices Vol. 29 (Feb. 1982): 284-291.

[45] LAW, M.E. et. al., Self-Consistent Model of Minority-Carrier Lifetime, Diffusion Length, and Mobility, IEEE Electron Device Letters Vol. 12, No. 8, 1991.

[46] FOSSUM, J.G. and D.S. LEE, “A Physical Model for the Dependence of Carrier Lifetime on Doping Density in Nondegenerate Silicon”, Solid State Electronics Vol. 25 (1982): 741-747.

[47] FOSSUM, J.G, R.P. MERTENS, D.S. LEE and J.F. NIJS, “Carrier recombination and lifetime in highly doped Silicon”, Solid State Electronics Vol. 26, No 8 (1983): 569 -576.

[48] CAUGHEY, D.M., and R.E. THOMAS. “Carrier Mobilities in Silicon Empirically Related to Doping and Field.” Proc. IEEE 55, (1967): 2192-2193.

[49] STRATTON, R., Phys. Rev., 126, 6 (1962): 2002.

[50] STRATTON, R., “Semiconductor Current-Flow Equations (Diffusion and Degeneracy)”, IEEE Trans. Electron Devices Vol. 19, No. 12 (1972): 1288-1292.

APÊNDICE A - Programa Atlas utilizado nas simulações do transistor SOI Convencional L-4

```
##############################################################################
# Arquivo: L4
# Criação de uma estrutura SOI nMOSFET L=4um
# Espessura da camada de silício: TSi=80nm
# Espessura do óxido de porta: toxf=31nm
# Espessura do óxido enterrado: toxb=390nm
# Concentração da região fortemente dopada: Nahd=6E16cm-3
##############################################################################
go atlas
TITLE Transistor SOI Convencional - L=4um / T=300K
################################
# Specifying the initial mesh #
################################
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.02
x.mesh loc=0.25 spac=0.01
x.mesh loc=0.26 spac=0.02
x.mesh loc=0.30 spac=0.05
x.mesh loc=0.95 spac=0.1
x.mesh loc=1.50 spac=0.1
x.mesh loc=3.50 spac=0.05
x.mesh loc=3.70 spac=0.02
x.mesh loc=4.25 spac=0.005
x.mesh loc=4.26 spac=0.01
x.mesh loc=4.5 spac=0.05
#
y.mesh loc=-0.181 spac=0.05
y.mesh loc=-0.031 spac=0.01
y.mesh loc=-0.005 spac=0.005
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.01 spac=0.002
y.mesh loc=0.055 spac=0.005
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.1
y.mesh loc=0.39 spac=0.1
y.mesh loc=0.44 spac=0.05
y.mesh loc=0.47 spac=0.01
#
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1

#
region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.08 silicon
region      num=3 y.min=0.08  oxide
#
#**************** DEFINE THE ELECTRODES *****************
# 1-GATE    2-SOURCE    3-DRAIN   4-SUBSTRATE
#
electrode   name=gate  x.min=0.25 x.max=4.25 y.min=-0.181 y.max=-0.031
electrode   name=source x.max=0.1 y.min=-0.031 y.max=0.0
electrode   name=drain  x.min=4.4 y.min=-0.031 y.max=0.0
electrode   name=substrate bottom
#
#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping       uniform conc=6e16 p.type  reg=2  x.l=0.25 x.r=4.25
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.r=0.25
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=4.25

save outfile=L4_6e16.str

tonyplot L4_6e16.str
```

```
# SET INTERFACE CHARGE SEPARATELY ON FRONT AND BACK OXIDE INTERFACES
interf       qf=5e10 y.max=0.1
interf       qf=5e10 y.min=0.1

# SET WORKFUNCTION OF GATE
contact            name=gate n.poly
contact           name=substrate workfunc=4.95
output minset


# SPECIFYING PHYSICAL MODELS

# Set 3
models kla watt bgn consrh auger fldmob print temp=300
mobility mod.watt.n mumaxn.kla=1050 mumaxp.kla=350
mobility etan.watt=1 etap.watt=0.3
solve init

method newton autonr trap maxtrap=10

solve prev
solve vdrain=1E-6
solve vdrain=1E-5
solve vdrain=1E-4
solve vdrain=1E-3
solve vdrain=1E-2
solve vdrain=5E-2

log        outf=L4G1_6e16.log
solve vgate=0 vfinal=3 vstep=0.01 name=gate
quit
```

APÊNDICE B - Programa Atlas utilizado nas simulações do transistor de Associação Série Simétrica S-SC 22

```
##############################################################################
# Arquivo: SSC22
#
# Espessura da camada de silício: TSi=80nm
# Espessura do óxido de porta: toxf=31nm
# Espessura do óxido enterrado: toxb=390nm
# Concentração da região fortemente dopada: NaHD=6E16cm-3,
##############################################################################
go atlas
TITLE Transistor SOI Convencional - SSC=22um / T=300K
################################
# Specifying the initial mesh #
################################
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.02
x.mesh loc=0.30 spac=0.06
x.mesh loc=0.95 spac=0.03
x.mesh loc=2.25 spac=0.005
x.mesh loc=2.26 spac=0.01
x.mesh loc=2.50 spac=0.05
x.mesh loc=2.56 spac=0.06
x.mesh loc=3.51 spac=0.03
x.mesh loc=4.50 spac=0.005
x.mesh loc=4.51 spac=0.01
x.mesh loc=4.75 spac=0.05

#
y.mesh loc=-0.181 spac=0.05
y.mesh loc=-0.031 spac=0.01
y.mesh loc=-0.005 spac=0.005
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.01 spac=0.002
y.mesh loc=0.055 spac=0.005
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.1
y.mesh loc=0.39 spac=0.1
y.mesh loc=0.44 spac=0.05
y.mesh loc=0.47 spac=0.01
#

eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
#
region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.08 silicon
region      num=3 y.min=0.08  oxide

#
#**************** DEFINE THE ELECTRODES *****************
# 1-GATE1    2-SOURCE    3-GATE2   4-DRAIN   5-SUBSTRATE
#
electrode   name=gate1  x.min=0.25 x.max=2.25 y.min=-0.181 y.max=-0.031
electrode   name=source x.max=0.1 y.min=-0.031 y.max=0.0
```

```
electrode   name=gate2  x.min=2.50 x.max=4.50 y.min=-0.181 y.max=-0.031
electrode   name=drain  x.min=4.65 y.min=-0.031 y.max=0.0
electrode   name=substrate bottom

#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping       uniform conc=6e16 p.type  reg=2  x.l=0.25 x.r=2.25
doping       uniform conc=6e16 p.type  reg=2  x.l=2.50 x.r=4.50
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.r=0.25
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=2.25
x.r=2.50
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=4.50

save outfile=SSC22_1.str

tonyplot SSC22_1.str


# SET INTERFACE CHARGE SEPARATELY ON FRONT AND BACK OXIDE INTERFACES
interf       qf=5e10 y.max=0.1
interf       qf=5e10 y.min=0.1

# SET WORKFUNCTION OF GATE
contact            name=gate1 n.poly
contact            name=gate2 n.poly
contact           name=substrate workfunc=0
output minset


# SPECIFYING PHYSICAL MODELS

# Set 3
models kla watt bgn consrh auger fldmob print temp=300
mobility mod.watt.n mumaxn.kla=1050 mumaxp.kla=350
mobility etan.watt=1 etap.watt=0.3
solve init

method newton autonr trap maxtrap=10

solve prev
solve vdrain=1E-6
solve vdrain=1E-5
solve vdrain=1E-4
solve vdrain=1E-3
solve vdrain=1E-2
solve vdrain=5E-2

log outf=SSC22_1.log
contact name=gate1 common=gate2
solve vgate2=0 vfinal=3 vstep=0.01 name=gate2
quit
```

APÊNDICE C - Programa Atlas utilizado nas simulações do transistor de Associação Série Simétrica A-SC 22

```
##############################################################################
# Arquivo: ASC22
#
# Espessura da camada de silício: TSi=80nm
# Espessura do óxido de porta: toxf=31nm
# Espessura do óxido enterrado: toxb=390nm
# Concentração da região fortemente dopada: NaHD=6E16cm-3, NaLD=1E15cm-3
##############################################################################
go atlas
TITLE Transistor SOI Convencional - ASC=22um / T=300K
################################
# Specifying the initial mesh #
################################
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.02
x.mesh loc=0.30 spac=0.06
x.mesh loc=0.95 spac=0.03
x.mesh loc=2.25 spac=0.005
x.mesh loc=2.26 spac=0.01
x.mesh loc=2.50 spac=0.05
x.mesh loc=2.56 spac=0.06
x.mesh loc=3.51 spac=0.03
x.mesh loc=4.50 spac=0.005
x.mesh loc=4.51 spac=0.01
x.mesh loc=4.75 spac=0.05

#
y.mesh loc=-0.181 spac=0.05
y.mesh loc=-0.031 spac=0.01
y.mesh loc=-0.005 spac=0.005
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.01 spac=0.002
y.mesh loc=0.055 spac=0.005
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.1
y.mesh loc=0.39 spac=0.1
y.mesh loc=0.44 spac=0.05
y.mesh loc=0.47 spac=0.01
#

eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
#
region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.08 silicon
region      num=3 y.min=0.08  oxide

#
#**************** DEFINE THE ELECTRODES *****************
# 1-GATE1    2-SOURCE    3-GATE2   4-DRAIN   5-SUBSTRATE
#
electrode   name=gate1  x.min=0.25 x.max=2.25 y.min=-0.181 y.max=-0.031
electrode   name=source x.max=0.1 y.min=-0.031 y.max=0.0
```

```
electrode   name=gate2  x.min=2.50 x.max=4.50 y.min=-0.181 y.max=-0.031
electrode   name=drain  x.min=4.65 y.min=-0.031 y.max=0.0
electrode   name=substrate bottom

#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping       uniform conc=6e16 p.type  reg=2  x.l=0.25 x.r=2.25
doping       uniform conc=1e15 p.type  reg=2  x.l=2.50 x.r=4.50
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.r=0.25
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=2.25
x.r=2.50
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=4.50

save outfile=ASC22_1.str

tonyplot ASC22_1.str


# SET INTERFACE CHARGE SEPARATELY ON FRONT AND BACK OXIDE INTERFACES
interf       qf=5e10 y.max=0.1
interf       qf=5e10 y.min=0.1

# SET WORKFUNCTION OF GATE
contact            name=gate1 n.poly
contact            name=gate2 n.poly
contact           name=substrate workfunc=0
output minset


# SPECIFYING PHYSICAL MODELS

# Set 3
models kla watt bgn consrh auger fldmob print temp=300
mobility mod.watt.n mumaxn.kla=1050 mumaxp.kla=350
mobility etan.watt=1 etap.watt=0.3
solve init

method newton autonr trap maxtrap=10

solve prev
solve vdrain=1E-6
solve vdrain=1E-5
solve vdrain=1E-4
solve vdrain=1E-3
solve vdrain=1E-2
solve vdrain=5E-2

log outf=ASC22_1.log
contact name=gate1 common=gate2
solve vgate2=0 vfinal=3 vstep=0.01 name=gate2
quit
```

APÊNDICE D - Programa Atlas utilizado nas simulações de espelho de corrente de fonte comum com transistor de Associação Série Simétrica A-SC 22

```
##############################################################################
# Arquivo:Espelho de Corrente ASC2(Hd)2(Ld)+ASC2(Hd)2(Ld)
#
# Espessura da camada de silício: TSi=80nm
# Espessura do óxido de porta: toxf=31nm
# Espessura do óxido enterrado: toxb=390nm
# Concentração da região fortemente dopada: NaHD=6E16cm-3, NaLD=1E15cm-3
##############################################################################
go atlas
TITLE Transistor SOI Convencional - Espelho de Corrente
ASC2(Hd)2(Ld)+ASC2(Hd)2(Ld)/ T=300K
################################
# Specifying the initial mesh #
################################
mesh space.mult=1.0
#

x.mesh loc=-4.575 spac=0.05
x.mesh loc=-4.376 spac=0.01
x.mesh loc=-4.374 spac=0.005
x.mesh loc=-3.500 spac=0.03
x.mesh loc=-2.376 spac=0.06
x.mesh loc=-2.150 spac=0.05
x.mesh loc=-2.126 spac=0.01
x.mesh loc=-2.124 spac=0.005
x.mesh loc=-1.495 spac=0.03
x.mesh loc=-0.130 spac=0.06
x.mesh loc=-0.124 spac=0.02
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.124 spac=0.02
x.mesh loc=0.130 spac=0.06
x.mesh loc=1.495 spac=0.03
x.mesh loc=2.124 spac=0.005
x.mesh loc=2.126 spac=0.01
x.mesh loc=2.150 spac=0.05
x.mesh loc=2.376 spac=0.06
x.mesh loc=3.500 spac=0.03
x.mesh loc=4.374 spac=0.005
x.mesh loc=4.376 spac=0.01
x.mesh loc=4.575 spac=0.05

#
y.mesh loc=-0.181 spac=0.05
y.mesh loc=-0.031 spac=0.01
y.mesh loc=-0.005 spac=0.005
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.01 spac=0.002
y.mesh loc=0.055 spac=0.005
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.1
y.mesh loc=0.39 spac=0.1
y.mesh loc=0.44 spac=0.05
y.mesh loc=0.47 spac=0.01
#

eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
eliminate columns y.min=0.1
```

```
eliminate columns y.min=0.1
eliminate columns y.min=0.1
#
region      num=1 y.max=0 oxide
region      num=2 y.min=0 y.max=0.08 silicon
region      num=3 y.min=0.08  oxide

#
#**************** DEFINE THE ELECTRODES *****************
#
#
electrode   name=gate1  x.min=-2.125 x.max=-0.125  y.min=-0.181 y.max=-0.031
electrode   name=gate2  x.min=-4.375 x.max=-2.375  y.min=-0.181 y.max=-0.031
electrode   name=gate3  x.min=0.125 x.max=2.125 y.min=-0.181 y.max=-0.031
electrode   name=gate4  x.min=2.375 x.max=4.375 y.min=-0.181 y.max=-0.031
electrode   name=ground x.min=-0.1 x.max=0.1 y.min=-0.031 y.max=0.0
electrode   name=drain    x.min=4.450 y.min=-0.031 y.max=0.0
electrode   name=source     x.min=-4.625 x.max=-4.450 y.min=-0.031 y.max=0.0
electrode   name=substrate bottom

#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping       uniform conc=1e15 p.type  reg=2  x.l=-4.375 x.r=-2.375
doping       uniform conc=6e16 p.type  reg=2  x.l=-2.125 x.r=-0.125
doping       uniform conc=6e16 p.type  reg=2  x.l=0.125 x.r=2.125
doping       uniform conc=1e15 p.type  reg=2  x.l=2.375 x.r=4.375

doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.r=-4.375
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=-2.375
x.r=-2.125
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=-0.125
x.r=0.125
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=2.125
x.r=2.375
doping       gaussian n.type conc=5e20 char=0.2 lat.char=0.00304 reg=2 x.l=4.375


save outfile=EspelhoASC22+ASC22.str

tonyplot EspelhoASC22+ASC22.str


# SET INTERFACE CHARGE SEPARATELY ON FRONT AND BACK OXIDE INTERFACES
interf       qf=5e10 y.max=0.1
interf       qf=5e10 y.min=0.1

# SET WORKFUNCTION OF GATE
contact            name=gate1 n.poly
contact            name=gate2 n.poly
contact            name=gate3 n.poly
contact            name=gate4 n.poly
contact           name=substrate workfunc=0
output minset


# SPECIFYING PHYSICAL MODELS

# Set 3
models kla watt bgn consrh auger fldmob print temp=300
mobility mod.watt.n mumaxn.kla=1050 mumaxp.kla=350
mobility etan.watt=1 etap.watt=0.3
solve init

method newton autonr trap maxtrap=10

solve vdrain=10E-2
solve vdrain=20E-2
solve vdrain=30E-2
solve vdrain=40E-2
```

```
solve vdrain=50E-2
solve vdrain=60E-2
solve vdrain=70E-2
solve vdrain=80E-2
solve vdrain=90E-2
solve vdrain=1
solve vdrain=1.2
solve vdrain=1.3
solve vdrain=1.4
solve vdrain=1.5

log outf=EspelhoASC22+ASC22.log
contact name=gate1 common=gate2
contact name=gate1 common=gate3
contact name=gate1 common=gate4
contact name=gate1 common=source
solve vsource=0 vfinal=3 vstep=0.01 name=source
quit
```