

CENTRO UNIVERSITÁRIO DA FEI

ANDRÉ DE ALMEIDA SANTOS

**IMPACTO DA UTILIZAÇÃO DE TRANSISTORES GC SOI MOSFET COMO
ESPELHOS DE CORRENTE PARA A OBTENÇÃO DE FONTES DE CORRENTE
DE ALTO DESEMPENHO EM CIRCUITOS INTEGRADOS**

São Bernardo do Campo

2007

ANDRÉ DE ALMEIDA SANTOS

**IMPACTO DA UTILIZAÇÃO DE TRANSISTORES GC SOI MOSFET COMO
ESPELHOS DE CORRENTE PARA A OBTENÇÃO DE FONTES DE CORRENTE
DE ALTO DESEMPENHO EM CIRCUITOS INTEGRADOS**

Dissertação apresentada ao Centro Universitário
da FEI para obtenção do Título de Mestre em
Engenharia Elétrica.

Área de Concentração
Engenharia Elétrica

Orientador:
Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo

2007

FOLHA DE APROVAÇÃO

Dedico este trabalho

Aos meus Pais,

Niltelize Stellato de Almeida Santos

Elcio Luiz de Almeida Santos

*Pelo enorme amor e dedicação transmitidos
todos os dias, a mim e as minhas irmãs,
tornando possível a realização de todos os
nossos sonhos.*

Obrigado por tudo.

*“A coisa mais bela que podemos experimentar é o
mistério. Essa é a fonte de toda a arte e ciências
verdadeiras.”*

Albert Einstein

AGRADECIMENTOS

Os meus agradecimentos:

Ao meu orientador Prof. Dr. Marcelo Antonio Pavanello, pela enorme dedicação, paciência e incentivo para conclusão deste trabalho e permitiu que eu me interessasse ainda mais pela pesquisa, me motivando a seguir em frente nesta jornada.

Ao Prof. Denis Flandre da Universidade Católica de Louvain, Bélgica, pela colaboração no desenvolvimento do trabalho e por disponibilizar os dispositivos usados neste trabalho, permitindo acrescentar ainda mais na conclusão.

À minha amiga Michelly de Souza, que tanto me ajudou e incentivou com sua dedicação sempre apta a nos ajudar em todos os momentos.

Aos meus amigos Rodrigo Trevisoli Doria e Julia Maria Arrabaça, que com o apoio e amizade me ajudaram a concluir este trabalho.

Aos meus pais e minhas queridas irmãs, que em todos os momentos me apoiaram no desenvolvimento deste trabalho.

À minha namorada, Fernanda G. Dias Schitini, que teve compreensão nas minhas ausências e me apoiou durante todo este tempo.

Ao grupo de professores e alunos do curso mestrado do Centro Universitário da FEI, pelo apoio e colaboração durante a realização deste trabalho.

À todos aqueles que de forma involuntária foram omitidos aqui.

RESUMO

Neste trabalho é apresentado o estudo do impacto da utilização de transistores fabricados a partir da tecnologia SOI com dopagem assimétrica na região de canal (Graded-Channel - GC SOI MOSFET) em espelhos de corrente operando como fontes de corrente, nas arquiteturas já conhecidas da literatura como Fonte Comum, Wilson e Cascode. Para esta avaliação foram usadas simulações numéricas-bidimensionais e analíticas, além de comparações com resultados experimentais obtidos neste trabalho, tendo como figuras de mérito a Precisão de Espelhamento, a Excursão de Saída, a Resistência de Saída e a avaliação do Tempo de Estabilização dos espelhos de corrente.

Através das simulações e das comprovações experimentais, foi possível observar as vantagens em se utilizar espelhos de corrente com transistores GC SOI, garantindo uma melhor precisão de espelhamento, causada pela menor influência de modulação do comprimento de canal, devida à redução da condutância de dreno dos dispositivos GC SOI. Com isso, um aumento de até 3 vezes na resistência de saída foi obtido. Estes efeitos serão apresentados em todas as arquiteturas de espelhos de correntes estudadas. Os resultados da análise da excursão de saída dos espelhos de correntes apresentaram uma melhora ainda mais promissora. Em todas as arquiteturas, a excursão de saída apresentou um aumento, em alguns casos superiores a 50%, comparando com os espelhos de corrente formados por transistores SOI Convencionais. Este efeito é devido ao aumento da tensão de ruptura nos dispositivos GC SOI, além da menor tensão de saturação para uma corrente constante. As medidas experimentais feitas neste trabalho comprovaram a tendência dos valores obtidos nas simulações de precisão de espelhamento, excursão de saída e de resistência de saída para dispositivos de comprimento de canal de $L=2\mu\text{m}$. Utilizando simulações numéricas bidimensionais, foi feito também um estudo do Tempo de Estabilização do espelho de corrente. Em todas as arquiteturas estudadas, os espelhos de corrente que trabalharam com os dispositivos GC SOI apresentaram uma diminuição significativa, da ordem de até 30%, associada ao aumento expressivo da transcondutância nos dispositivos GC SOI.

Em termos gerais, a utilização do dispositivo GC SOI nas estruturas de espelhos de corrente conhecidas foi uma excelente alternativa para obtenção de fontes de corrente de alto desempenho para circuitos analógicos.

ABSTRACT

This work presents a study of the impact of using SOI MOSFETs with asymmetrically doped channel (Graded-Channel - GC SOI MOSFET), in current mirrors operating as current sources, for architectures already known from literature as Common Source, Wilson and Cascode. This study has been conducted using two-dimensional and analytical numeric simulations, besides comparisons with experimental results obtained in this work. The figures of merit were the mirroring precision, the output resistance and output swing and settling time of the current mirrors.

Based on the simulations and the observed experimental, we observed advantages in using current mirrors with GC SOI transistors, ensuring a better mirroring precision, caused by the smaller influence of channel length modulation, owed to the reduction of the drain conductance of the GC SOI transistors. Hence, an increase of up to 3 times of the output resistance was obtained. These effects will be presented for all current mirror architectures studied. The results of the output swing presented an improvement still more promising. For all studied architectures, the output swing, in some cases, was higher than 50% compared to the current mirrors fabricated with conventional SOI transistors. This effect is caused by an increase of the drain breakdown voltage in the GC SOI transistors. Besides smaller saturation voltage takes place for a constant current. The experimental measurements corroborated the simulations of the improved Mirroring Precision, Output Swing and Output Resistance for channel length of $L=2\mu\text{m}$. Based on two-dimensional numeric simulations, we studied the Settling Time of the current mirror for all the studied architectures. The Settling Time of the GC SOI current mirrors presented a significant decrease of almost 30% that improvement was due to the expressive increase of the transconductance for GC SOI transistors. In general, the use of GC SOI transistors in all studied architecture is an excellent alternative to obtain high performance current sources for analogic circuits.

SUMÁRIO

LISTA DE FIGURAS

LISTA DE TABELAS

LISTA DE SÍMBOLOS

1	INTRODUÇÃO.....	20
1.1	OBJETIVOS DO TRABALHO.....	22
1.2	ESTRUTURA DO TRABALHO.....	22
2	CONCEITOS BÁSICOS.....	24
2.1	TECNOLOGIA SOI MOSFET.....	24
2.1.1	Tipos de transistor SOI.....	25
2.1.2	Dispositivo SOI de camada espessa (PD SOI).....	27
2.1.3	Dispositivo SOI de camada fina (FD SOI).....	27
2.1.4	Dispositivo SOI de camada Média (NFD SOI).....	28
2.1.5	Vantagens do dispositivo SOI totalmente depletado.....	28
2.2	PARÂMETROS ELÉTRICOS DO SOI MOSFET.....	29
2.2.1	Tensão de Limiar.....	29
2.2.2	Efeito de Corpo.....	32
2.2.3	Transcondutância.....	34
2.3	TRANSISTOR GC SOI MOSFET.....	35
2.3.1	Comparações entre os transistores GC SOI e SOI convencional.....	37
2.4	CARACTERÍSTICAS ANALÓGICAS DOS DISPOSITIVOS MOSFETS.....	40
2.4.1	Relação g_m/I_{DS}	41
2.4.2	Tensão Early.....	42
2.5	MODELO ANALÍTICO CONTÍNUO.....	43
2.5.1	Modelo analítico contínuo para dispositivo SOI MOSFET.....	44
2.5.2	Modelo analítico contínuo para dispositivo GC SOI MOSFET.....	45
3	ESPELHOS DE CORRENTE.....	47
3.1	CARACTERÍSTICAS DOS ESPELHOS DE CORRENTE.....	47
3.1.1	Espelhamento da Corrente e Precisão de Espelhamento.....	47
3.1.2	Descasamento entre dispositivos do espelho de corrente.....	51
3.1.3	Excursão de Saída (V_{OS}).....	54
3.1.4	Tempo de Estabilização (“Settling Time”).....	55
3.2	OUTRAS ARQUITETURAS DE ESPELHOS DE CORRENTE.....	57
3.2.1	Arquitetura Wilson [3.8].....	57

3.2.2	Arquitetura Cascode [3.8]	61
4	SIMULAÇÕES.....	65
4.1	CALIBRAÇÕES DOS SIMULADORES	65
4.1.1	Crítério para ajuste de parâmetros.....	66
4.1.2	Calibração dos simuladores para dispositivos individuais	67
4.1.2.1	Curvas da corrente de dreno em função da tensão de porta	67
4.1.2.2	Curva da corrente de dreno em função da tensão de dreno	74
4.2	SIMULAÇÃO DA PRECISÃO DE ESPELHAMENTO.....	78
4.2.1	Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na Arquitetura Comum.....	79
4.2.2	Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Wilson.....	81
4.2.3	Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Cascode.....	83
4.3	ANÁLISE DOS RESULTADOS SIMULADOS	85
4.3.1	Análise da Precisão de Espelhamento	85
4.3.2	Resistência de Saída.....	88
4.3.3	Análise da Excursão de Saída	90
4.3.4	Tempo de Estabilização (“Settling Time”)	94
5	RESULTADOS EXPERIMENTAIS	100
5.1	DEFINIÇÃO DO COMPRIMENTO EFETIVO DE CANAL.....	101
5.2	DESCASAMENTO INTRÍNSECO	103
5.3	RESISTÊNCIA DE SAÍDA.....	105
5.4	EXCURSÃO DE SAÍDA (V_{OS})	107
6	CONCLUSÃO E PERSPECTIVAS FUTURAS.....	111
	REFERÊNCIAS BIBLIOGRÁFICAS.....	114
	APÊNDICE A	122
	APÊNDICE B	125
	APÊNDICE C	135

LISTA DE FIGURAS

Figura 2.1 – Perfil transversal de um transistor SOI nMOSFET.	24
Figura 2.2 – Diagrama de faixas de energia para transistor MOS convencional.	25
Figura 2.3 – Diagrama de faixas de energia para transistor SOI de camada espessa.....	26
Figura 2.4 – Diagrama de faixas de energia para transistor SOI de camada fina.....	26
Figura 2.5 – Perfil transversal de um transistor GC SOI nMOSFET totalmente depletado com perfil de dopantes assimétrico na região de canal	37
Figura 2.6 – Curvas de transcondutância em função da tensão aplicada à porta de um dispositivo GC SOI nMOSFET e SOI nMOSFET convencional, todos com $L=2\mu\text{m}$	38
Figura 2.7 – Curva da concentração de elétrons ao longo do canal de um dispositivo GC SOI de comprimento de canal de $L=4\mu\text{m}$ com variações da tensão de porta, retirada da referência [2.23].....	38
Figura 2.8 – Curvas da corrente de dreno em função da tensão aplicada ao dreno de um dispositivo GC SOI nMOSFET e SOI nMOSFET convencional – todos com $L=2\mu\text{m}$. ..	39
Figura 2.9 – Amplificador Operacional de Transcondutância – OTA com um único transistor MOS.	40
Figura 2.10 – Curva simulada no ATLAS baseada pela referência [2.13] de g_m/I_{DS} em função da corrente de dreno normalizada $I_{DS}/(W/L_{\text{eff}})$, para os transistores SOI MOSFET convencional, GC SOI MOSFET com $L=2\mu\text{m}$ e relação $L_{LD}/L=0,3$	41
Figura 2.11 – Representação elétrica do dispositivo GC SOI MOSFET com a associação de dois transistores SOI MOSFET convencional totalmente depletado.	46
Figura 3.1 – Diagrama esquemático do espelho de corrente fonte comum.....	47
Figura 3.2 – Esquema elétrico do espelho de corrente considerando a representação elétrica da corrente de entrada.....	52
Figura 3.3 – Modelo equivalente para pequenos sinais do espelho de corrente considerando a representação elétrica da corrente de entrada.	53
Figura 3.4 – Curva Simulada pelo ATLAS de $I_{DSout} \times V_{DSout}$, com $L=2\mu\text{m}$ e $I_{Din}=1\mu\text{A}/\mu\text{m}$, de CM utilizando SOI convencional e CM GC SOI com $L_{LD}/L=0,5$	54
Figura 3.5 – Simplificação do esquema elétrico da arquitetura Fonte Comum analisando o estudo dinâmico.....	55
Figura 3.6 – Modelo de pequenos sinais da arquitetura Fonte Comum com carga capacitiva.	56

Figura 3.7 – Diagrama esquemático do espelho de corrente arquitetura Wilson.....	58
Figura 3.8 – Esquema elétrico de um espelho de corrente equivalente à arquitetura Wilson, com a representação elétrica da corrente de entrada.	58
Figura 3.9 – Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Wilson.....	59
Figura 3.10 – Simplificação do modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Wilson.	60
Figura 3.11 – Esquema elétrico do espelho de corrente equivalente à arquitetura cascode com a representação elétrica da corrente de entrada.	62
Figura 3.12 – Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Cascode com a representação elétrica da corrente de entrada.....	62
Figura 3.13 – Simplificação do modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Cascode.	63
Figura 4.1 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos transistores SOI Convencional e GC SOI obtida com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 0,1V.	68
Figura 4.2 – Curvas $g_m \times V_{GF}$ dos transistores SOI Convencional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 0,1V.	68
Figura 4.3 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos simuladores ATLAS e SPICE com tensão entre fonte e dreno de 1V.	70
Figura 4.4 – Curvas $g_m \times V_{GF}$ dos transistores SOI Convencional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 1V.	70
Figura 4.5 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos simuladores ATLAS e SPICE com tensão entre fonte e dreno de 1,5V.	71
Figura 4.6 – Curvas $g_m \times V_{GF}$ dos transistores SOI Convencional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 1,5V.	72
Figura 4.7 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos simuladores ATLAS e SPICE com tensão entre fonte e dreno de 2V.	73
Figura 4.8 – Curvas $g_m \times V_{GF}$ dos transistores SOI Convencional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 2V.	73
Figura 4.9 – Curva $I_{DS} \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com V_{GT} de 200mV.	75
Figura 4.10 – Curva $g_D \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com $L_{LD}/L=0,5$ e V_{GT} de 200mV.....	75

Figura 4.11 – Curva $I_{DS} \times V_{DS}$ dos simuladores ATLAS e SPICE para o dispositivo SOI MOSFET Convencional com tensão V_{GT} de 500mV.	76
Figura 4.12 – Curva $g_{DX} \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com L_{LD}/L 0,5 e V_{GT} de 500mV.	76
Figura 4.13 – Curva $I_{DS} \times V_{DS}$ dos simuladores ATLAS e SPICE para o dispositivo SOI MOSFET Convencional com tensão V_{GT} de 800mV.	77
Figura 4.14 – Curva $g_{DX} \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com L_{LD}/L 0,5 e V_{GT} de 800mV.	77
Figura 4.15 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,0V na arquitetura fonte comum.	79
Figura 4.16 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,5V na arquitetura fonte comum.	80
Figura 4.17 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 2,0V na arquitetura fonte comum.	80
Figura 4.18 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,0V na arquitetura Wilson.	81
Figura 4.19 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,5V na arquitetura Wilson.	82
Figura 4.20 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 2,0V na arquitetura Wilson.	82
Figura 4.21 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,0V na arquitetura Cascode.	83
Figura 4.22 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,5V na arquitetura Cascode.	84

Figura 4.23 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 2,0V na arquitetura Cascode.....	84
Figura 4.24 – Curva $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Fonte Comum com V_{Dout} de 1,5V.	86
Figura 4.25 – Curva $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Wilson com V_{Dout} de 1,5V.	86
Figura 4.26 – Curva $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Cascode com V_{Dout} de 1,5V.	87
Figura 4.27 – Curva $(R_{out}) \times (I_{Din}/W/L)$ na arquitetura Wilson com V_{Dout} de 1,5V.	88
Figura 4.28 – Curva $(R_{out}) \times (I_{Din}/W/L)$ na arquitetura Cascode com V_{Dout} de 1,5V.	89
Figura 4.29 – Curva $(I_{Dout} \times V_{Dout})$ na arquitetura Fonte Comum com corrente de entrada fixa em $1\mu A/\mu m$	91
Figura 4.30 – Curva $(I_{Dout} \times V_{Dout})$ na arquitetura Wilson com corrente de entrada fixa em $1\mu A/\mu m$	91
Figura 4.31 – Curva $(I_{Dout} \times V_{Dout})$ na arquitetura Cascode com corrente de entrada fixa em $1\mu A/\mu m$	92
Figura 4.32 – Curva $[(1/g_d)' \cdot g_d] \times V_{DS}$ e a curva $(I_{Dout} \times V_{Dout})$ na arquitetura Fonte Comum com corrente de entrada fixa em $1\mu A/\mu m$	93
Figura 4.33 – Curvas $(I_{Dout} \times Tempo)$ dos espelhos de corrente na arquitetura Fonte Comum com degrau de entrada de $1\mu A/\mu m$	95
Figura 4.34 – Curva $(I_{Dout} \times Tempo)$ dos espelhos de corrente na arquitetura Wilson com degrau de entrada de $1\mu A/\mu m$	96
Figura 4.35 – Curva $(I_{Dout} \times Tempo)$ dos espelhos de corrente na arquitetura Cascode com degrau de entrada de $1\mu A/\mu m$	96
Figura 4.36 – Curva $(I_{Dout} \times Tempo)$ dos espelhos de corrente na arquitetura Fonte Comum com degrau de entrada de $10\mu A/\mu m$	96
Figura 4.37 – Curva $(I_{Dout} \times Tempo)$ dos espelhos de corrente na arquitetura Wilson com degrau de entrada de $10\mu A/\mu m$	97
Figura 4.38 – Curva $(I_{Dout} \times Tempo)$ dos espelhos de corrente na arquitetura Cascode com degrau de entrada de $10\mu A/\mu m$	97
Figura 5.1 – Foto do “chip” utilizado para medição experimental dos espelhos de corrente na arquitetura Wilson.	100
Figura 5.2 – Foto do “chip” utilizado para medição experimental dos espelhos de corrente na arquitetura Cascode.	101

Figura 5.3 – Curva experimental de $I_{DS}V_{DS}$ medidas com $V_{GT}=200mV$ para dispositivos SOI convencional e GC SOI com $L=2\mu m$	102
Figura 5.4 – Curva experimental de $I_{DS}V_{DS}$ medidas com $V_{GT}=200mV$ para dispositivos SOI convencional e GC SOI com $L=2\mu m$	102
Figura 5.5 – Curva experimental de $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ da arquitetura Cascode.	104
Figura 5.6 – Curva experimental de $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ da arquitetura Wilson.	104
Figura 5.7 – Curva experimental de $R_{out} \times (I_{Din}/W/L)$ da arquitetura Wilson.....	105
Figura 5.8 – Curva experimental de $R_{out} \times (I_{Din}/W/L)$ da arquitetura Cascode.....	106
Figura 5.9 – Curva $(I_{Dout} \times V_{Dout})$ medida na arquitetura Wilson com corrente de entrada fixa em $1\mu A$	108
Figura 5.10 – Curva $(I_{Dout} \times V_{Dout})$ medida na arquitetura Cascode com corrente de entrada fixa em $1\mu A$	108
Figura 5.11 – Curva $(I_{Dout} \times V_{Dout})$ medida na arquitetura Wilson com corrente de entrada fixa em $10\mu A$	109
Figura 5.12 – Curva $(I_{Dout} \times V_{Dout})$ medida na arquitetura Cascode com corrente de entrada fixa em $10\mu A$	109

LISTA DE TABELAS

Tabela 2.1 – Tabela dos valores da máxima tensão Early extraídas da figura 2.7, dos transistores SOI convencional e GC SOI com relações de L_{LD}/L de 0,2;0,3;0,4;0,5;0,6 para $V_{GT}=200mV$	43
Tabela 4.1 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=0,1V$	69
Tabela 4.2 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=1V$	71
Tabela 4.3 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=1,5V$	72
Tabela 4.4 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=2V$	74
Tabela 4.5 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 4.27 com valor da corrente de entrada normalizada em $0,1\mu A$ e $1\mu A$	89
Tabela 4.6 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 4.28 com valor da corrente de entrada normalizada em $0,1\mu A$ e $1\mu A$	89
Tabela 4.7 – Tabela com os valores da excursão de saída para os transistores SOI convencional, GC SOI para as relações de $L_{LD}/L=0,2$ e $0,5$, nas arquiteturas Fonte Comum, Wilson e Cascode.	93
Tabela 4.8 – Tabela com os valores de tempo de estabilização nas arquiteturas Fonte Comum, Wilson e Cascode, com degraus de entrada de $1\mu A/\mu m$ e $10\mu A/\mu m$ e com os dispositivos SOI convencional e GC SOI com relação $L_{LD}/L=0,2, 0,5$ e $0,6$	98
Tabela 4.9 – Tabela com os comparativos em porcentagem dos valores de tempo de estabilização nas arquiteturas Fonte Comum, Wilson e Cascode, com degraus de entrada de $1\mu A/\mu m$ e $10\mu A/\mu m$ entre os dispositivos SOI convencional e os dispositivos GC SOI com relação $L_{LD}/L=0,2, 0,5$ e $0,6$	99
Tabela 5.1 – Tabela com a relação efetiva de canal dos dispositivos GC SOI utilizados nos espelhos de corrente.....	103

Tabela 5.2 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 5.6 com valor da corrente de entrada normalizada em $0,1\mu A$ e $1\mu A$	106
Tabela 5.3 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 5.7 com valor da corrente de entrada normalizada em $0,1\mu A$ e $1\mu A$	107
Tabela 5.4 – Comparação das medidas de excursão de saída (V_{OS}) do espelho de corrente na arquitetura Wilson extraídos das figuras 5.8 e 5.9.	110
Tabela 5.5 – Comparação das medidas de excursão de saída (V_{OS}) do espelho de corrente na arquitetura Cascode extraídos das figuras 5.10 e 5.11.	110

LISTA DE SÍMBOLOS

A_{TS}	Parâmetro que controla a transição entre as regiões de triodo e saturação
c	Constante empírica utilizada no cálculo da mobilidade em função do campo elétrico vertical
C_{ox}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm^2]
C_{oxb}	Capacitância de óxido enterrado por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
C_D	Capacitância da região de depleção por unidade de área [F/cm^2]
d	Distância entre difusão de fonte ou dreno e a carga efetiva de depleção na segunda interface [μm]
E	Campo elétrico [V/cm]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semiconductor [eV]
E_{FM}	Nível de Fermi [eV]
E_i	Nível de Fermi intrínseco [eV]
E_{SF}	Campo elétrico abaixo do óxido de porta do transistor SOI [V/cm]
E_V	Nível de energia superior da faixa de valência [eV]
g_D	Condutância de dreno [S]
g_m	Transcondutância de saída do transistor [S]
g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
i	Nível de Inversão
I_{DS}	Corrente entre dreno e fonte [A]
I_{Din}	Corrente entrada dos espelhos de corrente [A]
I_{Dout}	Corrente de saída dos espelhos de corrente [A]

$I_{Din}/(W/L_{eff})$	Corrente de entrada normalizada entre dreno e fonte [A]
I_{DSat}	Corrente de saturação entre dreno e fonte [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
L	Comprimento de máscara do canal do transistor [μm]
l_C	Comprimento característico [μm]
L_{eff}	Comprimento efetivo do canal do transistor [μm]
L_{HD}	Comprimento da região fortemente dopada no transistor GC SOI [μm]
L_{LD}	Comprimento da região fracamente dopada no transistor GC SOI [μm]
L_{LD}/L	Relação entre o comprimento da região fracamente dopada e o comprimento de canal, no transistor GC SOI
n	Fator de corpo
N_a	Concentração de dopantes do semiconductor [cm^{-3}]
N_{afHD}	Concentração de dopantes da camada de silício do transistor GC SOI na região fortemente dopada do canal [cm^{-3}]
N_{afLD}	Concentração de dopantes da camada de silício do transistor GC SOI na região fracamente dopada do canal [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
N_{ref}	Concentração de referência do modelo de mobilidade de Yamaguchi [$3 \times 10^{16} \text{ cm}^{-3}$]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_0	Carga de inversão para $V_{GF}=V_{thfi}$ [C/cm^2]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
$Q_{depl,ef}$	Carga de depleção efetiva na camada de silício [C/cm^2]
Q_{invf}	Carga de inversão da primeira interface [C/cm^2]
Q_{nf}	Densidade de carga de inversão na primeira interface [C/cm^2]
Q_{ox}	Densidade de cargas fixas no óxido de porta do transistor MOS [C/cm^2]
Q_{oxf}	Densidade de cargas fixas no óxido de porta na primeira interface do transistor SOI MOS [C/cm^2]

Q_{oxb}	Densidade de cargas fixas no óxido de porta na segunda interface do transistor SOI MOS [C/cm^2]
S_{NT}	Parâmetro de ajuste que controla a transição entre os regimes de inversão fraca e forte
T	Temperatura [K]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]
V_c	Potência ao longo do canal, no sentido de seu comprimento [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{Din}	Tensão de entrada dos espelhos de corrente [V]
V_{Dout}	Tensão de saída dos espelhos de corrente [V]
V_{EA}	Tensão de Early [V^{-1}]
V_{GF}	Tensão aplicada à primeira porta do transistor SOI [V]
V_{GS}	Tensão aplicada a porta do transistor MOS [V]
V_{GB}	Tensão de substrato [V]
V_{GT}	Sobre-tensão de condução [V]
V_{OS}	Variação da tensão de dreno no transistor de saída [V]
V_{sat}	Velocidade de saturação dos portadores na camada de silício [cm/s]
V_{th}	Tensão de limiar do transistor MOS [V]
V_{thf}	Tensão de limiar da primeira interface do transistor SOI em inversão forte [V]
V_{th0}	Tensão de limiar obtida para $V_{\text{GB}}=0$ [V]
V_{thfi}	Tensão de limiar equivalente da primeira interface do transistor SOI em inversão fraca [V]
$V_{\text{thf,accB}}$	Tensão de limiar da primeira interface com a segunda interface acumulada [V]

$V_{thf,invB}$	Tensão de limiar da primeira interface com a segunda interface invertida [V]
W	Largura do canal do transistor [μm]
x	Eixo na direção da profundidade da camada de silício [μm]
x_{d1}	Largura da região de depleção da primeira interface [μm]
x_{d2}	Largura da região de depleção da segunda interface [μm]
x_{dmax}	Profundidade máxima da região de depleção [μm]
y	Eixo na direção do comprimento de canal do transistor SOI
α	Parâmetro resultante da associação das capacitâncias do transistor MOS
β	Fator de ganho do transistor bipolar parasitário
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
ΔL	Redução do comprimento efetivo de canal devido à difusão lateral [μm]
Φ	Potencial [V]
Φ_F	Potencial de Fermi da camada de silício [V]
Φ_{MS}	Diferença da função de trabalho entre o metal e o silício [V]
Φ_{MSB}	Diferença da função de trabalho entre o substrato e a camada de silício [V]
Φ_{MSF}	Diferença de função de trabalho entre o metal de porta e o semiconductor [V]
Φ_{oxf}	Queda de potencial no óxido de porta do transistor SOI [V]
Φ_{oxb}	Queda de potencial no óxido enterrado do transistor SOI [V]
Φ_{SB}	Potencial de superfície da segunda interface do transistor SOI [V]
Φ_{SF}	Potencial de superfície da primeira interface do transistor SOI [V]
μ_{max}	Mobilidade máxima dos elétrons na região do canal [$\text{cm}^2/\text{V.s}$]
μ_n	Mobilidade efetiva dos elétrons na região do canal [$\text{cm}^2/\text{V.s}$]
γ	Constante de efeito de corpo dos transistores SOI

1 INTRODUÇÃO

Com o intuito de melhorar as respostas dos circuitos tanto analógicos como digitais a tecnologia Silício sobre Isolante SOI (*Silicon-On-Insulator*) apareceu como alternativa para diminuir os efeitos parasitários decorrentes do substrato dos dispositivos MOS. Nessa tecnologia, a região ativa funciona em uma fina camada de silício presente sobre uma camada de isolante, com isso isolando a região ativa do dispositivo do substrato [1.1]. Esse método permitiu diminuir ou quase extinguir os efeitos do excesso de material na região ativa. A tecnologia SOI trouxe algumas vantagens com relação às outras tecnologias como a redução do efeito tiristor parasitário, bem como a diminuição das capacitâncias de junção. O avanço da tecnologia SOI vem tornando possível a diminuição da espessura da camada de silício sobre o isolante (*Thin Film SOI MOSFET*), permitindo que o dispositivo opere com a camada de silício totalmente depletada, adicionando ainda mais vantagens como aumento da mobilidade e da transcondutância, redução dos efeitos de canal curto e de campo elétrico transversal. [1.1, 1.2, 1.3, 1.4, 1.5, 1.6, 1.7]

Devido às vantagens apresentadas, para as aplicações analógicas, os transistores SOI MOS apresentam melhor desempenho, combinando a diminuição da capacitância de junção, com valores superiores da relação entre a transcondutância e a corrente de dreno.

Com a intenção de diminuir os efeitos bipolares parasitários e com isso aumentar a tensão de ruptura dos dispositivos SOI, foi desenvolvida uma nova estrutura, chamada de transistor SOI MOSFET de canal gradual, GC SOI MOSFET (*Graded-Channel SOI MOSFET*) [1.8]. Este transistor consiste em uma variação dos transistores SOI totalmente depletados, em que uma modificação no arranjo das fotomáscaras, permite fazer a região de canal próximo ao dreno ficar protegida da implantação iônica de ajuste da tensão de limiar, mantendo a dopagem natural da lâmina próximo ao dreno [1.8]. Outra melhora apresentada pela estrutura GC SOI foi o aumento da transcondutância de saída e a redução da condutância de dreno, que permite uma maior tensão Early [1.8]. Com isso, a estrutura GC SOI se torna uma grande alternativa para utilização em circuitos analógicos.

Atualmente, grande parte dos circuitos de alimentação necessita de uma qualidade quase que ideal para o fornecimento de energia: os circuitos responsáveis por este fornecimento são conhecidos como fontes de tensão e fontes de corrente. Os amplificadores operacionais, por exemplo, que já fazem parte da grande maioria nos circuitos analógicos e digitais, utilizam de fontes de corrente para o seu funcionamento. Estas fontes de corrente, cada vez mais precisam oferecer níveis de corrente com alto índice de precisão devido à

diminuição da dimensão dos componentes, diminuição dos valores de tensão e de consumo de potência.

As fontes de corrente utilizadas nos amplificadores operacionais são formadas por um bloco analógico conhecido como espelhos de corrente, (Current Mirror, CM), utilizados para polarizar ramos de circuitos (fontes de corrente) ou como cargas ativas. Os espelhos de corrente possuem 3 tipos básicos de arquiteturas. A arquitetura mais estudada é a arquitetura Fonte Comum, que se utilizando de transistores SOI, acabavam apresentando baixo desempenho nos regimes de inversão fraca moderada [1.9], devido à redução da tensão de ruptura de dreno, ocasionada pelo efeito de corpo [1.10], que leva à ativação de transistor bipolar parasitário nos dispositivos SOI [1.10].

Com o intuito de eliminar estes efeitos foi estudado o impacto da utilização de transistores GC SOI MOSFET em espelhos de corrente, que foi avaliado tanto em temperatura ambiente [1.11] como em altas temperaturas [1.12], mostrando que esta nova estrutura pode melhorar o desempenho deste bloco analógico importante. Os estudos apresentados nas referências [1.11, 1.12, 1.13] foram desenvolvidos utilizando a arquitetura de fonte comum apenas.

1.1 Objetivos do Trabalho

Neste trabalho será estudado o comportamento dos espelhos de corrente implementados com transistores GC SOI nMOSFET utilizando arquiteturas Wilson e Cascode, para a obtenção de fontes de corrente de alto desempenho em circuitos integrados (Current Mirror – CM), para tanto será analisado os parâmetros que medem a eficiência dos espelhos de corrente como o espelhamento de corrente, a excursão de saída, a resistência de saída e o tempo de resposta. Este estudo será feito por meio de comparações entre as estruturas SOI MOSFET e GC SOI MOSFET, com o intuito de verificar as melhorias oferecidas pelo GC SOI MOSFET em relação ao dispositivo SOI convencional utilizando as arquiteturas escolhidas. Para fins de comparação, serão também utilizados espelhos de corrente com arquitetura Fonte Comum.

Os estudos serão feitos através de simulações analíticas de circuitos e bidimensionais, utilizando os simuladores ATLAS [1.14] e o SPICE [1.15] e também será feita uma comparação entre as simulações e as medidas experimentais.

1.2 Estrutura do Trabalho

Para atingir os objetivos propostos, este trabalho será dividido em 6 capítulos, descritos a seguir:

No *capítulo 2* serão apresentados os conceitos básicos, ou seja, os fundamentos teóricos necessários para o entendimento do trabalho. Teremos um breve resumo teórico das estruturas SOI e da GC SOI, comentando sobre as possíveis configurações, vantagens que a estrutura SOI apresenta em relação à estrutura MOS convencional, através das principais características elétricas como tensão de limiar e a transcondutância. Serão também estudadas as características analógicas e as vantagens apresentadas pela estrutura GC SOI MOSFET em relação à estrutura SOI convencional. Teremos ainda uma explicação prévia sobre espelhos de correntes, suas arquiteturas, diferenças, vantagens e desvantagens.

No *capítulo 3* serão estudados os espelhos de corrente, com relação as suas características de saída, arquiteturas, estudos de descasamento e estudos teóricos dos parâmetros que medem a eficiência destas arquiteturas como a excursão de saída, a precisão

de espelhamento e o tempo de estabilização de cada arquitetura. Especial ênfase será dada às arquiteturas de espelhos de corrente que serão estudados neste trabalho, que são as arquiteturas Wilson e Cascode.

No **capítulo 4** serão apresentadas as simulações dos espelhos de corrente nas diversas arquiteturas apresentadas no capítulo anterior. Estas simulações serão realizadas com simuladores analíticos de dispositivos (SPICE) [1.15] e bi-dimensional de dispositivos (ATLAS) [1.14]. Para tal, será feita a calibração entre simuladores e a extração dos parâmetros de precisão do espelhamento de corrente, excursão de saída, resistência de saída e tempo de estabilização das arquiteturas.

No **capítulo 5** serão apresentadas as medidas experimentais dos espelhos de corrente nas arquiteturas Wilson e Cascode, incluindo a extração dos parâmetros de excursão de saída e resistência de saída, para confirmar as tendências obtidas pelos simuladores apresentados no capítulo 4.

No **capítulo 6** serão apresentadas as conclusões observando as vantagens que os dispositivos GC SOI apresentaram em relação ao dispositivo SOI Convencional e as perspectivas futuras.

2 CONCEITOS BÁSICOS

Neste capítulo é apresentada uma breve revisão bibliográfica, a respeito da tecnologia Silício sobre Isolante (Silicon-On-Insulator - SOI), incluindo a descrição das principais características elétricas dos dispositivos SOI convencionais e o dispositivo GC SOI MOSFET. São também discutidas as arquiteturas de espelhos de corrente, utilizadas no trabalho bem como seus índices de desempenho.

2.1 Tecnologia SOI MOSFET

A tecnologia SOI MOSFET teve seu primeiro dispositivo fabricado em 1963 [2.1]. Entretanto, só pôde ser realmente difundida a partir de meados da década de 80, com a melhora dos processos de fabricação e até mesmo dos materiais como o silício sobre isolante. Inicialmente, os dispositivos SOI eram de uso quase exclusivos das aplicações militares e espaciais, devido à grande quantidade de imperfeições da camada de silício que se formava sobre o isolante e também à baixa mobilidade dos portadores [2.2].

O perfil transversal do dispositivo SOI MOSFET, [2.3] (a partir de então referido como transistor SOI convencional) de canal n, é apresentado na figura 2.1, onde são indicados os eletrodos de porta (V_{GF}), substrato (V_{GB}), fonte (V_S) e dreno (V_D), as espessuras de óxido de porta (t_{oxf}), de óxido enterrado (t_{oxb}) e da camada de silício (t_{si}). Também podemos observar as três interfaces Si-SiO₂ da estrutura, bem como o comprimento de canal (L).

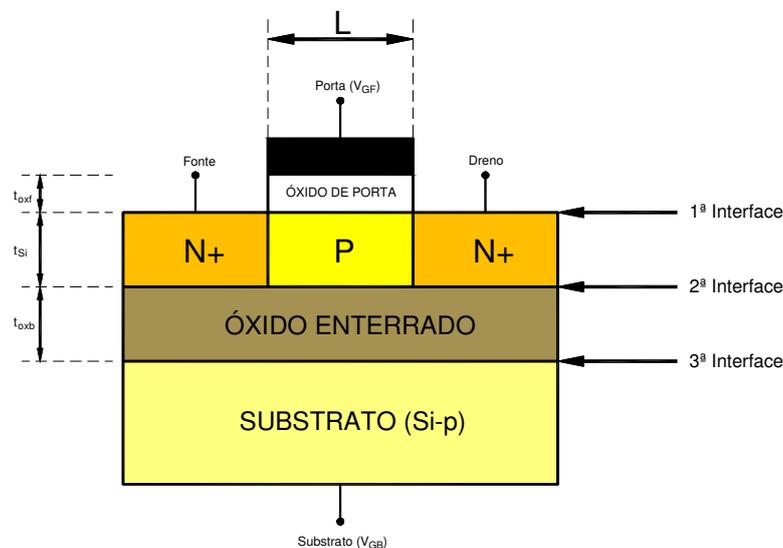


Figura 2.1 – Perfil transversal de um transistor SOI nMOSFET.

2.1.1 Tipos de transistor SOI

Neste trabalho serão utilizados apenas transistores nMOS operando no modo enriquecimento (ou inversão), nos quais a passagem de corrente entre os eletrodos de fonte e dreno se dá pela inversão da superfície próxima à interface entre o óxido de porta e a camada de silício (1ª interface).

Na tecnologia SOI MOSFET existem três modos de funcionamento, que variam de acordo com a espessura da camada de silício, da concentração de dopantes e da temperatura. Ambos os modos de funcionamentos diferem entre si pela depleção completa (“Fully depleted”) ou parcial (“partially depleted”) da camada de silício. Assim, os dispositivos SOI são caracterizados como sendo de camada fina (Fully depleted – FDSOI), SOI de camada média (near-fully depleted – NFD SOI) e o SOI de camada espessa (partially depleted – PD SOI). Para melhor elucidar as diferenças entre estes modos de funcionamento serão apresentados os seus diagrama de faixa de energia. Inicialmente, na figura 2.2, será apresentado o diagrama de faixas de energia de uma estrutura MOS convencional com substrato tipo P. Na seqüência, na figura 2.3, são apresentados os diagramas de faixas de energia do dispositivo SOI parcialmente depletado e, logo depois, na figura 2.4, o diagrama de faixas para o dispositivo SOI MOSFET totalmente depletado.

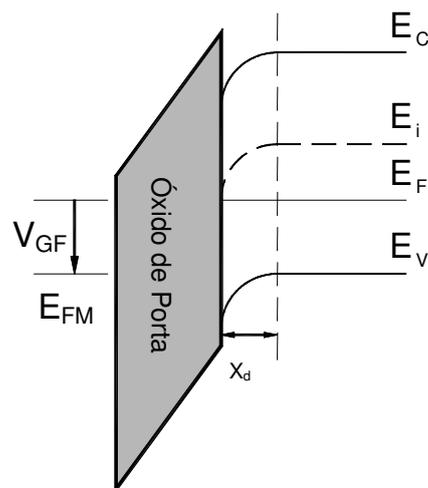


Figura 2.2 – Diagrama de faixas de energia para transistor MOS convencional.

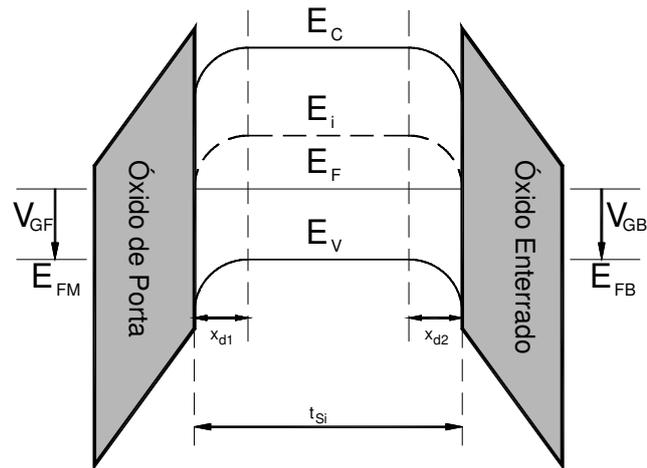


Figura 2.3 – Diagrama de faixas de energia para transistor SOI de camada espessa.

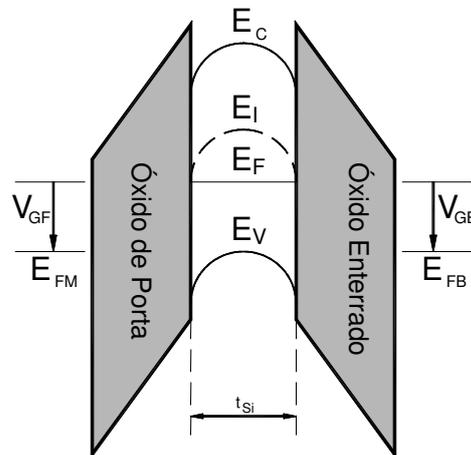


Figura 2.4 – Diagrama de faixas de energia para transistor SOI de camada fina.

Nas figuras 2.2, 2.3, 2.4 temos E_C como o nível energético inferior da faixa de condução, E_V o nível energético superior da faixa de valência, E_i o nível intrínseco, E_F o nível de Fermi da camada de semiconductor (silício no caso da tecnologia SOI), E_{FM} o nível de Fermi do metal de porta, E_{FB} o nível de Fermi do substrato, x_d a profundidade de depleção do transistor MOS convencional, x_{d1} a região de depleção da primeira interface e x_{d2} a região de depleção da segunda interface.

A região de depleção de um dispositivo MOS convencional estende-se da interface Si-SiO₂ até a profundidade máxima de depleção x_{dmax} , dada por [2.4]:

$$x_{dmax} = \sqrt{\frac{2\epsilon_{si} \cdot 2\Phi_F}{q \cdot N_a}} \quad (2.1)$$

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (2.2)$$

onde ϵ_{si} é a permissividade do silício, Φ_F o potencial de Fermi, q a carga elementar do elétron, N_a a concentração de dopantes do substrato (camada de Si no caso do transistor SOI), T a temperatura absoluta em Kelvin, n_i a concentração intrínseca de portadores e k a constante de Boltzmann.

2.1.2 Dispositivo SOI de camada espessa (PD SOI)

Caso a espessura da camada de silício sobre o óxido seja maior que o dobro da profundidade máxima de depleção, ou seja, $t_{si} > 2 \cdot x_{dmax}$, aparecerá uma região neutra entre as regiões de depleção x_{d1} e x_{d2} , caracterizando o dispositivo como parcialmente depletado.

Este dispositivo pode apresentar diferentes comportamentos, devido a esta região neutra que se formou: caso a região neutra possua um contato elétrico, o dispositivo se comportará com características idênticas às dos dispositivos MOS convencionais. De outra forma, caso a região neutra não possua um contato elétrico e fique eletricamente flutuante, o transistor apresentará efeitos devidos ao corpo flutuante (Floating Body Effect) [2.5], tais como o efeito de elevação da corrente (efeito Kink) [2.6].

2.1.3 Dispositivo SOI de camada fina (FD SOI)

Teremos o dispositivo FD SOI, caso a espessura da camada de silício sobre o óxido seja menor que a profundidade máxima de depleção do dispositivo, ou seja, $t_{si} < x_{dmax}$. Com isso, as duas regiões de depleção da primeira e da segunda interface se encontram, garantindo que a camada de silício estará totalmente depletada para tensões superiores a tensão de limiar.

Neste trabalho dedicaremos nossa atenção apenas aos dispositivos totalmente depletados.

2.1.4 Dispositivo SOI de camada Média (NFD SOI)

Os dispositivos NFD SOI (near-fully depleted SOI), são aqueles em que a espessura da camada de silício, terá ou não a intersecção entre as duas regiões de depleção, ou seja, $x_{dmax} > t_{si} > 2.x_{dmax}$, dependendo da tensão aplicada à porta e no substrato (V_{GB}) do dispositivo. Com isso, temos um dispositivo que poderá apresentar características de um dispositivo parcialmente depletado ou totalmente depletado.

2.1.5 Vantagens do dispositivo SOI totalmente depletado

Este dispositivo apresenta as melhores características elétricas em relação aos demais, pois apresentam redução do campo elétrico horizontal [2.7], maior mobilidade de portadores na região de canal [2.8], menor variação de tensão de limiar com a temperatura [2.9] e menor ocorrência de efeitos de canal curto [2.10]. A inclinação de sublimiar nos dispositivos SOI MOSFET totalmente depletados se aproxima mais do valor mínimo teórico de 60mV/década na temperatura ambiente, do que os dispositivos MOS convencionais, em torno de 100mV/década [2.11, 2.12]. Com isso, podemos utilizar tensões de limiar com valores menores sem a elevação da corrente de fuga, permitindo a redução das tensões de alimentação. Além disto, com a diminuição do efeito de corpo [2.13], obtém-se como vantagem o maior fornecimento de corrente de saturação do que nos transistores MOS convencionais.

Um problema apresentado por esta tecnologia é que a região de canal está normalmente flutuando eletricamente, ou seja, a região ativa de silício não está em contato com nenhum tipo de eletrodo. Por este motivo, acaba aparecendo um efeito que chamamos de efeito de corpo flutuante (Floating Body Effect) [2.5], que ocasiona o aparecimento de efeitos bipolares parasitários, provocando alguma instabilidade na aplicação em circuitos [2.14]. Além disto, como será demonstrado a seguir, a tensão de limiar destes transistores é dependente da espessura da camada de silício. Logo, variações nesta espessura ao longo da lâmina podem modificar as características desses transistores entre si.

2.2 Parâmetros Elétricos do SOI MOSFET

Neste item serão apresentados os principais parâmetros elétricos dos transistores SOI totalmente depletados. Serão utilizados neste trabalho apenas os transistores SOI nMOSFET de camada fina, funcionando com a camada de silício totalmente depletada (fully depleted).

2.2.1 Tensão de Limiar

Para transistores SOI totalmente depletados, a tensão de limiar pode ser obtida através da solução da equação de Poisson, usando a aproximação de depleção [2.12]:

$$\frac{d^2\Phi}{dx^2} = \frac{qN_a}{\epsilon_{si}} \quad (2.3)$$

onde N_a é a concentração de dopantes da camada de silício e ϵ_{si} é a permissividade do silício.

Fazendo as duas integrações do potencial ao longo da profundidade da camada de silício de um transistor SOI, e definindo que $\Phi(0)=\Phi_{SF}$ e $\Phi(t_{si})=\Phi_{SB}$, onde Φ_{SF} é o potencial de superfície na primeira interface e Φ_{SB} o potencial de superfície na segunda interface, pode-se determinar o potencial em função da profundidade da camada de silício:

$$\Phi(x) = \frac{qN_a}{2\epsilon_{si}} \cdot x^2 + \left(\frac{\Phi_{SB} - \Phi_{SF}}{t_{Si}} - \frac{qN_a t_{Si}}{2\epsilon_{Si}} \right) \cdot x + \Phi_{SF} \quad (2.4)$$

O campo elétrico na camada de silício é dado pela derivada do potencial ao longo da profundidade x , logo temos:

$$E(x) = -\frac{d\Phi(x)}{dx} = -\frac{qN_a}{2\epsilon_{si}} \cdot x + \left(\frac{\Phi_{SB} - \Phi_{SF}}{t_{Si}} - \frac{qN_a t_{Si}}{2\epsilon_{Si}} \right) \quad (2.5)$$

Através da equação (2.5), para o valor de $x = 0$, podemos obter o valor do campo elétrico na primeira interface:

$$E_{SF} = \left(\frac{\Phi_{SB} - \Phi_{SF}}{t_{Si}} - \frac{qN_a t_{Si}}{2\epsilon_{Si}} \right) \quad (2.6)$$

Aplicando o teorema de Gauss na primeira interface, temos a queda de potencial no óxido de porta, (Φ_{oxf}):

$$\Phi_{oxf} = \frac{\epsilon_{Si} E_{SF} - Q_{oxf} - Q_{invf}}{C_{oxf}} \quad (2.7)$$

onde C_{oxf} é a capacitância do óxido de porta por unidade de área ($C_{oxf} = \epsilon_{ox} / t_{oxf}$ sendo ϵ_{ox} a permissividade do óxido), Q_{oxf} é a densidade de carga fixa no óxido de porta e Q_{invf} a densidade de carga de inversão na primeira interface do transistor SOI, ambas por unidade de área.

Aplicando novamente o teorema de Gauss na segunda interface, podemos obter a queda de potencial no óxido enterrado, Φ_{oxb} :

$$\Phi_{oxb} = -\frac{\epsilon_{Si} E_{SF} + Q_{depl} + Q_{oxb} - Q_{SB}}{C_{oxb}} \quad (2.8)$$

onde C_{oxb} é a capacitância do óxido enterrado por unidade de área ($C_{oxb} = \epsilon_{ox} / t_{oxb}$), Q_{depl} é a carga de depleção total na camada de silício, Q_{oxb} é a densidade de carga fixa no óxido enterrado e Q_{SB} a carga de inversão ou de acumulação na segunda interface, todas por unidade de área.

Utilizando o diagrama de faixas de energia de um dispositivo SOI totalmente depletado, podemos relacionar os potenciais aplicados a primeira e segunda porta com os potenciais de superfície da primeira e segunda interface:

$$V_{GF} = \Phi_{MSF} + \Phi_{oxf} + \Phi_{SF} \quad (2.9)$$

$$V_{GB} = \Phi_{MSB} + \Phi_{oxb} + \Phi_{SB} \quad (2.10)$$

onde Φ_{MSF} é a diferença de função trabalho entre metal de porta e a camada de silício e Φ_{MSB} entre o substrato e a camada de silício do transistor.

Fazendo as substituições das equações (2.6), (2.7) e (2.8) em (2.9) e (2.10), podemos obter as relações entre as tensões aplicadas na porta e no substrato com os potenciais de superfícies da primeira e segunda interfaces:

$$V_{GF} = \Phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \cdot \Phi_{SF} - \frac{C_{Si}}{C_{oxf}} \cdot \Phi_{SB} - \frac{\frac{1}{2} \cdot Q_{depl} + Q_{invf}}{C_{oxf}} \quad (2.11)$$

$$V_{GB} = \Phi_{MSB} - \frac{Q_{oxb}}{C_{oxb}} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right) \cdot \Phi_{SF} - \frac{C_{Si}}{C_{oxb}} \cdot \Phi_{SB} - \frac{\frac{1}{2} \cdot Q_{depl} + Q_{SB}}{C_{oxb}} \quad (2.12)$$

onde C_{si} é a capacitância de camada de silício por unidade de área $\left(C_{si} = \frac{\epsilon_{si}}{t_{si}}\right)$.

A tensão de limiar do dispositivo SOI pode variar dependendo das condições de operação da segunda interface, ou seja, em função da interação da região de depleção da primeira e da segunda interface podemos ter as seguintes situações:

- Segunda interface em acumulação

Para termos tensão de limiar com a segunda interface em acumulação consideram-se as seguintes condições de contorno: $\Phi_{SB}=0$, $\Phi_{SF}=2\Phi_F$ e $Q_{invf} = 0$, na solução da equação (2.11):

$$V_{thf,accB} = \Phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \cdot 2\Phi_F - \frac{Q_{dep}}{2C_{oxf}} \quad (2.13)$$

- Segunda interface invertida

Para obtermos tensão de limiar com a segunda interface em inversão, substituem-se as seguintes considerações na equação (2.11), $\Phi_{SB}=2\Phi_F$, $\Phi_{SF}=2\Phi_F$ e $Q_{invf}=0$, resultando:

$$V_{thf,invB} = \Phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + 2\Phi_F - \frac{Q_{dep}}{2C_{oxf}} \quad (2.14)$$

- Segunda interface em depleção

Este modo de funcionamento é o mais utilizado entre os dispositivos SOI totalmente depletados. Tendo a primeira interface em inversão e a segunda interface em depleção, Φ_{SB} dependerá da tensão aplicada no substrato V_{GB} , podendo variar de 0 a $2\Phi_F$. Logo para a situação da segunda interface em depleção, temos $0 < \Phi_{SB} < 2\Phi_F$, $\Phi_{SF}=2\Phi_F$ e $Q_{invf}=0$:

$$V_{thf} = V_{th,accB} - \frac{C_{Si} \cdot C_{oxb}}{C_{oxf} (C_{Si} + C_{oxb})} \cdot (V_{GB} - V_{GB,accB}) \quad (2.15)$$

Como este é o modo de funcionamento mais comum e será utilizado no decorrer deste trabalho, todas as referências realizadas a tensão de limiar feitas daqui em diante serão relacionandas a V_{thf} .

2.2.2 Efeito de Corpo

Podemos definir como efeito de corpo (γ), a dependência entre a tensão de limiar e a tensão aplicada ao substrato. Para um transistor MOS Convencional a dependência da tensão de limiar com a polarização de substrato (V_{GB}) pode ser expressa pela equação [2.16]:

$$V_{th}(V_{GB}) = V_{th0} + V_S + \gamma(\sqrt{2\Phi_F + V_{GB}} - \sqrt{2\Phi_F}) \quad (2.16)$$

onde V_{th0} é a tensão de limiar com o valor de $V_{GB}=0$ e γ é a constante de efeito de corpo, dada por $\gamma = \sqrt{2q\epsilon_{si}N_a} / C_{ox}$ e V_S é a tensão aplicada a fonte do transistor.

Para os transistores SOI totalmente depletados, há uma relação linear entre a tensão de limiar e o potencial aplicado ao substrato, expressa na equação (2.15). Esta relação pode ser simplificada, de acordo com a equação (2.17) [2.16]:

$$V_{thf} = V_{th0} + (1 + \alpha)V_{GB} \quad (2.17)$$

$$n = (1 + \alpha) \quad (2.18)$$

Substituindo a equação (2.18) na equação (2.17) temos:

$$V_{thf} = V_{th0} + n.V_{GB} \quad (2.19)$$

onde, n é chamado de fator de corpo da tecnologia SOI.

Na tecnologia SOI parcialmente depletado, o efeito de corpo se comporta da mesma forma a tecnologia MOS convencional.

Nos dispositivos SOI totalmente depletados, a constante de efeito de corpo é descrita pelo acoplamento capacitivo, α , entre a porta de substrato e camada de silício sobre o óxido enterrado.

Observando a equação (2.18), verificamos que o fator de corpo está diretamente ligado às capacitâncias do dispositivo, onde podemos expressar os valores de acoplamentos capacitivos por:

- Para transistores MOS convencional:

$$\alpha = \frac{C_D}{C_{ox}} \quad (2.20)$$

onde C_D é a capacitância da região de depleção por unidade de área.

- Para transistores SOI com segunda interface acumulada:

$$\alpha = \frac{C_{Si}}{C_{oxf}} \quad (2.21)$$

- Para transistores SOI com segunda interface depletada:

$$\alpha = \frac{C_{Si} C_{oxb}}{C_{oxf} (C_{Si} + C_{oxb})} \quad (2.22)$$

Observando as equações dos transistores MOS convencional, FD SOI com segunda interface acumulada e FD SOI com a segunda interface depletada, podemos dizer que o menor valor de n aparece nos dispositivos SOI totalmente depletados, com a seguinte escala, observando-se a seguinte relação entre eles:

$$n_{\text{SOI totalmente depletado}} < n_{\text{MOS convencional}} < n_{\text{SOI com a segunda interface acumulada}}$$

2.2.3 Transcondutância

A transcondutância de um transistor MOS (g_m), é a medida da eficácia do controle da tensão de porta sobre a corrente de dreno (I_{DS}), dado por:

$$g_m = \frac{dI_{DS}}{dV_{GF}} \quad (2.23)$$

Para o transistor nMOS convencional e SOI, considerando o modelo de primeira ordem, operando em triodo e saturação, desprezando a modulação do comprimento de canal pela tensão de dreno, a corrente de saturação pode ser descrita por [2.15]:

$$I_{DS} = \mu_n C_{oxf} \frac{W}{L} \left[(V_{GF} - V_{th}) V_{DS} - \frac{(1 + \alpha) V_{DS}^2}{2} \right] \quad (2.24)$$

para operação em triodo e:

$$I_{DS} \cong \frac{\mu_n C_{oxf}}{2(1 + \alpha)} \cdot \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.25)$$

para operação em saturação, onde μ_n é a mobilidade dos elétrons.

Utilizando as equações (2.24) e (2.25) na equação (2.23) tem-se [2.15]: as equações (2.19) e (2.20) para operação em triodo e saturação, respectivamente:

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \mu_n C_{oxf} \frac{W}{L} V_{DS} \quad (2.26)$$

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \frac{\mu_n C_{oxf}}{(1 + \alpha)} \frac{W}{L} (V_{GF} - V_{thf}) \quad (2.27)$$

onde α é o fator de acoplamento capacitivo descrito no item 2.2.2.

A partir das relações do fator n apresentadas pode-se concluir que g_m é maior nos transistores SOI que nos transistores MOS convencionais.

2.3 Transistor GC SOI MOSFET

Como visto no item anterior, a utilização de dispositivos SOI totalmente depletados, trouxe ótimos resultados, como o aumento da mobilidade, o aumento da transcondutância, a diminuição das capacitâncias parasitárias de fonte e dreno, diminuição dos efeitos de canal curto, entre outras vantagens. O dispositivo SOI MOSFET nos apresentou várias vantagens em relação ao dispositivo MOS convencional.

O dispositivo SOI MOSFET funciona sobre uma camada espessa de óxido enterrado, que separa o substrato de silício da região ativa do transistor. Devido a esta característica, a região ativa fica eletricamente flutuando, o que ocasiona uma redução da tensão de ruptura de dreno. Este efeito é decorrente da influência da estrutura bipolar parasitária intrínseca, presente no transistor SOI MOSFET, onde a fonte é o emissor, o canal é a base e o dreno o coletor [2.17].

Uma forma tradicionalmente adotada para a reduzir o efeito bipolar parasitário é a diminuição da concentração de dopantes em um dos lados da junção, originando a redução da barreira de potencial e, conseqüentemente, do campo elétrico. A redução do campo elétrico diminui o número de portadores gerados pela ionização por impacto e, com isso, a corrente de polarização do transistor bipolar parasitário. Esta técnica é chamada de LDD (Lightly Doped Drain) [2.18], porém provoca um aumento da resistência série associada ao dispositivo, que

nos transistores SOI MOSFET já possuem um valor elevado, devido à redução da espessura da camada de silício da região ativa [2.19, 2.20].

Com a continuidade dos estudos objetivando a diminuição dos efeitos bipolares parasitários, como a redução da ionização por impacto e mantendo os valores de β (ganho de corrente do transistor bipolar parasitário) em níveis que não comprometam o funcionamento do dispositivo, foi desenvolvida uma nova estrutura SOI totalmente depletada com um perfil de dopantes assimétrico na região de canal. Esta nova estrutura foi chamada de transistor SOI MOSFET de canal gradual GC SOI MOSFET (Graded-Channel SOI MOSFET) [2.21].

A região de canal do dispositivo GC SOI MOSFET está dividida em duas regiões, que podem ser vistas na figura 2.5. A região que possui o comprimento L_{HD} , está dopada com os valores que normalmente se usam nos dispositivos SOI totalmente depletados e é responsável por manter a tensão de limiar do dispositivo. A região que possui o comprimento L_{LD} , contém a concentração de dopante natural da lâmina e é conhecida como a região fracamente dopada. Como a região próxima ao dreno apresenta uma tensão de limiar negativa, pode-se dizer que esta região irá se comportar como uma extensão do dreno para valores positivos de tensões aplicadas a porta (V_{GF}) do transistor, reduzindo o comprimento efetivo do canal ($L_{eff}=L-L_{LD}$) em saturação [2.21].

A estrutura GC SOI MOSFET foi uma solução encontrada para reduzir a concentração de dopantes da região de canal, sem que se mude o valor da tensão de limiar e ao mesmo tempo diminuam-se os efeitos bipolares parasitários.

Na figura 2.5 é apresentado o perfil transversal de uma estrutura GC SOI nMOSFET, onde temos a espessura das camadas de óxido fino (t_{oxf}), a camada de silício da região ativa (t_{si}), a camada de óxido enterrado (t_{oxb}), e os eletrodos de porta (V_{GS}) e de substrato (V_{GB}). Na figura também podemos observar o comprimento de máscara do canal L , as interfaces de $S_i-S_iO_2$ do dispositivo e a dopagem gradual da região de canal do transistor.

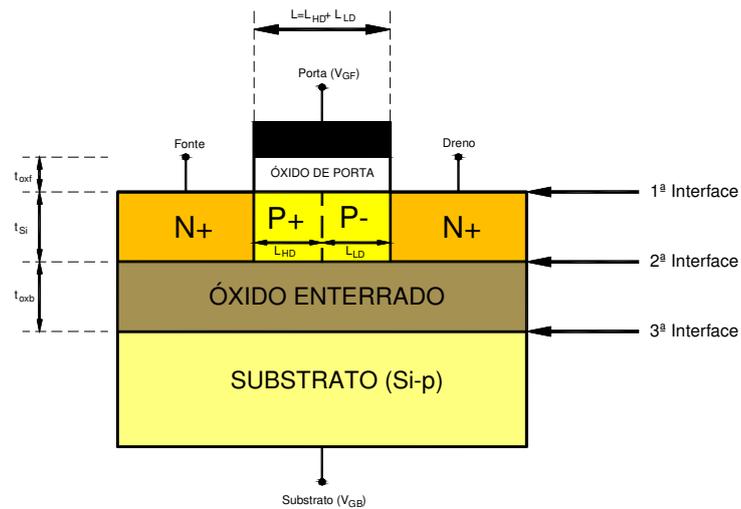


Figura 2.5 – Perfil transversal de um transistor GC SOI nMOSFET totalmente depletado com perfil de dopantes assimétrico na região de canal

2.3.1 Comparações entre os transistores GC SOI e SOI convencional

Resultados apresentados na referência [2.21] mostram que, comparando-se os dispositivos GC SOI MOSFET e o dispositivo SOI convencional totalmente depletado, os dispositivos GC SOI apresentam um aumento da transcondutância máxima em função da tensão aplicada à porta (V_{GF}) e também um aumento da corrente de dreno em função da tensão aplicada ao dreno (V_{DS}). Estes efeitos ocorrem devido a diminuição do comprimento de efetivo de canal, que ocorre à medida que a relação L_{LD}/L aumenta, como podemos observar nas figuras 2.6 e 2.8.

Na figura 2.6 são apresentadas simulações das curvas da transcondutância em função da tensão V_{GF} , medida com $V_{DS} = 0,1V$, para dispositivo SOI convencional com comprimento de canal de $L=2\mu m$, e para o dispositivo GC SOI com diferentes relações de L_{LD}/L , também com comprimento de canal de $L=2\mu m$ e $W=1\mu m$.

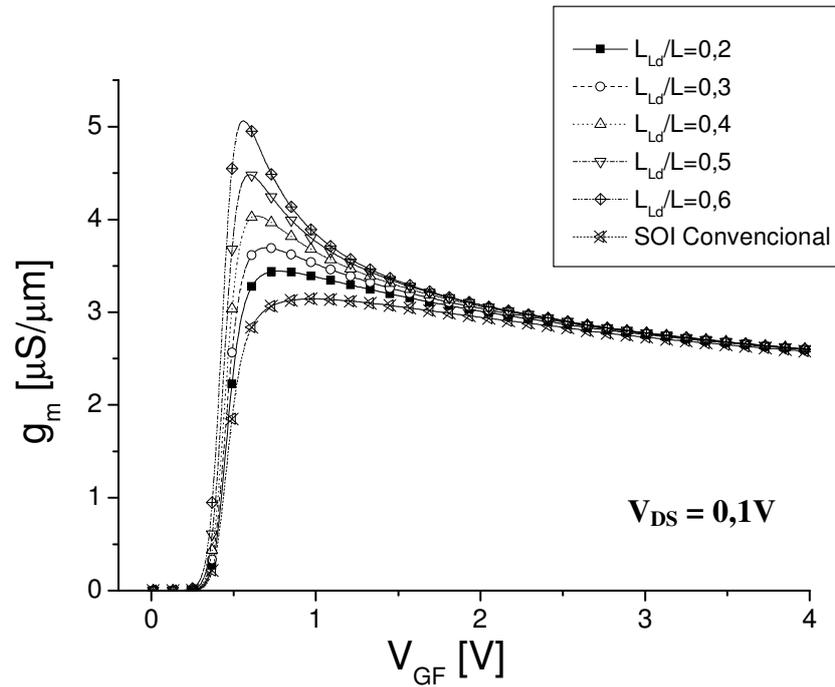


Figura 2.6 – Curvas de transcondutância em função da tensão aplicada à porta de um dispositivo GC SOI nMOSFET e SOI nMOSFET convencional, todos com $L=2\mu\text{m}$.

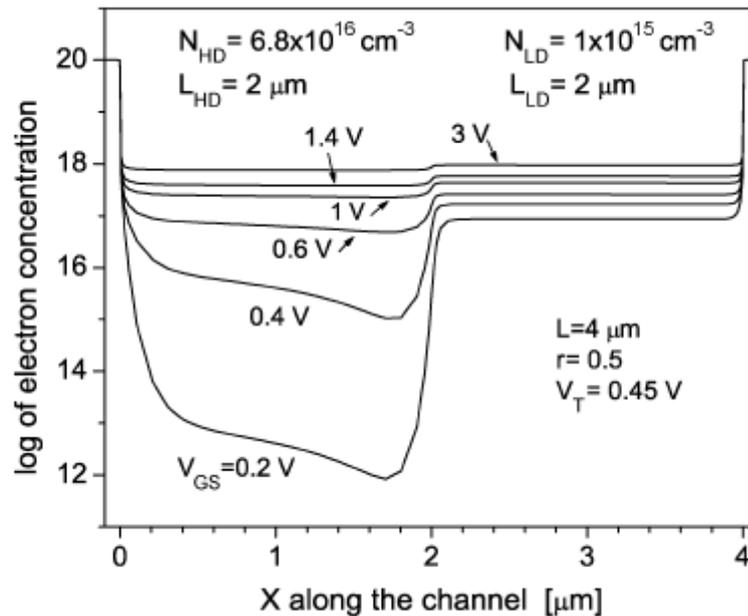


Figura 2.7 – Curva da concentração de elétrons ao longo do canal de um dispositivo GC SOI de comprimento de canal de $L=4\mu\text{m}$ com variações da tensão de porta, retirada da referência [2.23].

Observando a figura 2.6, podemos verificar que o valor da transcondutância máxima aumenta na medida em que a relação L_{LD}/L aumenta também, devido à redução do comprimento de canal. Entretanto, para maiores valores de V_{GF} , com o dispositivo trabalhando na região de triodo, ocorre uma queda da transcondutância, devido à degradação da mobilidade da região fracamente dopada do canal e à menor diferença entre as concentrações de elétrons na camada de inversão em todo o canal, como pode ser visto na figura 2.7 [2.22, 2.23].

Logo, o dispositivo GC SOI MOSFET apresenta maiores vantagens para aplicações de baixa tensão, com valores de V_{GF} trabalhando próximos ao valor da tensão de limiar.

Na figura 2.8 são apresentadas simulações das curvas de corrente de dreno em função da tensão aplicada ao dreno ($I_{DS} \times V_{DS}$), polarizados com uma sobre-tensão de condução, $V_{GT}=V_{GF}-V_{thf}=200mV$.

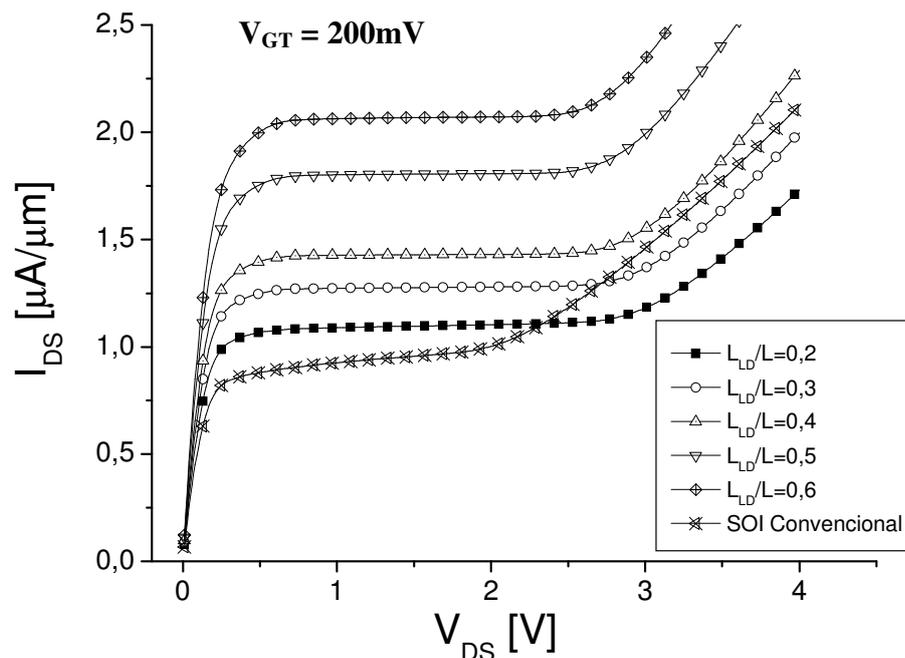


Figura 2.8 – Curvas da corrente de dreno em função da tensão aplicada ao dreno de um dispositivo GC SOI nMOSFET e SOI nMOSFET convencional – todos com $L=2\mu m$.

No transistor SOI MOSFET Convencional existe o efeito de modulação de canal pela tensão V_{DS} , criando uma inclinação da curva $I_{DS} \times V_{DS}$ na região de saturação. Os transistores GC SOI MOSFET apresentam um grau de modulação de canal bem inferior ao dispositivo SOI convencional. Isso ocorre, pois a elevação da tensão V_{DS} não provoca alteração na concentração de elétrons na região fortemente dopada [2.21], isto é, o incremento de V_{DS} é

absorvido pela região fracamente dopada. Com este resultado tem-se uma redução da condutância de dreno e, por consequência, o aumento expressivo da tensão Early [2.22], que será mostrado em seguida.

2.4 Características Analógicas dos Dispositivos MOSFETs

Para estudar as características analógicas de um dispositivo MOSFET, é usado um bloco analógico simples, composto por um único transistor MOS operando como amplificador que é chamado de OTA (single transistor operational transconductance amplifier), visto na figura 2.9.

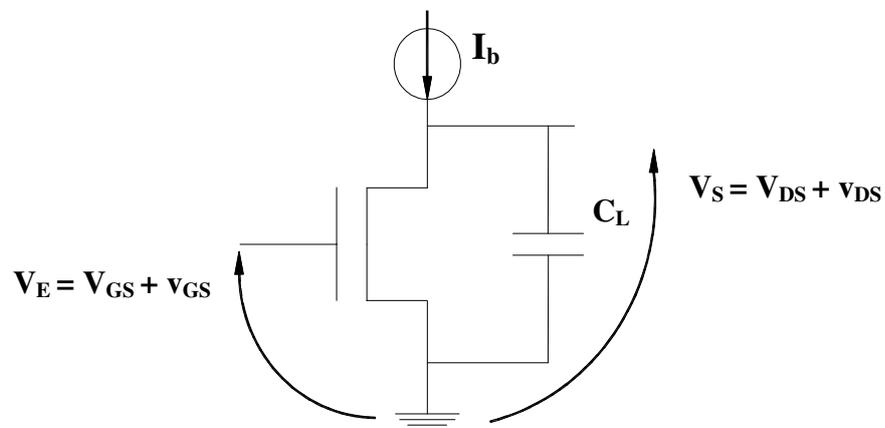


Figura 2.9 – Amplificador Operacional de Transcondutância – OTA com um único transistor MOS.

Na figura 2.8, o transistor é polarizado por uma fonte de corrente constante (I_b), que é responsável por fixar o ponto de polarização do transistor e a carga do OTA é uma capacitância (C_L). O intuito deste bloco analógico é amplificar o sinal alternado aplicado à porta do transistor (v_{GF}), para a parcela alternada do sinal de saída (v_{DS}). Tanto o sinal de entrada como o sinal de saída apresenta componentes contínuos (V_{GF} e V_{DS} , respectivamente), responsáveis por fixar o ponto de operação do transistor.

O ganho máximo da tensão de malha aberta em baixa frequência (A_{V0}) do dispositivo, também chamado de ganho intrínseco do transistor MOSFET é dado por [2.24]:

$$|A_{V0}| = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} \cdot |V_{EA}| \quad (2.28)$$

sendo V_{EA} a tensão Early, g_D a condutância de dreno $\left(g_D = \frac{dI_{DS}}{dV_{DS}} \right)$.

2.4.1 Relação g_m/I_{DS}

A relação g_m/I_{DS} é um parâmetro de medida direta de eficiência do dispositivo, pois (g_m) está diretamente relacionado com a capacidade de amplificação do dispositivo e a corrente entre dreno e fonte (I_{DS}) representa a energia necessária para esta amplificação [2.13], ou seja, é “a capacidade do dispositivo de transformar uma corrente de polarização em transcondutância”.

Na figura 2.10 são apresentados as curvas g_m/I_{DS} em função da corrente de dreno normalizada $I_{DS}/(W/L_{eff})$ simulada para transistores SOI Convencional e GC SOI MOSFET com $L=2\mu\text{m}$ e $L_{LD}/L=0,3$, com $V_{DS}=1,5\text{V}$.

Como se pode observar na figura 2.9 tem-se o valor máximo de g_m/I_{DS} , quando o transistor está operando em inversão fraca e, na medida em que vai se aumentando o valor da corrente de dreno normalizada $I_{DS}/(W/L_{eff})$, o transistor passa pelo regime de inversão moderada e chega no regime de inversão forte, que atinge o menor valor da relação g_m/I_{DS} .

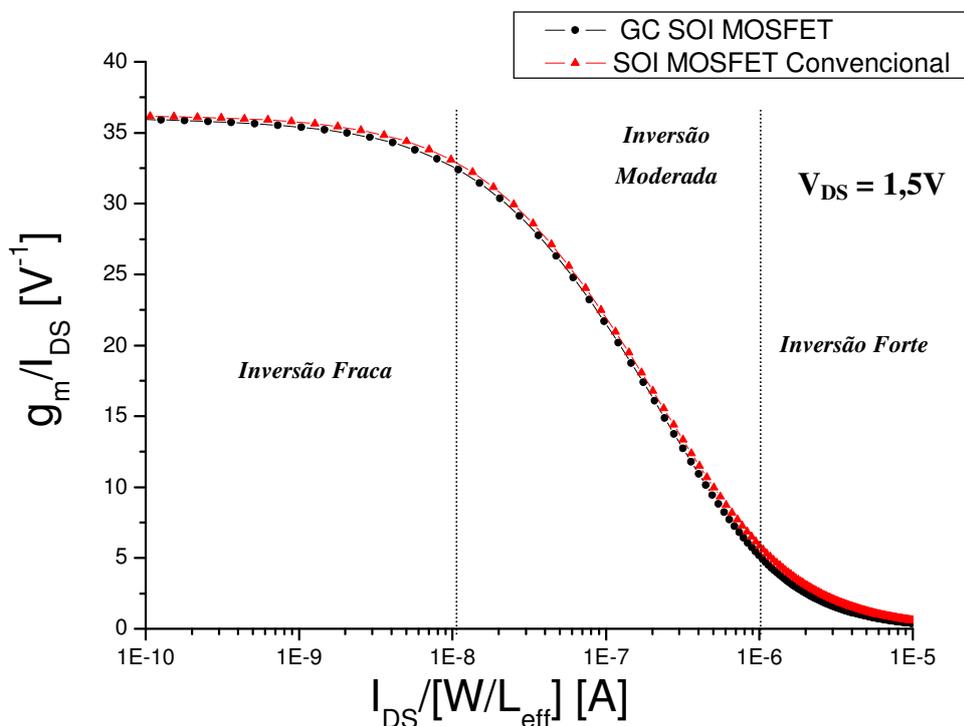


Figura 2.10 – Curva simulada no ATLAS baseada pela referência [2.13] de g_m/I_{DS} em função da corrente de dreno normalizada $I_{DS}/(W/L_{eff})$, para os transistores SOI MOSFET convencional, GC SOI MOSFET com $L=2\mu\text{m}$ e relação $L_{LD}/L=0,3$.

O valor máximo de g_m/I_{DS} é obtido quando o transistor está operando em inversão fraca. Esta relação é dada por [2.24]:

$$\frac{g_m}{I_{DS}} = \frac{q}{nkT} \quad (2.29)$$

Em inversão forte a relação g_m/I_{DS} chega ao seu menor valor e é definida por [2.24]:

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu_n C_{oxf} \frac{W}{L}}{nI_{DS}}} \quad (2.30)$$

Observando as equações (2.29) e (2.30), pode-se dizer que g_m/I_{DS} é uma relação que depende totalmente da tecnologia e do ponto de polarização. Como descrito anteriormente, o fator de corpo, n , é menor nos dispositivos SOI MOSFET totalmente depletados do que nos dispositivos MOS convencional. Devido a isso, o dispositivo SOI MOSFET sofre um aumento em relação ao dispositivo MOS convencional no valor da relação g_m/I_{DS} nos mesmos pontos de operação [2.13].

Por outro lado, como o dispositivo SOI MOSFET convencional e o dispositivo GC SOI MOSFET, estão ambos trabalhando em depleção total da camada de silício, ambos apresentam a mesma relação de g_m/I_{DS} nos mesmos pontos de polarização, também visto na figura 2.9.

2.4.2 Tensão Early

A tensão Early pode ser descrita pela extrapolação em uma reta tangente à curva de corrente de dreno em função da tensão entre fonte e dreno (I_{DS} x V_{DS}), na região de saturação, até a intersecção do eixo V_{DS} , resultando numa corrente nula. Este parâmetro é usado para qualificar a inclinação da curva (I_{DS} x V_{DS}) na região de saturação, e pode ser expressa por [2.16]:

$$|V_{EA}| = \frac{I_{DS}}{g_D} \quad (2.31)$$

desprezando-se a tensão de saturação.

Observando a equação (2.31), pode-se dizer que, quanto menor o valor de g_D , maior será a tensão Early. Com isso, pode-se afirmar que, como os dispositivos GC SOI MOSFET possuem uma menor modulação de canal pela tensão V_{DS} , devido à região fracamente dopada próxima ao dreno, tem-se uma redução da condutância de dreno em relação ao dispositivo SOI MOSFET convencional.

A tabela 2.1 apresenta os valores da tensão Early (V_{EA}) dos transistores SOI convencional e GC SOI apresentados na figura 2.7. Para a extração foi calculado a primeira derivada da curva ($I_{DS} \times V_{DS}$) de cada dispositivo com $V_{GT}=200mV$, adquirindo os valores de condutância de saída g_D , aplicando os valores de g_D e da corrente de dreno na equação (2.24) obtemos a tensão Early de cada transistor.

Tabela 2.1 – Tabela dos valores da máxima tensão Early extraídas da figura 2.7, dos transistores SOI convencional e GC SOI com relações de L_{LD}/L de 0,2;0,3;0,4;0,5;0,6 para $V_{GT}=200mV$.

V_{EA} (V)	Convencional	$L_{LD}/L = 0,2$	$L_{LD}/L = 0,3$	$L_{LD}/L = 0,4$	$L_{LD}/L = 0,5$	$L_{LD}/L = 0,6$
Dispositivos	18	80	227	494	525	376

Como apresentado na tabela 2.1, pode-se afirmar a os dispositivos GC SOI apresentam valores superiores em relação aos dispositivos SOI convencionais.

Como a relação g_m/I_{DS} é idêntica nos dois tipos de dispositivos, mas o valor da tensão Early (V_{EA}) é muito superior nos dispositivos GC SOI MOSFET, tem-se um aumento do ganho ($|A_{V0}|$) em relação ao dispositivo SOI convencional, oferecendo uma alternativa interessante para aplicação em circuitos analógicos [2.23].

2.5 Modelo analítico contínuo

Sabe-se que o melhor compromisso entre potência dissipada e ganho/frequência de transição unitária de um transistor MOS é obtida com o dispositivo operando em inversão moderada [2.25]. Deste modo, para simulação de circuitos analógicos, é utilizado um modelo analítico contínuo em todos os regimes de operação, com derivadas (g_m e g_D) também contínuas. Deste modo, a corrente de dreno é descrita de forma precisa em todos os regimes de operação.

2.5.1 Modelo analítico contínuo para dispositivo SOI MOSFET

O modelo analítico contínuo do dispositivo SOI MOSFET foi proposto por Iñiguez [2.25]. A corrente de dreno do transistor SOI MOSFET convencional totalmente depletado, considerando as componentes de difusão e de deriva, é descrita pela equação (2.32). Este modelo é baseado na relação linear entre a carga de inversão (Q_{nf}) e o potencial de superfície da 1ª interface:

$$I_{DS} = -W\mu_n \left(Q_{nf} \frac{d\Phi_{SF}}{dy} - v_T \frac{dQ_{nf}}{dy} \right) \quad (2.32)$$

onde μ_n é a mobilidade dos elétrons, W o comprimento de canal e v_T é o potencial térmico descrito na equação (2.33).

$$v_T = \frac{kT}{q} \quad (2.33)$$

Utilizando a relação linear entre potencial de superfície e carga de inversão:

$\frac{d\phi_{SF}}{dy} = \frac{1}{nC_{oxf}} \cdot \frac{dQ_{nf}}{dy}$ na equação (2.32) e integrando ao longo do canal, tem-se:

$$I_{DS} = \frac{\mu_n W}{L} \left[v_T (Q_{nf,D} - Q_{nf,S}) - \frac{Q_{nf,D}^2 - Q_{nf,S}^2}{2nC_{oxf}} \right] \quad (2.34)$$

Conforme mostra a equação, a corrente de dreno é função da densidade de carga de inversão nas fronteiras do canal com as regiões de fonte e dreno ($Q_{nf,D}$ e $Q_{nf,S}$).

Como demonstrado na referência [2.25], desprezando-se os efeitos de canal curto, a carga de inversão pode ser expressa em função das tensões aplicadas ao dispositivo, tornando o modelo válido para todos os regimes de operação através da equação da carga de inversão, descrita na equação (2.35):

$$Q_{nf} = -C_{oxf} n v_T S_{NT} \cdot \ln \left[1 + \frac{\frac{-Q_0}{C_{oxf}}}{n v_T S_{NT}} \exp\left(\frac{V_{GF} - n V_{thfi} - n V_C}{n v_T}\right) + \exp\left(\frac{V_{GF} - V_{thfi} - n V_C}{n v_T S_{NT}}\right) \right] \quad (2.35)$$

onde V_{thf} e V_{thfi} são as tensões de limiar obtidas em inversão forte e fraca, Q_0 é a carga de inversão para $V_{GF}=V_{thfi}$ e S_{NT} é o parâmetro de ajuste que controla a transição entre os regimes de inversão forte e fraca, V_C é o potencial ao longo do canal ($V_C=0$ do lado da fonte e $V_C=V_{DS}$ do lado do dreno).

2.5.2 Modelo analítico contínuo para dispositivo GC SOI MOSFET

O modelo analítico contínuo para o dispositivo GC SOI MOSFET, foi baseado no modelo para o transistor SOI MOSFET convencional totalmente depletado, apresentado no item 2.5.1. A diferença entre o modelo SOI MOSFET convencional e o modelo do GC SOI MOSFET proposto é que a carga de inversão varia ao longo do canal, não apenas pela variação do potencial de superfície, devido às tensões aplicadas ao dispositivo, mas também pelas diferentes concentrações de dopantes presentes no canal [2.26, 2.27], não considerando os efeitos de canal curto.

Fazendo as considerações e cálculos a partir do modelo do SOI MOSFET convencional, considerando a variação da carga de inversão no eixo y do canal, obtêm-se as equações (2.36 e 2.37). Estas equações garantem a continuidade da corrente elétrica no transistor GC SOI MOSFET.

$$I_{DS} = \frac{\mu_{nHD} W}{L - L_{LD}} \left[v_T \left(Q_{nf, HD_{L-LD}} - Q_{nf, HD_0} \right) - \frac{Q_{nf, HD_{L-LD}}^2 - Q_{nf, HD_0}^2}{2n C_{oxf}} \right] \quad (2.36)$$

$$I_{DS} = \frac{\mu_{nLD} W}{L_{LD}} \left[v_T \left(Q_{nf, LD_L} - Q_{nf, LD_{L-LD}} \right) - \frac{Q_{nf, LD_L}^2 - Q_{nf, LD_{L-LD}}^2}{2n C_{oxf}} \right] \quad (2.37)$$

Comparando as equações (2.36, 2.37) dos dispositivos GC SOI MOSFET, com a equação (2.35) do dispositivo SOI MOSFET convencional, pode-se considerar a associação de dois transistores em série como modelo equivalente para os transistores GC SOI MOSFET.

Com este modelo de GC SOI MOSFET, há a possibilidade da utilização de simuladores de circuitos que já possuam o modelo contínuo dos dispositivos SOI MOSFETs convencionais totalmente depletados implementados [2.25], como o caso do ICAP4 [2.28], que será usado neste trabalho.

Na figura 2.11 é apresentado o esquema elétrico proposto para a associação série de dois transistores SOI MOSFET convencionais, que representa o comportamento elétrico do dispositivo GC SOI MOSFET. Nesta figura N_{afHD} representa a região com maior concentração de dopantes e N_{afLD} a região com concentração de dopantes igual ao da lâmina, ou seja, com menor concentração de dopantes.

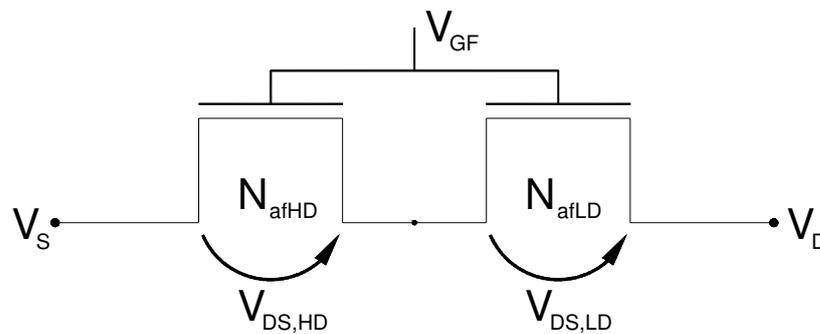


Figura 2.11 – Representação elétrica do dispositivo GC SOI MOSFET com a associação de dois transistores SOI MOSFET convencional totalmente depletado.

3 ESPELHOS DE CORRENTE

Os espelhos de corrente (Current Mirror, CM), são blocos analógicos muito usados para a polarização de circuitos analógicos ou como carga ativa. Neste item, serão apresentados os tipos de arquiteturas, suas diferenças e as principais características de um espelho de corrente, como precisão de espelhamento, descasamento, excursão de saída e a resistência de saída.

3.1 Características dos Espelhos de Corrente

O espelho de corrente tem como função o fornecimento de uma corrente de saída (I_{Dout}), com mesma característica que a corrente de entrada (I_{Din}), para qualquer tensão aplicada ao dreno (V_{Dout}) do transistor de saída. A precisão deste espelhamento depende das características de casamento dos transistores e dos parâmetros da tecnologia aplicada [3.1].

3.1.1 Espelhamento da Corrente e Precisão de Espelhamento

A capacidade dos espelhos de corrente em reproduzir com a máxima precisão a corrente de entrada (I_{Din}) para a corrente de saída (I_{Dout}), é medida através da razão entre estas correntes que define a precisão de espelhamento do circuito. Para equacionar esta relação utilizou-se a arquitetura de fonte comum da figura 3.1 e o modelo da corrente de dreno dos transistores nMOS, visto nas equações (3.1) e (3.2) a seguir, proposto por Shichman-Hodges [3.2], levando em consideração a modulação do comprimento de canal.

Na figura 3.1, é apresentado o esquema elétrico de um espelho de corrente com arquitetura fonte comum, feito a partir de transistores nMOS.

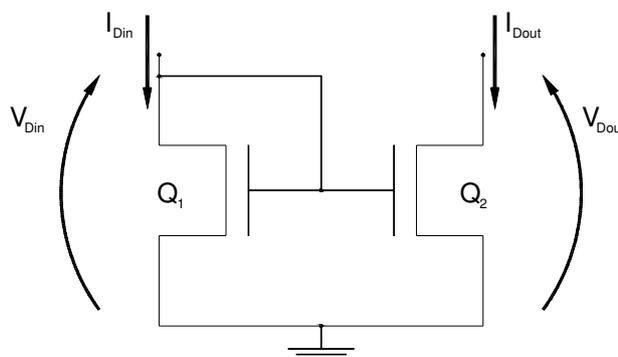


Figura 3.1 – Diagrama esquemático do espelho de corrente fonte comum.

$$I_{Din} = \frac{\beta_{in}}{2} \cdot (V_{GF} - V_{th.in})^2 \cdot (1 + \lambda_{in} \cdot V_{Din}) \quad (3.1)$$

$$I_{Dout} = \frac{\beta_{out}}{2} \cdot (V_{GF} - V_{th.out})^2 \cdot (1 + \lambda_{out} \cdot V_{Dout}) \quad (3.2)$$

onde λ_{in} e λ_{out} são os fatores que modelam a modulação do comprimento de canal, $V_{th.in}$ e $V_{th.out}$ são as tensões de limiar dos transistores de entrada e saída, β_{in} , β_{out} são os fatores de ganho dos transistores de entrada e saída.

O fator de modulação do comprimento de canal, definido pelo inverso da tensão Early, pode ser visto na equação (3.3) e o fator de ganho do transistor β é apresentado na equação (3.4):

$$\lambda = \frac{1}{|V_{EA}|} \quad (3.3)$$

$$\beta = \frac{W}{L_{eff}} \cdot \frac{\mu_n \cdot C_{oxf}}{(1 + \alpha_{depl})} \quad (3.4)$$

Na arquitetura fonte comum, vista na figura 3.1, a tensão aplicada ao dreno do transistor (Q_1) é a mesma aplicada à porta dos transistores (Q_1) (transistor de entrada) e (Q_2) (transistor de saída). Com isso, pode-se isolar a tensão V_{GF} do transistor (Q_2) através da equação (3.2):

$$V_{GF} = V_{th.out} + \sqrt{\frac{2 \cdot I_{Dout}}{\beta_{out} \cdot (1 + \lambda_{out} \cdot V_{Dout})}} \quad (3.5)$$

Fazendo a substituição da equação (3.5) na equação (3.1), para a corrente de dreno do transistor Q_1 , obtém-se o valor da corrente de saída I_{Din} :

$$I_{Din} = \frac{\beta_{in}}{2} \cdot \left[V_{th.out} - V_{th.in} + \sqrt{\frac{2 \cdot I_{Dout}}{\beta_{out} \cdot (1 + \lambda_{out} \cdot V_{Dout})}} \right]^2 \cdot (1 + \lambda_{in} \cdot V_{Din}) \quad (3.6)$$

Como se pode observar na equação (3.6), existe uma diferença de tensão de limiar, entre o transistor de entrada Q_1 e o transistor de saída Q_2 . Com esta diferença na tensão de limiar pode-se verificar o descasamento entre os dois transistores e com isso ter uma idéia do desempenho do espelhamento do circuito.

$$\Delta V_{th} = V_{th.out} - V_{th.in} \quad (3.7)$$

substituindo, a equação (3.7) na equação (3.6) e fazendo as simplificações matemáticas necessárias tem-se:

$$I_{Din} = \frac{\beta_{in}}{2} \cdot \left[\frac{2 \cdot I_{Dout}}{\beta_{out} \cdot (1 + \lambda_{out} \cdot V_{Dout})} + 2 \cdot \Delta V_{th} \cdot \sqrt{\frac{2 \cdot I_{Dout}}{\beta_{out} \cdot (1 + \lambda_{out} \cdot V_{Dout})} + \Delta V_{th}^2} \right] \cdot (1 + \lambda_{in} \cdot V_{Din}) \quad (3.8)$$

Reescrevendo a equação (3.1) para o transistor de saída temos:

$$(V_{GS} - V_{th.out})^2 = \frac{2 \cdot I_{Dout}}{\beta_{out} \cdot (1 + \lambda_{out} \cdot V_{Dout})} \quad (3.9)$$

Tem-se com a substituição da equação (3.9) na equação (3.8):

$$I_{Din} = \frac{\beta_{in}}{2} \cdot \left[(V_{GF} - V_{th.out})^2 + 2 \cdot \Delta V_{th} \cdot (V_{GF} - V_{th.out}) + \Delta V_{th}^2 \right] \cdot (1 + \lambda_{in} \cdot V_{Din}) \quad (3.10)$$

Similarmente, considerando a corrente de saída tem-se:

$$I_{Dout} = \frac{\beta_{out}}{2} \cdot \left[(V_{GF} - V_{th.in})^2 - 2 \cdot \Delta V_{th} \cdot (V_{GF} - V_{th.in}) + \Delta V_{th}^2 \right] \cdot (1 + \lambda_{out} \cdot V_{Dout}) \quad (3.11)$$

Aplicando a divisão entre a corrente de saída (I_{Dout}), pela corrente de entrada (I_{Din}) obtém-se:

$$\frac{I_{Dout}}{I_{Din}} = \left[\frac{\beta_{out} \cdot (1 + \lambda_{out} \cdot V_{Dout})}{\beta_{in} \cdot (1 + \lambda_{in} \cdot V_{Din})} \right] \left[1 + \frac{\Delta V_{th}^2}{(V_{GF} - V_{th.in})^2} - \frac{2 \cdot \Delta V_{th}}{(V_{GF} - V_{th.in})} \right] \quad (3.12)$$

Para uma melhor visualização da equação (3.12), foi feito um agrupamento dos itens da equação:

$$\frac{I_{Dout}}{I_{Din}} = \left[\frac{\beta_{out}}{\beta_{in}} \right] \left[\frac{(1 + \lambda_{out} \cdot V_{Dout})}{(1 + \lambda_{in} \cdot V_{Din})} \right] \left[\frac{\Delta V_{th}^2 + (V_{GF} - V_{th.in})^2}{(V_{GF} - V_{th.in})^2} - \frac{2 \cdot \Delta V_{th}}{(V_{GF} - V_{th.in})} \right] \quad (3.13)$$

Considerando desprezível o termo ΔV_{th}^2 na equação (3.13) tem-se:

$$\frac{\Delta V_{th}^2 + (V_{GF} - V_{th.in})^2}{(V_{GF} - V_{th.in})^2} \cong 1 \quad (3.14)$$

Substituindo a equação (3.14) na equação (3.13):

$$\frac{I_{Dout}}{I_{Din}} = \left[\frac{\beta_{out}}{\beta_{in}} \right] \left[\frac{(1 + \lambda_{out} \cdot V_{Dout})}{(1 + \lambda_{in} \cdot V_{Din})} \right] \left[1 - \frac{2 \cdot \Delta V_{th}}{(V_{GF} - V_{th.in})} \right] \quad (3.15)$$

Na equação (3.15) tem-se a relação entre a corrente de saída pela corrente de entrada, que pode ser chamada como precisão de espelhamento. Considerando dispositivos com a mesma dimensão [3.3], quanto mais próximo da unidade ficar esta relação melhor a precisão do espelhamento da corrente da entrada para a saída.

3.1.2 Descasamento entre dispositivos do espelho de corrente

Como já visto [3.4, 3.5], o descasamento dos transistores de um espelho de corrente está diretamente ligado à tensão de limiar de todos os transistores. Logo, o descasamento pode ocorrer devido ao desequilíbrio das tensões de limiar dos transistores. Outra forma de ocorrer este descasamento seria devido aos parâmetros geométricos ($\Delta\beta$) de construção do espelho e também devido à modulação do comprimento de canal ($\Delta\lambda$), o qual se relaciona com o valor da tensão que se aplica ao dreno. Estes efeitos podem ser apresentados reescrevendo a equação (3.15), com as seguintes substituições:

$$\Delta I_{DS} = I_{Dout} - I_{Din} \quad (3.16)$$

$$\Delta\beta = \beta_{out} - \beta_{in} \quad (3.17)$$

$$\Delta\lambda V_{DS} = (\lambda_{out} \cdot V_{Dout}) - (\lambda_{in} \cdot V_{Din}) \quad (3.18)$$

Aplicando as relações acima na equação (3.15), e isolando o parâmetro (ΔI_{DS}), que expressa a diferença das correntes de entrada e saída, tem-se:

$$\Delta I_{DS} \cong I_{Din} \cdot \left(\frac{\Delta\beta}{\beta_{in}} + \frac{\Delta\lambda V_{DS}}{1 + \lambda_{in} \cdot V_{Din}} - \frac{2 \cdot \Delta V_{th}}{(V_{GS} - V_{th1.in})} \right) \quad (3.19)$$

Na aproximação feita na equação (3.14) e efetuada a substituição das equações propostas acima, tem-se a equação (3.19). Analisando esta equação, pode-se afirmar que o espelhamento da corrente está diretamente ligado às características de fabricação como a diferença do fator de ganho ($\Delta\beta$), influenciado pelas dimensões de W e L_{eff} do transistor, pela mobilidade efetiva do elétron (μ_n) e pela capacitância de porta (C_{oxf}). Outro ponto a se observar, é da influência do descasamento entre as tensões de limiar, da variação da modulação de canal ($\Delta\lambda$) e das tensões de dreno dos transistores.

Outra observação que se pode fazer da equação (3.19), seria que no regime de inversão fraca, o fator dominante que implicará no desequilíbrio do circuito, ou seja, um mau

espelhamento da corrente seria a variação da tensão de limiar dos transistores, o termo $\frac{2 \cdot \Delta V_{th}}{(V_{GS} - V_{th.in})}$ da equação. Caso trabalhe em regime de inversão forte, a diferença da tensão de limiar passa a ser um item não tão relevante, pois no termo $\frac{\Delta \lambda V_{DS}}{1 + \lambda_{in} \cdot V_{Din}}$, pode-se observar que a variação de modulação do comprimento canal dos transistores em inversão forte se torna dominante e afetará diretamente na qualidade do espelhamento [3.3].

Caso haja um problema na fabricação do espelho de corrente, o descasamento ocorrerá independente da região de polarização devido a $(\Delta \beta)$.

Outro fator que influencia no casamento das correntes de dreno dos espelhos de corrente, mantendo uma estabilidade da precisão do espelhamento, é uma inclinação não desejada na corrente de saída na região de saturação do espelho de corrente (condutância de saída g_D), degradando a resistência de saída do espelho de corrente, sendo a resistência de saída (R_{out}) do espelho de corrente o inverso da condutância de dreno.

Através do circuito elétrico equivalente para pequenos sinais que estão apresentados na figura (3.3), pode-se dizer que (R_{out}) é representado por r_{d2} , ou seja, a representação da resistência do transistor Q_2 , e r_o representa a resistência interna da fonte de corrente I_{Din} .

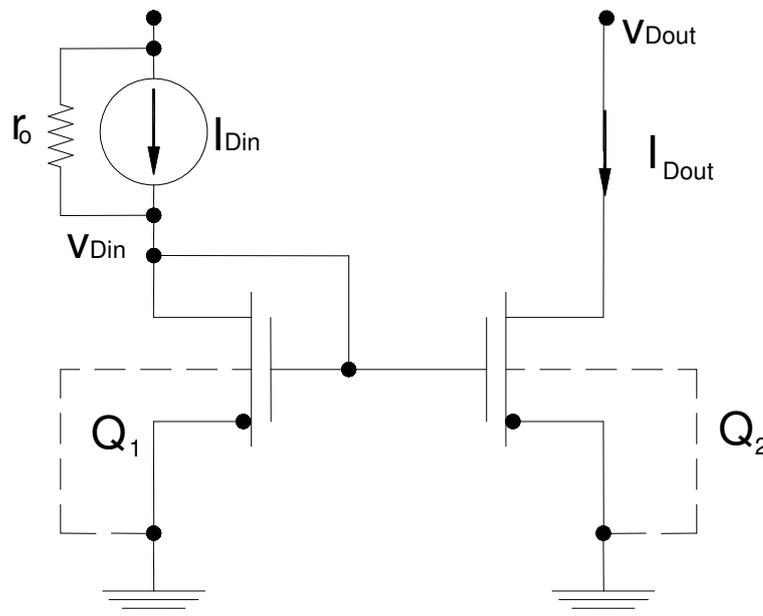


Figura 3.2 – Esquema elétrico do espelho de corrente considerando a representação elétrica da corrente de entrada.

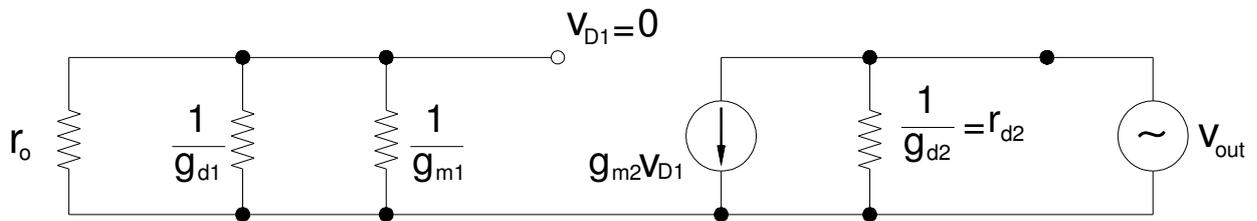


Figura 3.3 – Modelo equivalente para pequenos sinais do espelho de corrente considerando a representação elétrica da corrente de entrada.

Na figura 3.3 temos r_o que corresponde a resistência interna da fonte de corrente de entrada, $1/g_{d1}$ resistência do transistor Q_1 , $1/g_{m1}$ é resistência equivalente do transistor Q_1 e $g_{m2}V_{D1}$ é uma fonte corrente gerada pelo transistor Q_2 .

Seguindo a lei de Ohm, podemos expressar a resistência de saída (R_{out}), pela variação da tensão de dreno da saída (ΔV_{Dout}), pela corrente de dreno (ΔI_{Dout}):

$$R_{out} = \frac{\Delta V_{Dout}}{\Delta I_{Dout}} = \frac{1}{g_{Dout}} \quad (3.20)$$

onde g_{Dout} é a condutância de dreno do transistor de saída, e quando o espelho trabalha na região de saturação, pode-se dizer que temos o menor valor da condutância de dreno (g_{Dout}) a qual pode ser expressa da seguinte forma:

$$g_{out} = \frac{I_{Dout}}{|V_{EA}|} \quad (3.21)$$

$$R_{out} = \frac{|V_{EA}|}{I_{Dout}} = \frac{1}{\lambda \cdot I_{Dout}} \quad (3.22)$$

Nas equações (3.21) e (3.22), temos a condutância de dreno expressa em função da modulação do comprimento de canal. Para valores altos de resistência de saída, temos uma redução da modulação do comprimento de canal e conseqüentemente um aumento da tensão Early para um mesmo valor de (I_{Dout}).

3.1.3 Excursão de Saída (V_{OS})

A função do espelho de corrente é fornecer a corrente necessária (I_{Dout}), espelhando com uma dada precisão a corrente de entrada (I_{Din}). Além de manter esta relação de corrente de entrada e saída próximo da unidade, considerando dispositivos idênticos, também deve-se manter a corrente de saída (I_{Dout}) o mais estável possível, ou seja, independente do valor da tensão aplicado à saída (V_{Dout}). Para manter esta corrente de saída estável, a condutância de dreno tem que ser a menor possível, resultando em altos valores de tensão Early. A faixa de tensão V_{Dout} na qual I_{Dout} se mantém dentro da tolerância estipulada para o circuito é conhecida como excursão de saída. Assim, pode-se obter a excursão de saída de um espelho de corrente através da curva $I_{Dout} \times V_{Dout}$.

A figura 3.4 apresenta a curva da corrente de saída (I_{Dout}) pela tensão de saída (V_{Dout}), de um espelho de corrente na arquitetura Fonte Comum, utilizando os transistor SOI Convencional e GC SOI com relação de $L_{LD}/L=0,5$, polarizado com corrente de entrada fixa em $I_{Din}=1\mu A$.

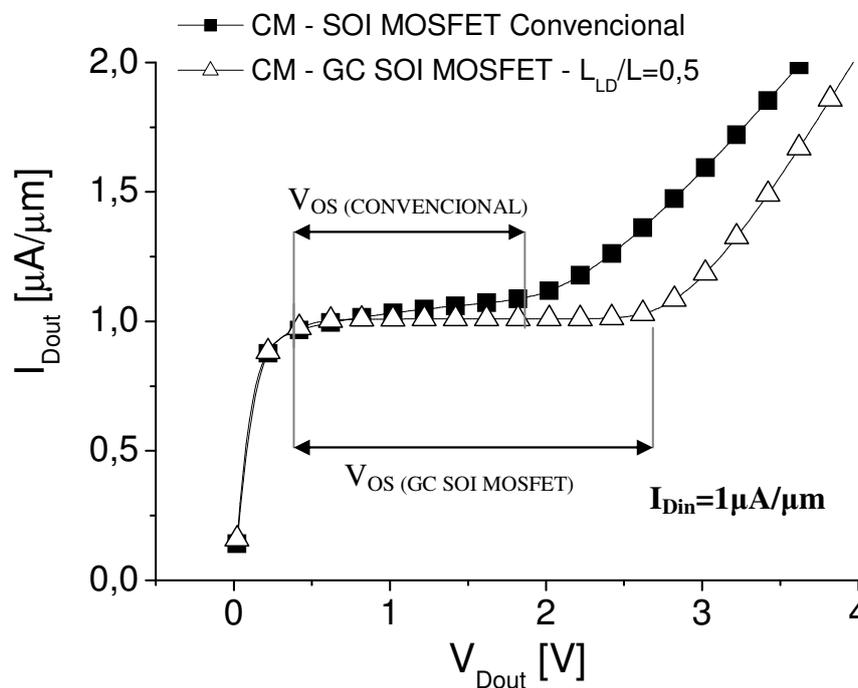


Figura 3.4 – Curva Simulada pelo ATLAS de $I_{Dout} \times V_{Dout}$, com $L=2\mu m$ e $I_{Din}=1\mu A/\mu m$, de CM utilizando SOI convencional e CM GC SOI com $L_{LD}/L=0,5$.

Pode-se observar na figura 3.4 que o espelho de corrente que opera com transistores GC SOI MOSFET apresenta maior excursão de saída que o espelho de corrente com SOI convencional, pois os transistores GC SOI MOSFET, como já demonstrado em seções anteriores, apresentam maior valor de tensão Early. Um outro ponto importante é que, como o transistor GC SOI MOSFET possui um maior de tensão de ruptura do dreno, apresenta um retardo no início da ocorrência do efeito bipolar, possibilitando um maior valor de excursão de saída do espelho de corrente, ou seja, aceita uma maior variação do valor da tensão (V_{Dout}), sem degradar o valor da corrente de saída sendo que a corrente I_{Dout} fica mais estável em toda faixa para GC SOI MOSFET.

Para a determinação de V_{os} adotou-se a diferença entre a tensão de saturação e a tensão de dreno que resultasse na mesma condutância de dreno obtida com tensão de dreno igual a tensão de saturação [3.6].

3.1.4 Tempo de Estabilização (“Settling Time”)

Nos circuitos eletrônicos em geral, tem-se a preocupação em relação ao tempo de estabilização. O estudo do tempo de estabilização dos circuitos de espelhos de corrente é importante, pois avalia o tempo em que o circuito leva para fornecer e estabilizar o corrente de saída (I_{Dout}) após circuito ser estimulado pela corrente de entrada (I_{Din}).

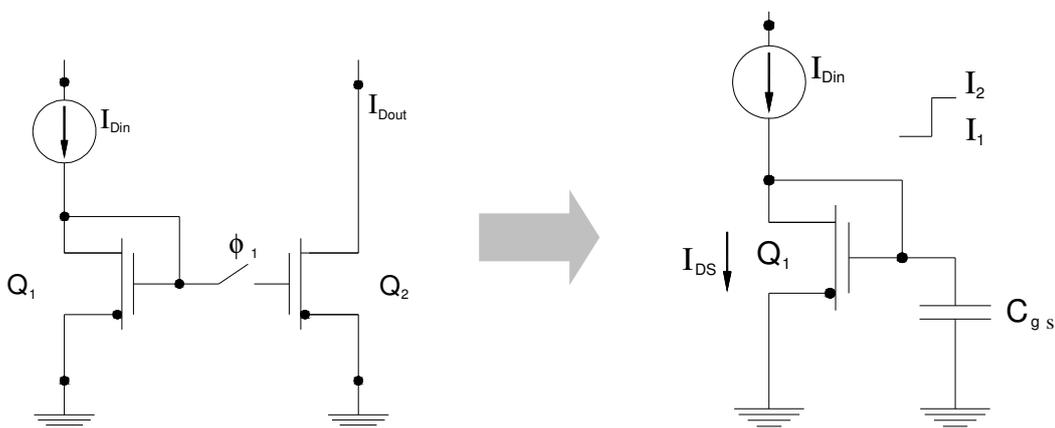


Figura 3.5 – Simplificação do esquema elétrico da arquitetura Fonte Comum analisando o estudo dinâmico.

A figura 3.5 apresenta um modelagem para o tempo ϕ_1 que o transistor Q_2 demora em ser ativado pela sua porta e fornecer a corrente de saída I_{Dout} . Este tempo de resposta é determinada pela capacitância parasitária presente na porta do transistor Q_2 , portanto,

podemos substituir o transistor Q_2 por um capacitor C_{gs} [3.6] que é a capacitância da porta do transistor Q_2 .

Considerando a reatância capacitiva da porta do transistor Q_2 acoplada na arquitetura Fonte Comum e transformando o circuito da figura 3.5 em modelo de pequenos sinais, temos a representação do circuito na figura 3.6. A partir deste modelo de pequenos sinais pode-se extrair a equação que define o tempo de estabilização. Também, na figura 3.6, pode-se observar que para extração da expressão foi utilizado um degrau de entrada que representa a corrente I_{Din} , onde I_1 é a corrente de sinal em nível baixo e I_2 é a corrente de sinal em nível alto, representando um degrau de entrada [3.7].

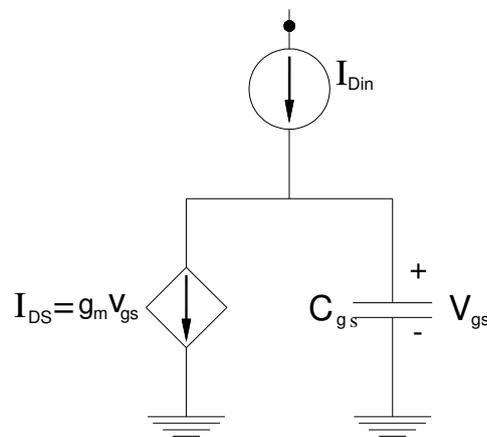


Figura 3.6 – Modelo de pequenos sinais da arquitetura Fonte Comum com carga capacitiva.

$$I_{Dout} = I_2 - (I_2 - I_1)e^{-\frac{g_{m1}}{C_{gs}}t_s} \quad (3.23)$$

onde g_{m1} é a transcondutância do transistor Q_1 , C_{gs} é a capacitância entre porta e fonte do transistor Q_2 e t_s é o tempo de estabilização.

Utilizando a equação (3.23) pode se determinar o tempo de estabilização:

$$t_s = \frac{C_{gs}}{g_m} \ln \left| \frac{I_2 - I_1}{\epsilon} \right| \quad (3.24)$$

onde $\epsilon = I_2 - I_{Dout}$ é o erro admitido para a corrente I_{Dout} .

Observando a equação (3.24), o tempo de estabilização do circuito de espelho de corrente esta diretamente relacionada com a capacitância da porta do transistor de saída Q_2 e com a transcondutância do transistor Q_1 . Analisando a equação e comparando com a utilização de dispositivos GC SOI MOSFET, pode-se esperar uma resposta dinâmica melhor no espelho de corrente utilizando os dispositivos GC SOI, pois estes apresentam um valor maior de transcondutância em relação aos dispositivos SOI convencionais, como já citado em itens anteriores para uma mesma capacitância de porta.

3.2 Outras arquiteturas de espelhos de corrente

O espelho de corrente tem como função, como já dito na seção anterior, alimentar o circuito com a corrente de saída (I_{Dout}), espelhada pela corrente de entrada (I_{Din}), para qualquer tensão aplicada ao dreno (V_{Dout}) do transistor de saída. Com a intenção de melhorar o espelhamento da corrente de entrada, foram estudadas novas arquiteturas de circuitos de espelhos de corrente para minimizar o efeito da resistência de saída do espelho de corrente, ou seja, diminuir a inclinação na corrente de saída na saturação.

Como demonstrado na seção anterior, o circuito de espelho de corrente na arquitetura fonte comum, apresenta a resistência de saída como a resistência do transistor de saída Q_2 , que pode ser observado no circuito equivalente para pequenos sinais da figura 3.3.

Nesta seção, serão apresentadas outras duas arquiteturas disponíveis na literatura, a arquitetura Wilson e a arquitetura Cascode de espelhos de corrente, objetivando a melhoria no desempenho dos espelhos de corrente com relação à excursão de saída e à precisão de espelhamento.

3.2.1 Arquitetura Wilson [3.8]

A arquitetura espelho de corrente Wilson [3.8] foi desenvolvida para aumentar a resistência de saída. Para isso, foi colocado um novo par de transistores na arquitetura fonte comum, já mencionada anteriormente.

Na figura 3.7, é apresentado o esquema elétrico do espelho de corrente Wilson, feito a partir de transistores nMOS.

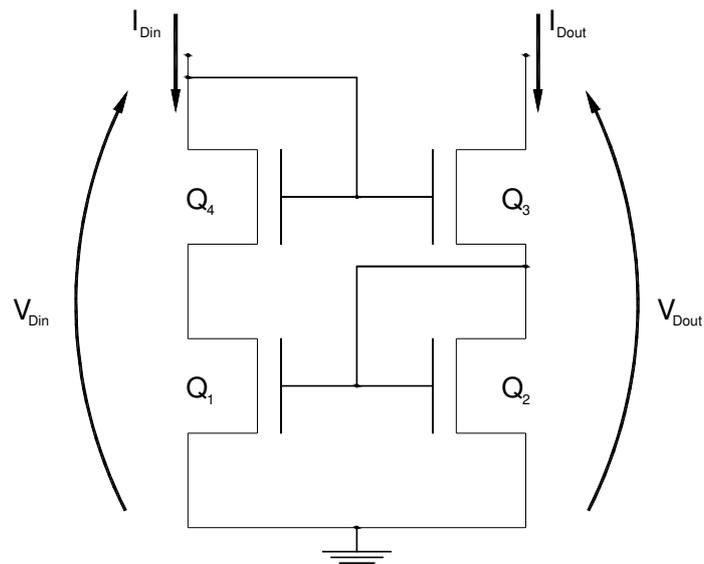


Figura 3.7 – Diagrama esquemático do espelho de corrente arquitetura Wilson.

Como se pode observar na figura 3.7 foi adicionado mais dois transistores Q_1 e Q_2 , onde as portas dos transistores Q_1 e Q_2 são interligadas com o dreno do transistor Q_2 , já as portas dos transistores Q_3 e Q_4 estão ligadas ao dreno do transistor Q_4 .

A arquitetura Wilson apareceu após estudos feitos com um circuito que disponibilizava três transistores e uma fonte de corrente, visto na figura 3.8.

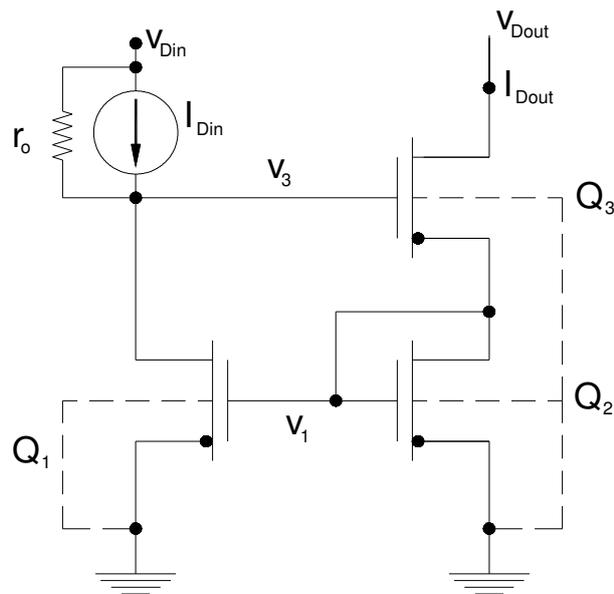


Figura 3.8 – Esquema elétrico de um espelho de corrente equivalente à arquitetura Wilson, com a representação elétrica da corrente de entrada.

Para um melhor entendimento do circuito, foi estudado o modelo equivalente para pequenos sinais do espelho de corrente Wilson, que pode ser visto na figura 3.9.

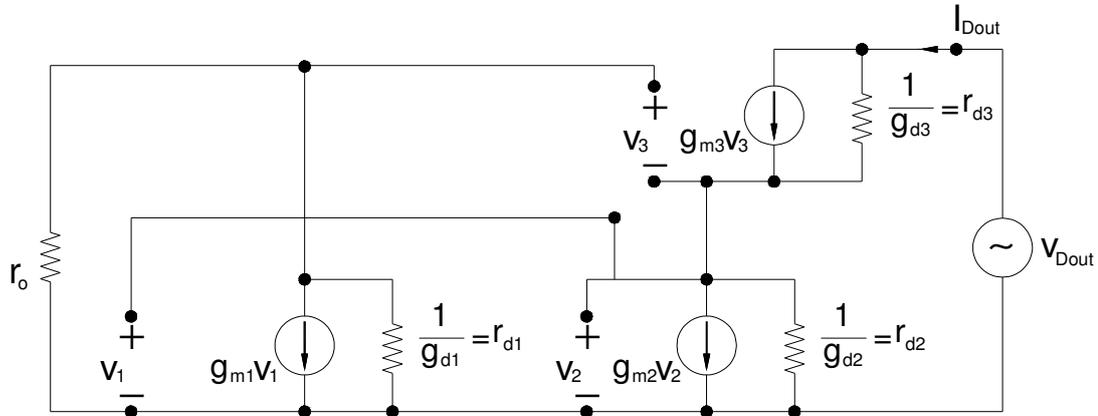


Figura 3.9 – Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Wilson.

Na figura 3.9 temos r_0 que corresponde a resistência interna da fonte de corrente de entrada, $1/g_{d1}$ resistência equivalente do transistor Q_1 , $1/g_{d2}$ resistência equivalente do transistor Q_2 , $1/g_{d3}$ resistência equivalente do transistor Q_3 , $g_{m1}V_1$ é uma fonte corrente associada ao transistor Q_1 , $g_{m2}V_2$ é uma fonte corrente associada ao transistor Q_2 e $g_{m3}V_3$ é uma fonte corrente associada ao transistor Q_3 .

Fazendo algumas simplificações na figura 3.9, como os resistores r_0 e r_{d1} estão em paralelo:

$$r_1 = \frac{1}{\left(\frac{1}{r_0} + \frac{1}{r_{d1}}\right)} \quad (3.25)$$

Também, substituindo a fonte de corrente auto controlada $g_{m2}V_2$ por um resistor equivalente à $\frac{1}{g_{m2}}$, e, por consequência, desprezado o resistor r_{d2} , pois com a substituição da fonte de corrente $g_{m2}V_2$, r_{d2} fica em paralelo com o resistor $\frac{1}{g_{m2}}$, que costuma apresentar valor bem menor, temos:

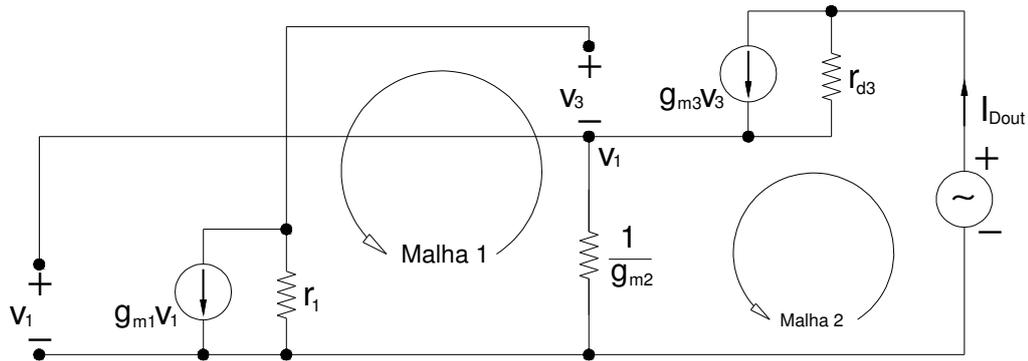


Figura 3.10 – Simplificação do modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Wilson.

onde $g_{m1}V_1$ é uma fonte corrente associado ao transistor Q_1 , $g_{m3}V_3$ é uma fonte corrente associado ao transistor Q_3 , r_{d3} é a resistência equivalente do transistor Q_3 , $1/g_{m2}$ é a resistência equivalente do transistor Q_2 , r_1 é a resistência equivalente entre r_{d1} e r_0 , V_1 é a tensão entre fonte e dreno do transistor Q_1 e V_3 a tensão entre fonte e dreno do transistor Q_3 .

Analisando o circuito de pequenos sinais da figura 3.10, pode-se dizer que, com o aumento da corrente I_{Dout} , a tensão V_1 tende a subir, pois como aumenta a corrente de dreno do transistor Q_2 , obrigatoriamente aumenta-se a tensão de porta do transistor que está conectado com o dreno de Q_2 . Assim, com o aumento da tensão V_1 a tensão V_3 tende a diminuir, neutralizando a variação da corrente I_{Dout} . Com isso, as malhas (malha 1 e malha 2), persistem em tentar manter um equilíbrio da corrente I_{Dout} aproximadamente igual a I_{Din} . Uma desvantagem desta estrutura em relação a arquitetura fonte comum é que é necessário um maior valor da tensão nos terminais de saída do espelho de corrente para manter os transistores em saturação, reduzindo a possibilidade de uma maior excursão da tensão de saída pela fonte [3.8].

Equacionando as malhas um e dois tem-se:

$$\text{Malha 1} \quad -\frac{I_{Dout}}{g_{m2}} - v_3 - r_1 g_{m1} \left(\frac{I_{Dout}}{g_{m2}} \right) = 0 \quad (3.26)$$

$$\text{Malha 2} \quad -v_{out} + (I_{Dout} - g_{m3}v_3)r_{d3} + \left(\frac{I_{Dout}}{g_{m2}}\right) = 0 \quad (3.27)$$

Resolvendo o sistema de equações e isolando I_{Dout} tem-se:

$$I_{Dout} = \frac{v_{out}}{\left\{ r_{d3} + \frac{[1 + g_{m3}r_{d3}(1 + g_{m1}r_1)]}{g_{m2}} \right\}} \quad (3.28)$$

E a partir da equação (3.28), através da lei de Ohm, pode-se obter a resistência de saída do espelho de corrente, apresentada na equação (3.29):

$$r_{out} = \frac{g_{m1}r_1 g_{m3}r_{d3}}{g_{m2}} = (g_{m1}r_1) \left(\frac{g_{m3}}{g_{m2}} \right) r_{d3} \quad (3.29)$$

Observando a melhora apresentada no valor da resistência de saída do circuito com três transistores utilizando uma fonte de corrente no ramo de entrada, a arquitetura Wilson apresenta vantagem substancial.

3.2.2 Arquitetura Cascode [3.8]

Com o mesmo intuito que a arquitetura Wilson, de aumentar a resistência de saída dos espelhos de corrente, foi desenvolvida um circuito com uma pequena diferença em relação à arquitetura Wilson [3.8]. Esta estrutura ficou conhecida como arquitetura Cascode, também é formada por quatro transistores, na configuração de dois circuitos na arquitetura fonte comum em Cascode. Portanto, a diferença entre as arquiteturas Wilson e Cascode é que as portas dos transistores Q_1 e Q_2 estão conectados a fonte do transistor Q_4 , como visto na figura 3.11.

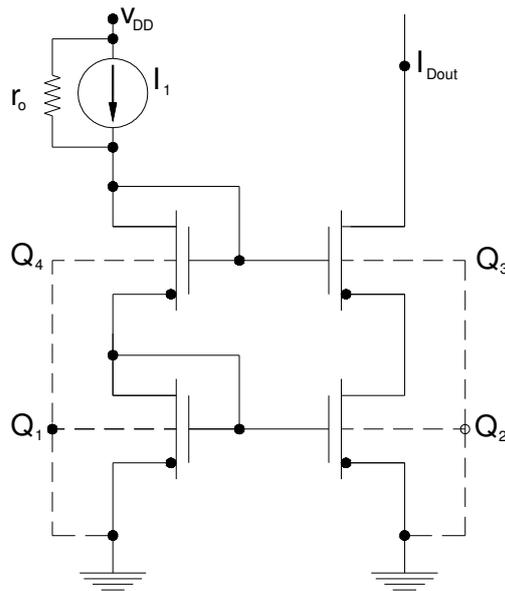


Figura 3.11 – Esquema elétrico do espelho de corrente equivalente à arquitetura cascode com a representação elétrica da corrente de entrada.

Na figura 3.12, é apresentado o circuito equivalente para pequenos sinais da arquitetura Cascode. A intenção do circuito é também manter a corrente I_{Dout} o mais estável possível e também equalizar os potenciais dos transistores Q_1 e Q_2 .

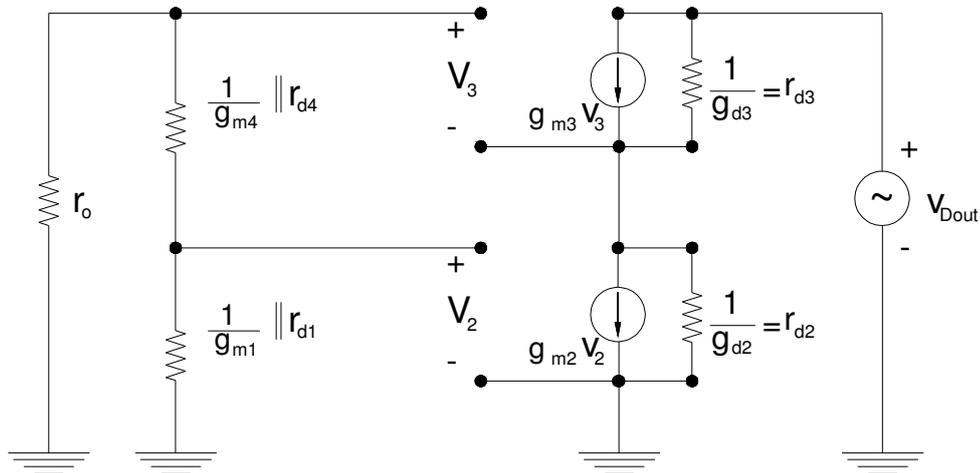


Figura 3.12 – Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Cascode com a representação elétrica da corrente de entrada.

onde $g_{m3}V_3$ é uma fonte corrente associado ao transistor Q_3 , $g_{m2}V_2$ é uma fonte corrente associado ao transistor Q_2 , r_{d3} é a resistência equivalente do transistor Q_3 , r_{d2} é a resistência

equivalente do transistor Q_2 , r_{d4} é a resistência equivalente do transistor Q_4 , r_{d1} é a resistência equivalente do transistor Q_1 , r_0 é a resistência interna da fonte de corrente I_1 apresentado na figura 3.11, V_2 é a tensão entre fonte e dreno do transistor Q_2 e V_3 a tensão entre fonte e dreno do transistor Q_3 .

Pode-se fazer algumas simplificações, como substituir as fontes de corrente auto controladas $g_{m4}V_4$ e $g_{m1}V_1$, por resistores equivalentes $\frac{1}{g_{m4}}$ e $\frac{1}{g_{m1}}$, respectivamente. Como são resistências com valores bem menores que as resistências r_{d4} e r_{d1} , que estão respectivamente em paralelo, devido a esta diferença entre os valores de resistência, pode-se desconsiderá-las.

Com essas alterações, temos a simplificação do circuito equivalente para pequenos sinais da arquitetura Cascode, que pode ser visto na figura 3.13.

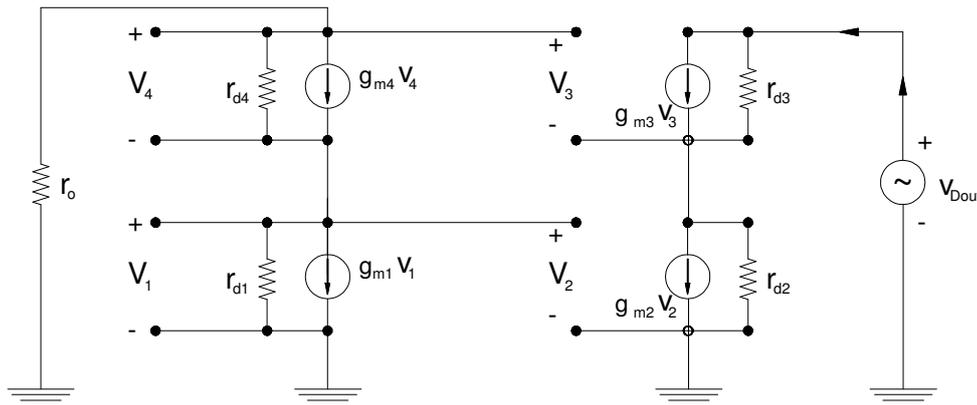


Figura 3.13 – Simplificação do modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Cascode.

Fazendo uma análise da figura 3.13, pode-se dizer que a impedância de entrada se reduz em relação às outras arquiteturas, pois, a impedância interna da fonte de corrente I_{Din} , a resistência r_0 , está em paralelo com os resistores $\frac{1}{g_{m4}}$ e $\frac{1}{g_{m1}}$, que estão em série.

Calculando a malha de saída do circuito da figura 3.13, tem-se a resistência de saída do espelho de corrente da arquitetura cascode, apresentada na equação (3.29).

$$r_{out} = r_{d2} + r_{d3} + g_{m3}r_{d3}r_{d2} \quad (3.30)$$

Desprezando-se a resistência r_{d2} e r_{d3} em relação ao seu produto, pode se reescrever a equação (3.30):

$$r_{out} = (g_{m3}r_{d2})r_{d3} \quad (3.31)$$

Da mesma forma que a arquitetura Wilson, a arquitetura Cascode de espelho de corrente também necessita de um valor maior da tensão nos transistores de saída, e com isso diminui a possibilidade de uma maior flexibilidade da excursão da tensão de saída do espelho de corrente.

4 SIMULAÇÕES

Neste capítulo serão apresentados os resultados das simulações dos dispositivos GC SOI MOSFET, do dispositivo SOI convencional e dos circuitos de espelhos de corrente. As simulações foram feitas em dois simuladores diferentes com intuito de mostrar que o modelo equivalente do GC SOI, utilizado neste trabalho para as simulações feitas com o simulador SPICE, e que até então foram utilizadas apenas em dispositivos individuais, é válido também para simulação de circuitos, em particular os circuitos de espelhos de corrente.

Este capítulo está dividido em itens: como de apresentação da calibração entre os simuladores de circuitos (SPICE) e o simulador numérico (ATLAS) para os dispositivos GC SOI e dispositivos SOI convencional e a simulação dos circuitos de espelhos de corrente nas arquiteturas fonte comum, Wilson e Cascode.

Para isso, serão apresentadas as curvas de $I_{DS} \times V_{GF}$, onde serão vistos os valores da tensão de limiar e os valores de transcondutância de cada dispositivo variando V_{DS} e, as curvas $I_{DS} \times V_{DS}$, onde será conferido os valores de nível de corrente com diferentes valores aplicados de sobre-tensão V_{GF} .

Serão apresentadas as comparações das simulações das diferentes arquiteturas, verificando a excursão de saída, a resistência de saída, bem como a precisão de espelhamento.

4.1 Calibrações dos simuladores

As simulações foram feitas na temperatura de 300K. Foram usados dispositivos silicon-on-insulator (SOI) com material tipo P, concentração de dopantes de $N_{aLD}=10^{15} \text{ cm}^{-3}$, e para o GC SOI na região fortemente dopada (L_{HD}) de $N_{aHD}=5 \times 10^{16} \text{ cm}^{-3}$, todos com comprimento de canal de $L=2\mu\text{m}$ e largura de canal de $W=1\mu\text{m}$, as espessuras de óxido enterrado e óxido de porta de $t_{oxb}=390\text{nm}$ e $t_{oxf}=30\text{nm}$, respectivamente, e espessura da camada de silício $t_{si}=80\text{nm}$. Nos transistores SOI convencionais foram utilizadas as mesmas dimensões e uma concentração de dopantes igual a $N_a=5 \times 10^{16} \text{ cm}^{-3}$.

Nas simulações feitas com o simulador numérico ATLAS, foram utilizados alguns modelos físicos que consideram a dependência da mobilidade com a velocidade de saturação (FLDMOB) e concentração de dopantes (KLA), dependência do tempo de vida dos portadores com a concentração de dopantes (CONSRH), geração de portadores por ionização por impacto (IMPACT SELB), recombinação e geração de portadores (AUGER) e (SRH),

estreitamento da faixa proibida (BGN) e da degradação da mobilidade de portadores com o campo elétrico (SHI).

Para as simulações feitas com o simulador analítico SPICE, os parâmetros foram baseados no modelo analítico contínuo apresentado no item 2.5 e o critério de ajuste destes parâmetros serão descritos no decorrer deste trabalho. Nos apêndices A e B podem ser vistos exemplos de arquivos de simulação usados neste trabalho.

Foi utilizado para as simulações dos espelhos de corrente o modelo disponível no ATLAS para simulação de circuito chamado de “Mixed-Mode”, neste modelo utilizamos as estruturas criadas para os transistores individuais com os parâmetros descritos acima e formamos os circuitos desejados com as estruturas de dispositivos.

4.1.1 Critério para ajuste de parâmetros

Para o ajuste dos parâmetros do simulador SPICE, partindo das curvas características obtidas das simulações ATLAS com os modelos físicos descritos no item anterior, foram levantadas as curvas $I_{DS} \times V_{GF}$ e $I_{DS} \times V_{DS}$ de dispositivos SOI convencionais com concentração de dopantes $N_{af,HD}$ e $N_{af,LD}$. Desta forma, é possível obter alguns parâmetros para o GC SOI através dos transistores SOI convencionais, uma vez que o modelo equivalente é baseado na associação série de dois transistores SOI convencionais.

Através da segunda derivada da curva $I_{DS} \times V_{GF}$, com baixa tensão aplicada ao dreno, foi possível extrair as tensões de limiar em inversão forte $V_{thf,HD}$ e $V_{thf,LD}$ determinadas a partir do ponto de máximo da curva [4.1]. As tensões de limiar em inversão fraca, $V_{thi,HD}$ e $V_{thi,LD}$ foram retiradas através da equação $V_{thi} = V_{thf} - 2v_T$ [4.2]. O fator de corpo n , extraído através do inverso da inclinação da curva $I_{DS} \times V_{GF}$, medida com baixa tensão de dreno, na região sublimiar.

A partir da curva $I_{DS} / \sqrt{g_m}$ em função da tensão de porta, foi possível encontrar as constantes de espalhamento, que são responsáveis pela degradação da mobilidade devido ao campo elétrico.

A velocidade de saturação dos elétrons de 1×10^5 m/s em temperatura ambiente foi considerada como constante em ambas as regiões do canal ($V_{sat,HD}$ e $V_{sat,LD}$). Também foi possível determinar o parâmetro A_{TS} através do ajuste da transição entre as regiões de triodo e saturação. Outro parâmetro que pode ser extraído é o S_{NT} , ajustando a transição entre os

regimes de inversão fraca e forte. Os valores da resistência de fonte e dreno r_d também podem ser estimados a partir de sua área.

Através destes parâmetros iniciais, foram feitas pequenas variações nos valores, sem que estes perdessem seu significado físico. Este procedimento é realizado através de comparações das curvas simuladas até se chegar uma concordância satisfatória entre si. Feito todo o procedimento com os dispositivos SOI convencionais com diferentes concentrações de dopantes, forma-se o dispositivo GC SOI. Novamente, pequenas alterações nos valores iniciais foram realizadas para melhorar o ajuste entre as simulações realizadas com os simuladores ATLAS e SPICE.

4.1.2 Calibração dos simuladores para dispositivos individuais

Neste item, serão apresentadas as curvas de $I_{DS} \times V_{GF}$ e $I_{DS} \times V_{DS}$, dos dispositivos GC SOI com L_{LD}/L variável e do dispositivo SOI convencional. As curvas $I_{DS} \times V_{GF}$ estarão dispostas em duas formas no mesmo gráfico, em escala logarítmica e na escala linear. Serão apresentados os gráficos da transcondutância, sempre fazendo uma comparação dos dois simuladores para cada dispositivo.

As curvas $I_{DS} \times V_{GF}$ serão apresentadas com valores de tensão entre fonte e dreno (V_{DS}) em 0,1V; 1V; 1,5V; 2V, para os transistores SOI Convencional e GC SOI com as seguintes relações de L_{LD}/L : 0,2; 0,3; 0,4; 0,5; 0,6.

Para as curvas $I_{DS} \times V_{DS}$ os valores de tensão de porta (V_{GF}) com sobre-tensão V_{GT} de 200mV; 500mV e 800mV, foram utilizados também para os transistores SOI Convencional e GC SOI com as relações de L_{LD}/L anteriormente mencionadas.

Em todas as curvas apresentadas, os resultados obtidos com o simulador SPICE serão representados por linhas e o do simulador ATLAS será representado por símbolos.

4.1.2.1 Curvas da corrente de dreno em função da tensão de porta

A figura 4.1 apresenta a curva $I_{DS} \times V_{GF}$ com $V_{DS}=0,1V$ para todos os dispositivos estudados. Utilizando estas curvas foi obtida a transcondutância (g_m) do dispositivo, também em função de V_{GF} , a qual está apresentada na figura 4.2. As curvas de transcondutância foram obtidas através da derivada da curva $I_{DS} \times V_{GF}$ em função de V_{GF} .

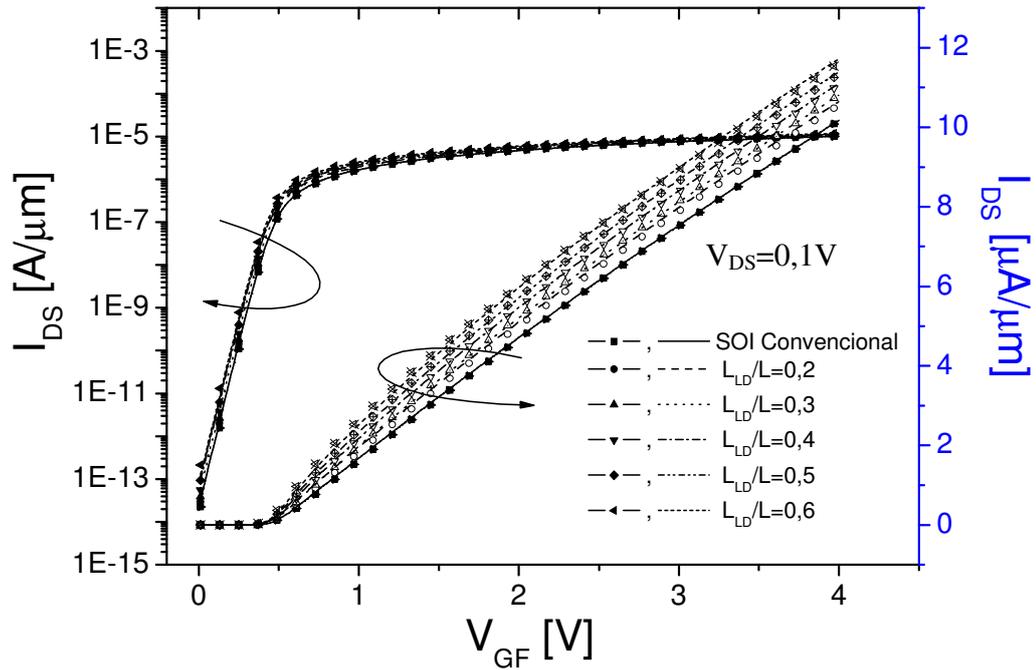


Figura 4.1 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos transistores SOI Conventional e GC SOI obtida com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 0,1V.

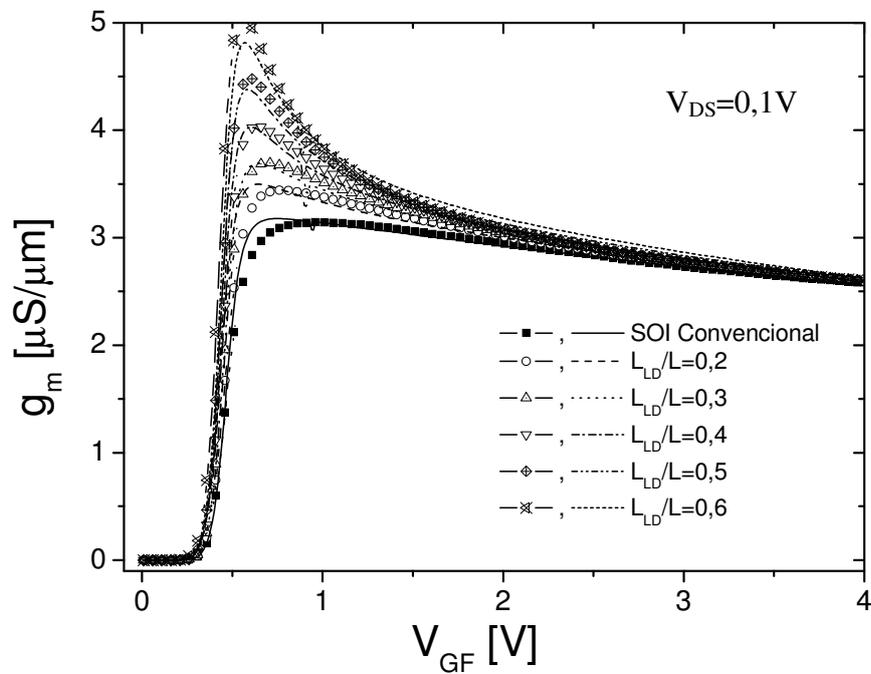


Figura 4.2 – Curvas $g_m \times V_{GF}$ dos transistores SOI Conventional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 0,1V.

Um excelente ajuste de parâmetros foi obtido tanto nas curvas da figura 4.1, em ambas as escalas, bem como nas curvas da figura 4.2. Deste modo, o modelo equivalente do transistor GC SOI utilizado no simulador SPICE descreve satisfatoriamente as características de todos os transistores estudados quando $V_{DS}=0,1V$.

Na Tabela 4.1 estão apresentados os valores das transcondutâncias máximas de cada transistor, com seus cálculos de erros entre o simulador ATLAS e o simulador SPICE para cada transistor, tomando-se o simulador ATLAS como referência.

Tabela 4.1 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=0,1V$.

Dispositivos SOI	Convencional	$L_{LD}/L = 0,2$	$L_{LD}/L = 0,3$	$L_{LD}/L = 0,4$	$L_{LD}/L = 0,5$	$L_{LD}/L = 0,6$
ATLAS (S)	3,143 μ	3,443 μ	3,695 μ	4,038 μ	4,480 μ	5,06 μ
SPICE (S)	3,180 μ	3,490 μ	3,691 μ	4,028 μ	4,380 μ	4,98 μ
ERRO	1,16 %	1,35 %	0,11 %	0,25 %	2,23 %	1,58 %

Observando a Tabelas 4.1 pode-se dizer que os valores de erro abaixo de 3 %, são aceitáveis para considerarmos a calibração dos simuladores para a tensão de $V_{DS}=0,1V$.

Nas figuras 4.3 e 4.4 são apresentas as curvas da corrente de dreno, em escala logarítmica e linear e as curvas de transcondutância (g_m), ambas em função de V_{GF} e com tensão de dreno de 1V.

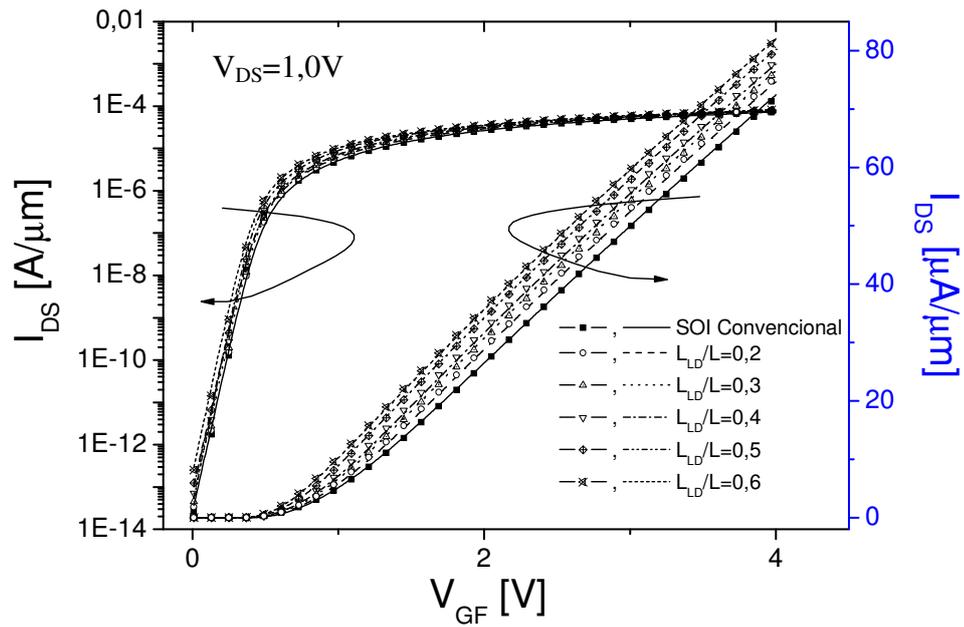


Figura 4.3 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos simuladores ATLAS e SPICE com tensão entre fonte e dreno de 1V.

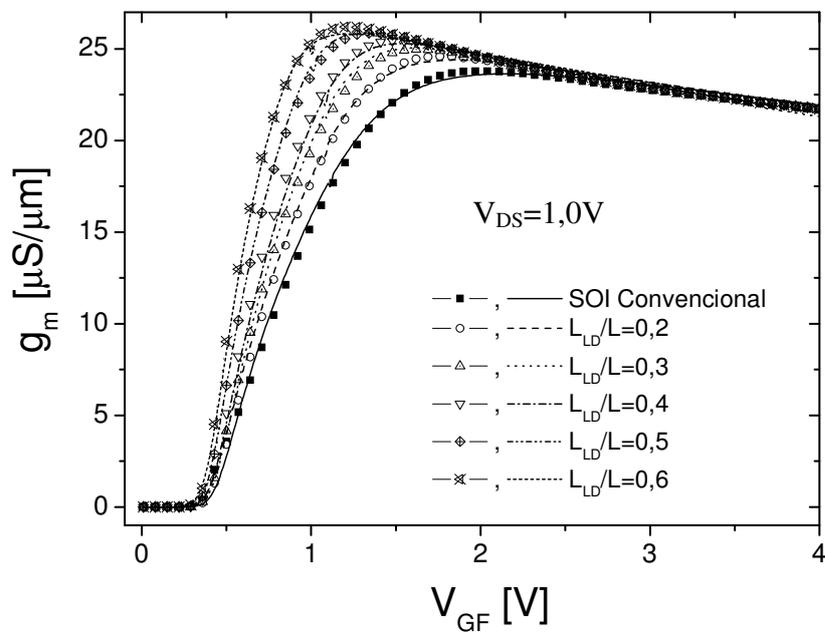


Figura 4.4 – Curvas $g_m \times V_{GF}$ dos transistores SOI Convencional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 1V.

Novamente, na Tabela 4.2 são comparados os valores da transcondutância máxima para os transistores SOI MOSFET convencional e GC SOI MOSFET com L_{LD}/L , variável e tensão entre fonte e dreno de 1V, e, o erro obtido.

Tabela 4.2 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=1V$.

Dispositivos SOI	Convencional	$L_{LD}/L = 0,2$	$L_{LD}/L = 0,3$	$L_{LD}/L = 0,4$	$L_{LD}/L = 0,5$	$L_{LD}/L = 0,6$
ATLAS (S)	$2,380 \times 10^{-5}$	$2,459 \times 10^{-5}$	$2,497 \times 10^{-5}$	$2,545 \times 10^{-5}$	$2,587 \times 10^{-5}$	$2,620 \times 10^{-5}$
SPICE (S)	$2,364 \times 10^{-5}$	$2,347 \times 10^{-5}$	$2,468 \times 10^{-5}$	$2,479 \times 10^{-5}$	$2,560 \times 10^{-5}$	$2,661 \times 10^{-5}$
ERRO (%)	0,68 %	4,55 %	1,16 %	2,60 %	1,04 %	1,54 %

As figuras 4.5 e 4.6 apresentam as curvas $I_{DS} \times V_{GF}$, em escala logarítmica e linear, e $g_m \times V_{GF}$, ambas com $V_{DS}=1,5V$.

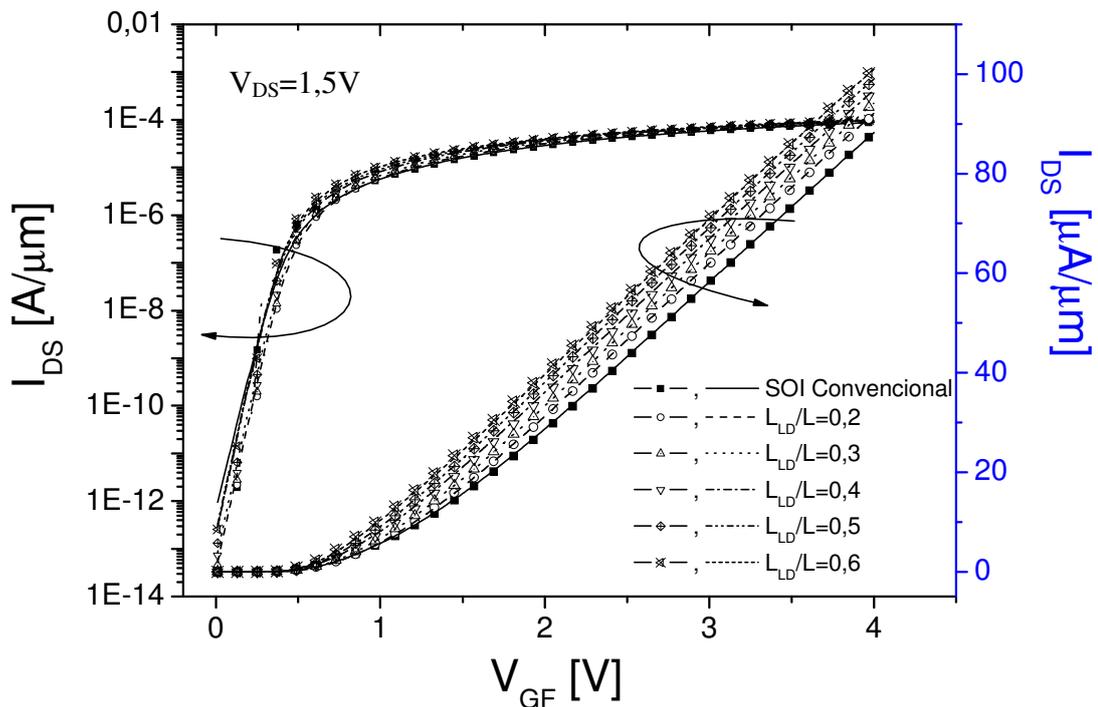


Figura 4.5 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos simuladores ATLAS e SPICE com tensão entre fonte e dreno de 1,5V.

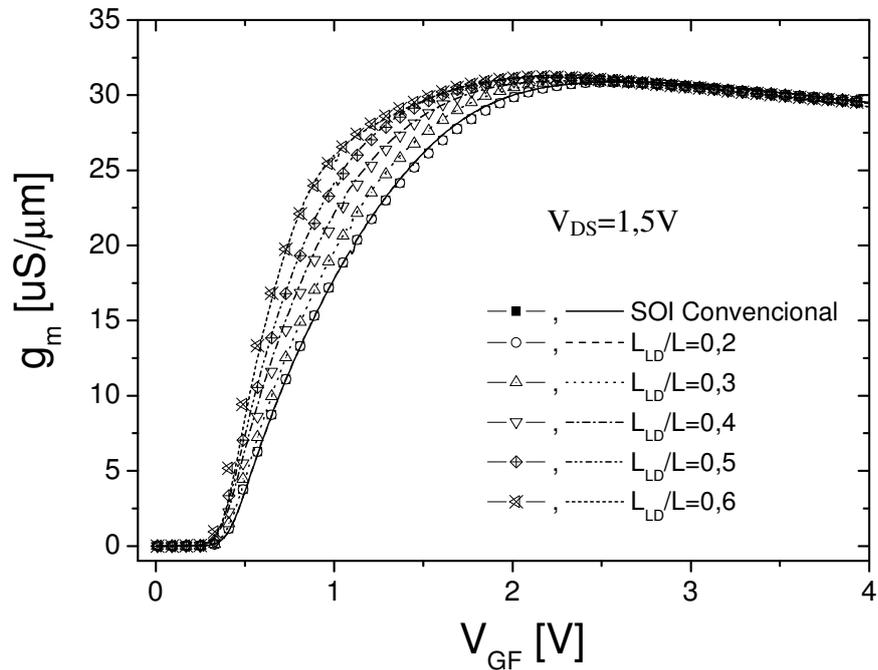


Figura 4.6 – Curvas $g_m \times V_{GF}$ dos transistores SOI Convencional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 1,5V.

Na tabela 4.3 são apresentados os valores da transcondutância máxima para os transistores SOI MOSFET convencional e GC SOI MOSFET com as relações de L_{LD}/L , com a tensão entre fonte e dreno no valor de 1,5V.

Tabela 4.3 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=1,5V$.

Dispositivos SOI	Convencional	$L_{LD}/L = 0,2$	$L_{LD}/L = 0,3$	$L_{LD}/L = 0,4$	$L_{LD}/L = 0,5$	$L_{LD}/L = 0,6$
ATLAS (S)	$3,080 \times 10^{-5}$	$3,09 \times 10^{-5}$	$3,1 \times 10^{-5}$	$3,11 \times 10^{-5}$	$3,118 \times 10^{-5}$	$3,12 \times 10^{-5}$
SPICE (S)	$3,110 \times 10^{-5}$	$3,12 \times 10^{-5}$	$3,157 \times 10^{-5}$	$3,16 \times 10^{-5}$	$3,184 \times 10^{-5}$	$3,25 \times 10^{-5}$
ERRO (%)	0,97 %	0,96%	1,80 %	1,58 %	2,07 %	4,00%

Os resultados obtidos mostram que o simulador SPICE descreve satisfatoriamente o comportamento dos GC SOI com quaisquer relações L_{LD}/L , com erros inferiores a 5%.

Nas figuras 4.7 e 4.8, são apresentadas as curvas de corrente de dreno em função da tensão de porta, e as curvas de transcondutância, ambas com a tensão de dreno em 2V.

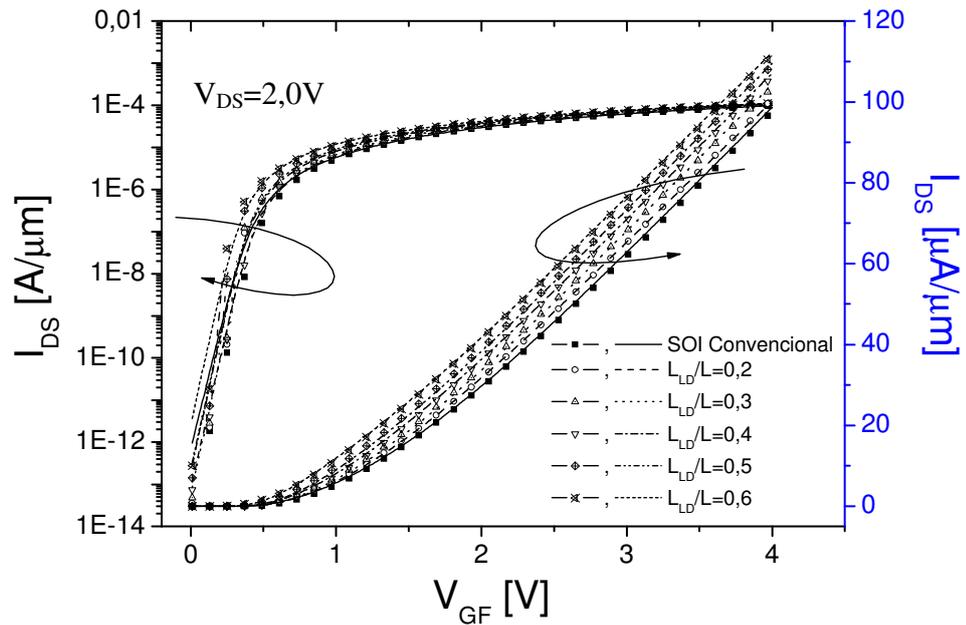


Figura 4.7 – Curvas $I_{DS} \times V_{GF}$ em escala logarítmica e escala linear dos simuladores ATLAS e SPICE com tensão entre fonte e dreno de 2V.

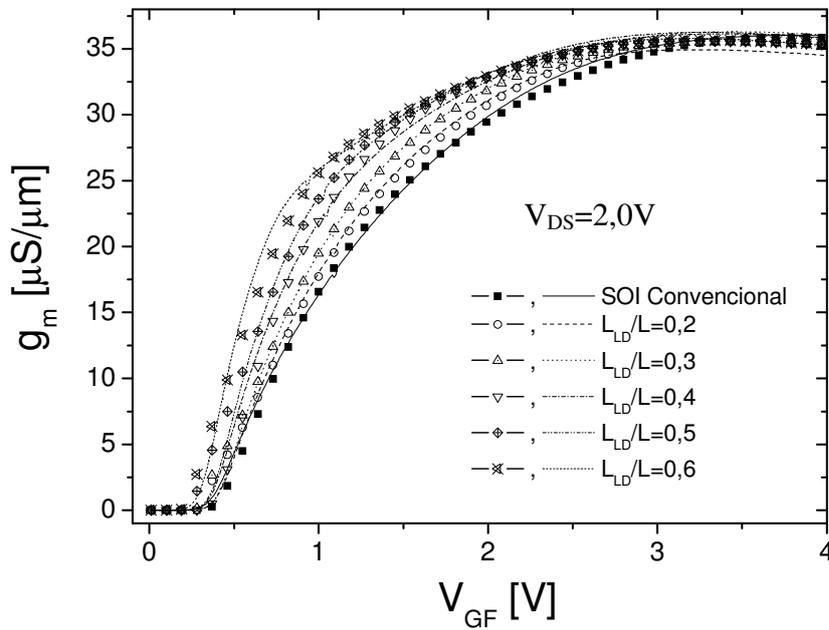


Figura 4.8 – Curvas $g_m \times V_{GF}$ dos transistores SOI Convencional e GC SOI obtidas com os simuladores ATLAS e SPICE, com tensão entre fonte e dreno de 2V.

Como nos casos anteriores, a Tabela 4.4 mostra os valores da transcondutância máxima para os transistores SOI MOSFET convencional e GC SOI MOSFET com as relações de L_{LD}/L , com a tensão entre fonte e dreno no valor de 2V.

Tabela 4.4 – Tabela dos valores da transcondutância máxima e para o transistor SOI convencional e GC SOI com o cálculo do erro entre os simuladores SPICE e ATLAS para $V_{DS}=2V$.

Dispositivos SOI	Convencional	$L_{LD}/L = 0,2$	$L_{LD}/L = 0,3$	$L_{LD}/L = 0,4$	$L_{LD}/L = 0,5$	$L_{LD}/L = 0,6$
ATLAS (S)	$3,587 \times 10^{-5}$	$3,560 \times 10^{-5}$	$3,552 \times 10^{-5}$	$3,558 \times 10^{-5}$	$3,561 \times 10^{-5}$	$3,565 \times 10^{-5}$
SPICE (S)	$3,684 \times 10^{-5}$	$3,483 \times 10^{-5}$	$3,683 \times 10^{-5}$	$3,602 \times 10^{-5}$	$3,668 \times 10^{-5}$	$3,748 \times 10^{-5}$
ERRO (%)	2,63%	4,55 %	3,56 %	2,60 %	2,92 %	4,88 %

De modo geral, as comparações entre as curvas obtidas pelo simulador ATLAS e o modelo equivalente do GC SOI. Utilizado nas simulações SPICE apresenta em erro aceitável com qualquer V_{DS} estudado, podendo ser utilizado nas simulações dos espelhos de corrente.

4.1.2.2 Curva da corrente de dreno em função da tensão de dreno

A seguir são apresentadas as curvas $I_{DS} \times V_{DS}$ com sobre-tensões V_{GT} de 200mV, 500mV e 800mV, para os transistores SOI Convencional e GC SOI com as relações de L_{LD}/L : 0,2; 0,3; 0,4; 0,5; 0,6. Estas curvas permitem verificar se o modelo equivalente implementando no simulador SPICE é capaz de descrever satisfatoriamente a condutância de dreno dos diversos transistores estudados, com diferentes valores de V_{GT} . Os valores de g_D obtidos das curvas $I_{DS} \times V_{DS}$ serão apresentados apenas para os dispositivos SOI Convencional e GC SOI de relação $L_{LD}/L=0,5$. As outras relações de L_{LD}/L também foram simuladas mas não foram apresentadas aqui uma vez que os ajustes resultaram com erros muito pequenos e similares.

Na figura 4.9 são apresentadas as curvas de corrente de dreno em função da tensão de dreno, com valor de sobre-tensão de 200mV para todos os dispositivos simulados.

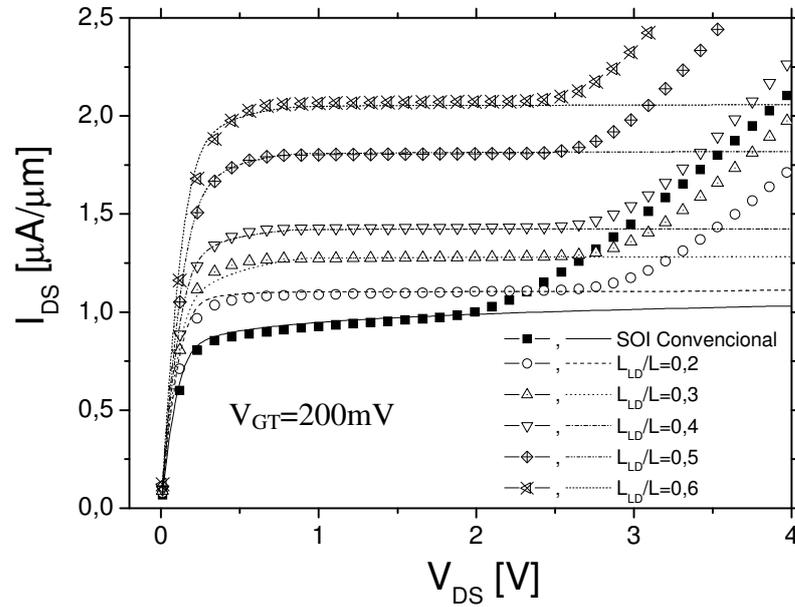


Figura 4.9 – Curva $I_{DS} \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com V_{GT} de 200mV.

Através da figura 4.9 podemos extrair pela derivada de I_{DS}/V_{DS} a curva $g_D \times V_{DS}$.

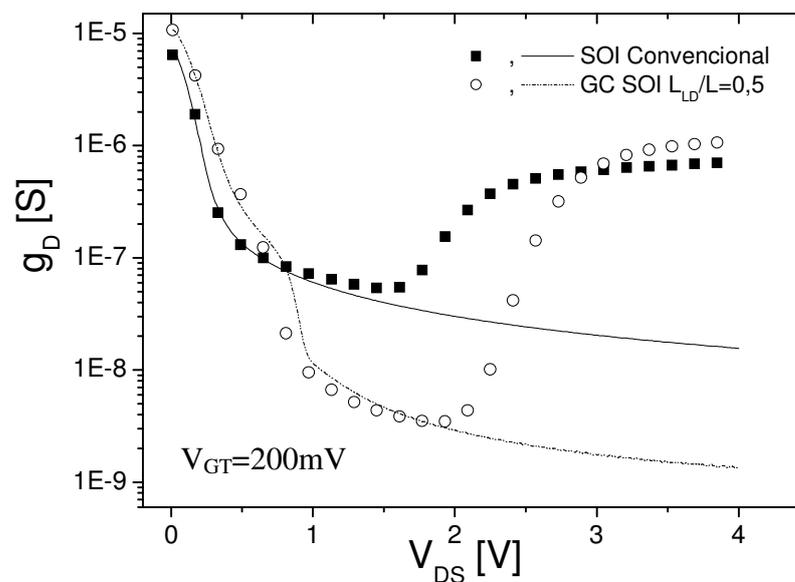


Figura 4.10 – Curva $g_D \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com $L_{LD}/L=0,5$ e V_{GT} de 200mV.

As figuras 4.11 e 4.12 apresentam a curva da corrente de dreno em função da tensão de dreno e a curva da condutância de dreno pela tensão de dreno, com valor de sobre-tensão de 500mV, respectivamente.

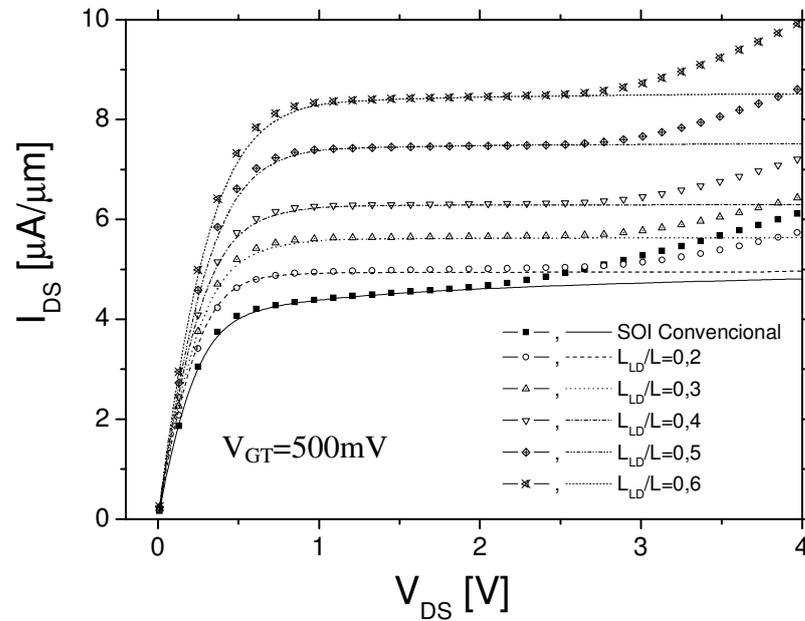


Figura 4.11 – Curva $I_{DS} \times V_{DS}$ dos simuladores ATLAS e SPICE para o dispositivo SOI MOSFET Convencional com tensão V_{GT} de 500mV.

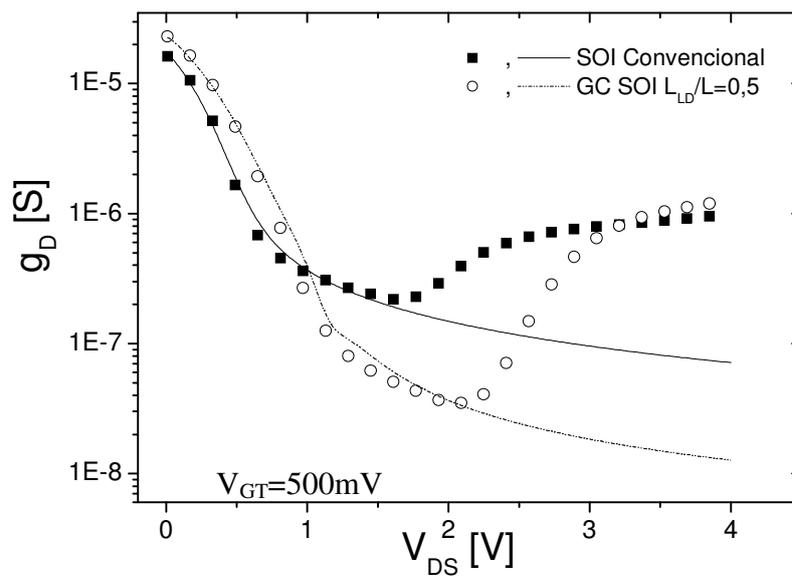


Figura 4.12 – Curva $g_D \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com L_{LD}/L 0,5 e V_{GT} de 500mV.

Nas figuras 4.13 e 4.14 são apresentadas as curvas da corrente de dreno em função da tensão de dreno e a curva da condutância de dreno pela tensão de dreno, com valor de sobre-tensão de 800mV.

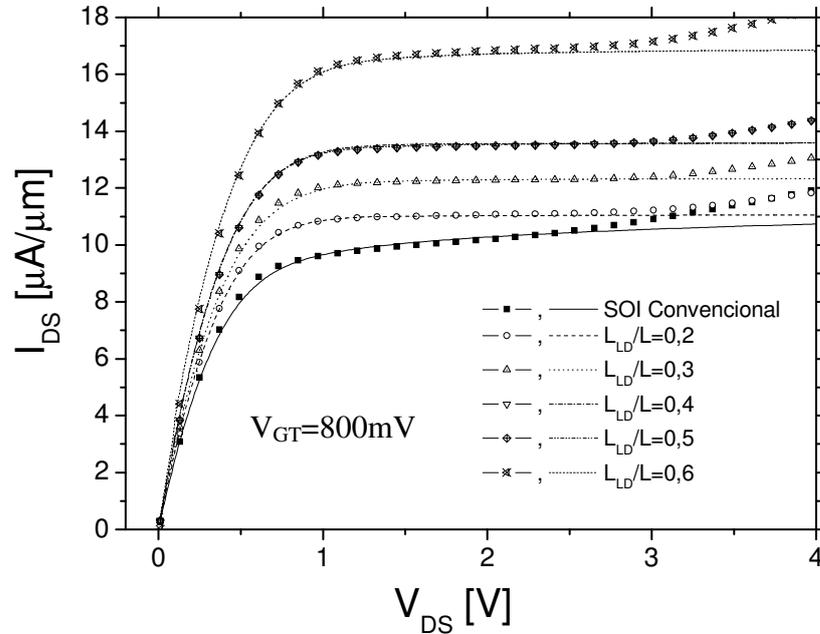


Figura 4.13 – Curva $I_{DS} \times V_{DS}$ dos simuladores ATLAS e SPICE para o dispositivo SOI MOSFET Convencional com tensão V_{GT} de 800mV.

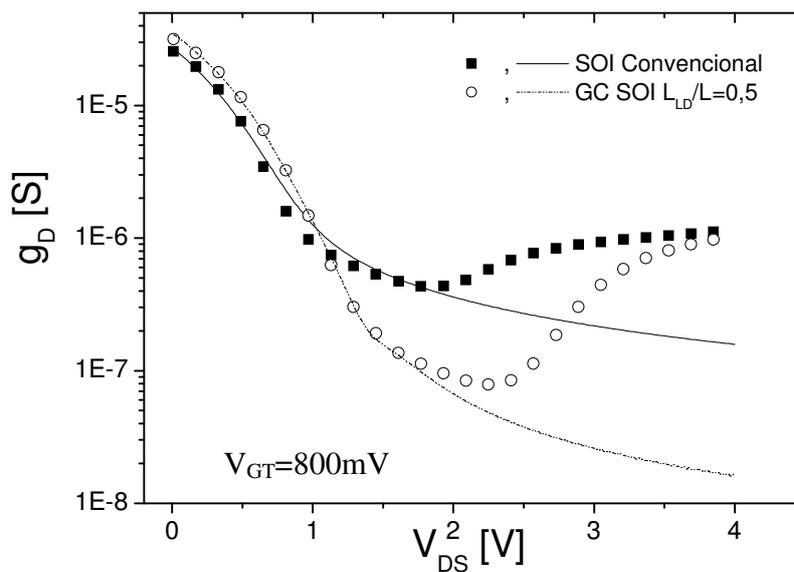


Figura 4.14 – Curva $g_D \times V_{DS}$ dos simuladores ATLAS e SPICE para os dispositivos SOI Convencional e GC SOI com L_{LD}/L 0,5 e V_{GT} de 800mV.

Nas curvas das figuras 4.9, 4.10, 4.11, 4.12, 4.13 e 4.14, pode ser vista a comparação do simulador ATLAS e o modelo equivalente de GC SOI implementado no simulador SPICE, para cada dispositivo estudados separadamente. Tanto a condutância de dreno como a tensão de saturação, está bem ajustada pelo simulador SPICE em todas as estruturas GC SOI, como visto também na tabela 4.5. Os resultados obtidos foram satisfatórios, devido aos erros calculados estarem abaixo de 5 % nos valores de transcondutância e uma ótima precisão entre os simuladores com relação a condutância de dreno. É possível identificar que o simulador SPICE não inclui o modelo de ionização por impacto, ocasionando uma maior diferença entre os resultados de g_D obtidos em ambos os simuladores. Entretanto os circuitos são geralmente polarizados de modo a evitar esta região, o que valida a comparação feita entre os dois simuladores.

A medida que o valor de V_{GT} é aumentado, diminui a diferença entre os resultados obtidos pelo SPICE e ATLAS com elevados V_{DS} . Isto se deve ao fato de que com maiores V_{GT} , diminui a ionização por impacto para o mesmo V_{DS} , em virtude da maior tensão de saturação.

4.2 Simulação da Precisão de Espelhamento

Nesta seção serão apresentadas as curvas que possibilitam a verificação da precisão de espelhamento dos circuitos de espelho de corrente, nas arquiteturas fonte comum, Wilson e Cascode, em função da corrente de dreno do transistor de entrada (I_{Din}).

A precisão de espelhamento demonstra a relação da corrente de saída em relação da corrente de entrada do espelho de corrente, indicando a precisão desta relação ao longo da tensão de saída. Quanto mais próxima da unidade for esta relação, considerando uma faixa da tensão de saída, melhor o espelhamento da corrente, com isso tornando o circuito mais eficaz.

A curva é obtida fixando a tensão de saída V_{Dout} , e variando a tensão de entrada V_{Din} , no intervalo $0V \leq V_{Din} \leq 4V$. Serão utilizadas diferentes tensões de saída ($V_{Dout} = 1, 1,5$ e $2V$). Assim, será também possível identificar se há alguma dependência com esta variável nas características dos espelhos de corrente.

Para a apresentação, as curvas resultantes serão representadas em função da corrente de entrada normalizada $I_{Din}/(W/L_{eff})$, permitindo a comparação do desempenho nas diversas regiões operacionais, desde a inversão fraca até a forte.

As curvas serão apresentadas primeiramente da arquitetura fonte comum, na seqüência a arquitetura Wilson e por último a arquitetura Cascode.

Todas as curvas terão os transistores SOI Convencional e GC SOI com as relações de $L_{LD}/L=0,2$; $0,4$ e $0,6$ apresentadas no mesmo gráfico. As outras relações de L_{LD}/L foram também simuladas mas foram suprimidas para permitir uma melhor visualização dos gráficos.

Os resultados do simulador SPICE serão representados por linhas e os do simulador ATLAS serão representados por símbolos, como na seção anterior.

4.2.1 Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na Arquitetura Comum

As figuras 4.15, 4.16 e 4.17 apresentam as curvas da precisão de espelhamento em função da corrente de entrada normalizada $I_{Din}/(W/L_{eff})$ obtidas com tensões de dreno $1,0V$, $1,5V$ e $2,0V$, respectivamente.

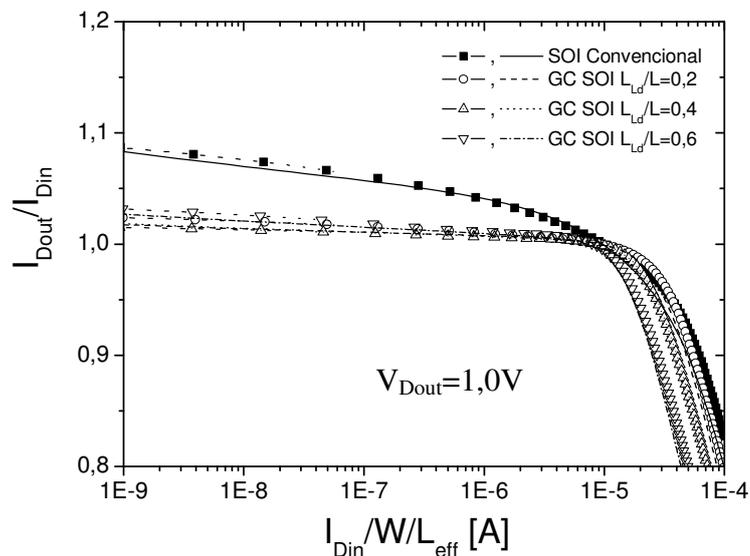


Figura 4.15 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de $1,0V$ na arquitetura fonte comum.

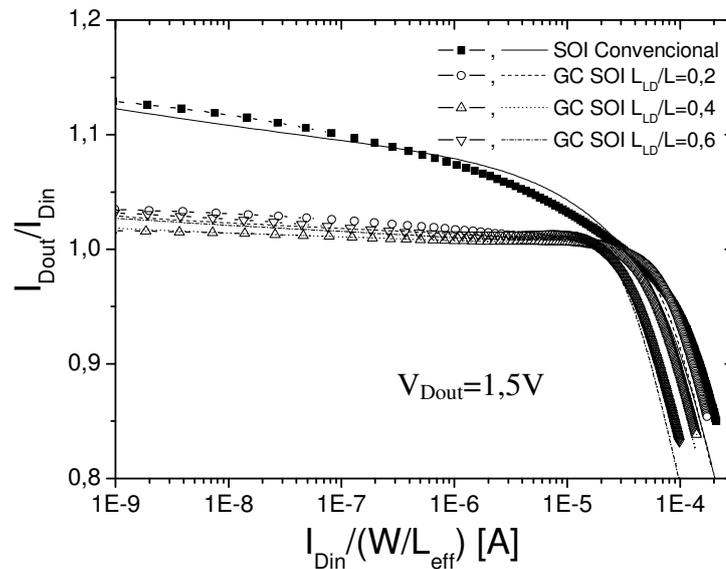


Figura 4.16 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,5V na arquitetura fonte comum.

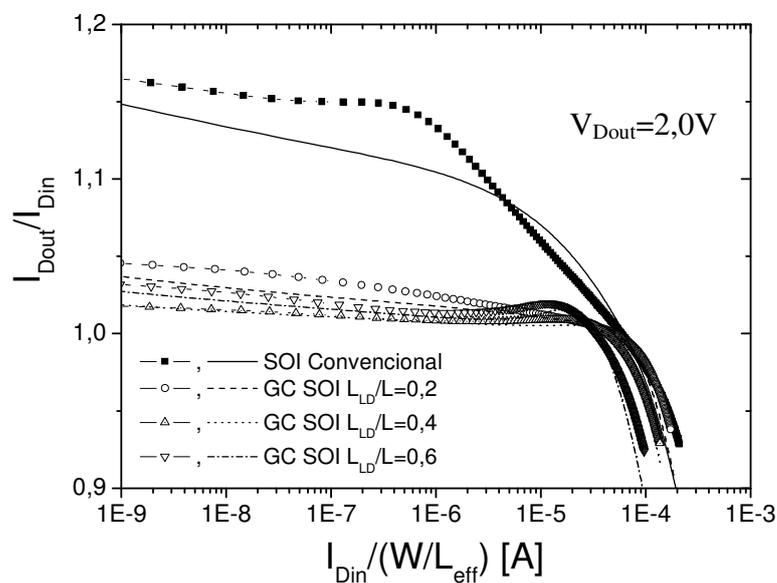


Figura 4.17 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 2,0V na arquitetura fonte comum.

Como visto a seqüência do item 4.2.3, onde são apresentadas as curvas de $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ com V_{Dout} de 2V, é possível observar na figura 4.17, que a curva do simulador ATLAS possui uma pequena elevação na relação de I_{Dout}/I_{Din} em relação aos valores obtidos

no simulador SPICE, devido a presença da ionização por impacto que se eleva com a presença da tensão de saída (V_{Dout}) maior, fazendo com que o transistor de saída sofra esta degradação antecipadamente. O simulador SPICE não acompanha a elevação da curva, pois não possui a implementação da ionização por impacto no modelo FDSOI utilizado no trabalho.

4.2.2 Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Wilson

As figuras 4.18, 4.19 e 4.20 apresentam as curvas da precisão do espelhamento dos diversos espelhos de corrente estudados, em função da corrente de entrada normalizada, utilizando a arquitetura Wilson e $V_{Dout}=1,0V$, $1,5V$, $2,0V$, respectivamente.

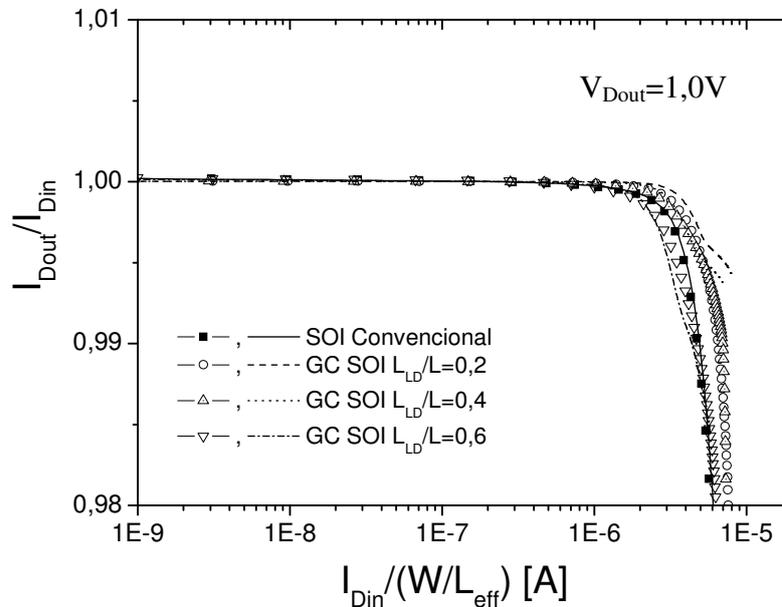


Figura 4.18 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de $1,0V$ na arquitetura Wilson.

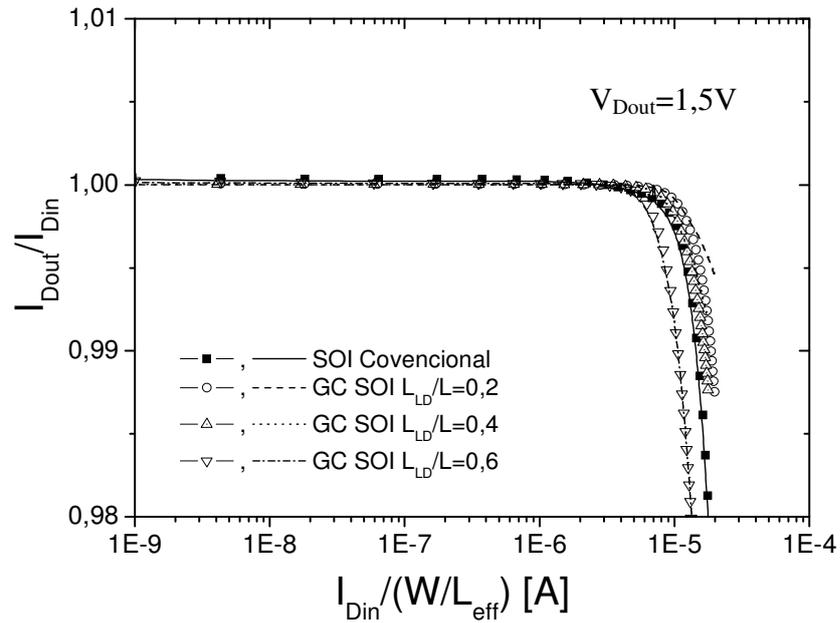


Figura 4.19 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,5V na arquitetura Wilson.

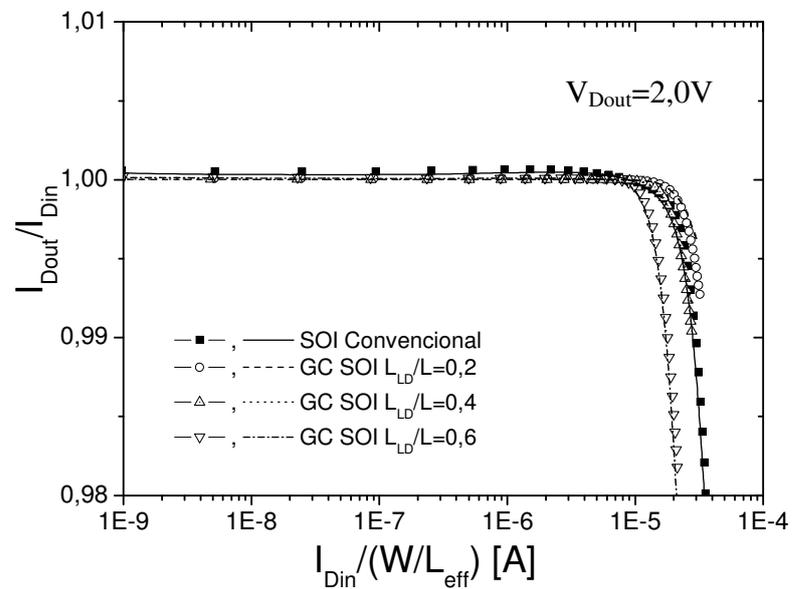


Figura 4.20 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 2,0V na arquitetura Wilson.

Como pode ser observado nas figuras 4.18, 4.19 e 4.20, novamente o modelo utilizado para descrever o transistor GC SOI pelo simulador SPICE responde satisfatoriamente, agora em circuitos mais complexos, com V_{Dout} na faixa de 1,0V e 2,0V, em todas as regiões operacionais.

4.2.3 Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Cascode

As figuras 4.21, 4.22 e 4.23 apresentam as curvas de espelhamento da corrente dos espelhos de corrente na arquitetura Cascode em função da corrente de entrada, com os valores de V_{Dout} de 1,0V, 1,5V e 2,0V, respectivamente.

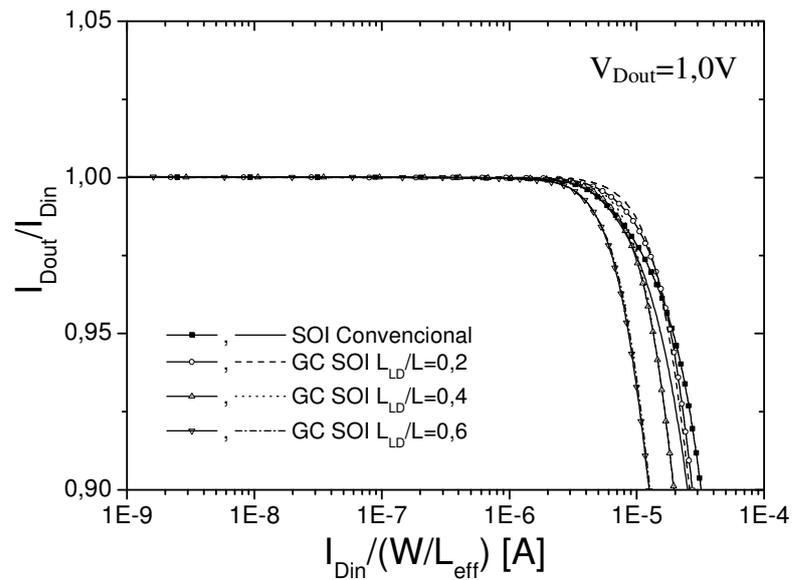


Figura 4.21 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,0V na arquitetura Cascode.

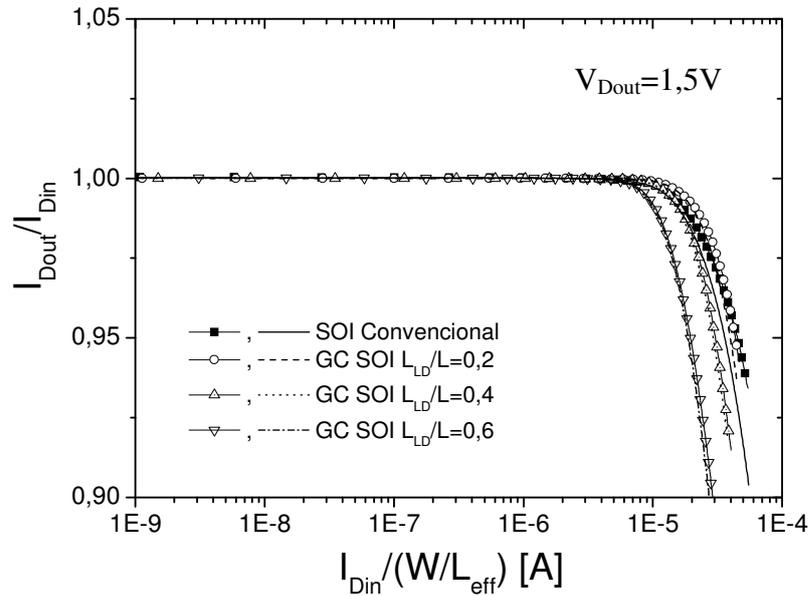


Figura 4.22 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 1,5V na arquitetura Cascode.

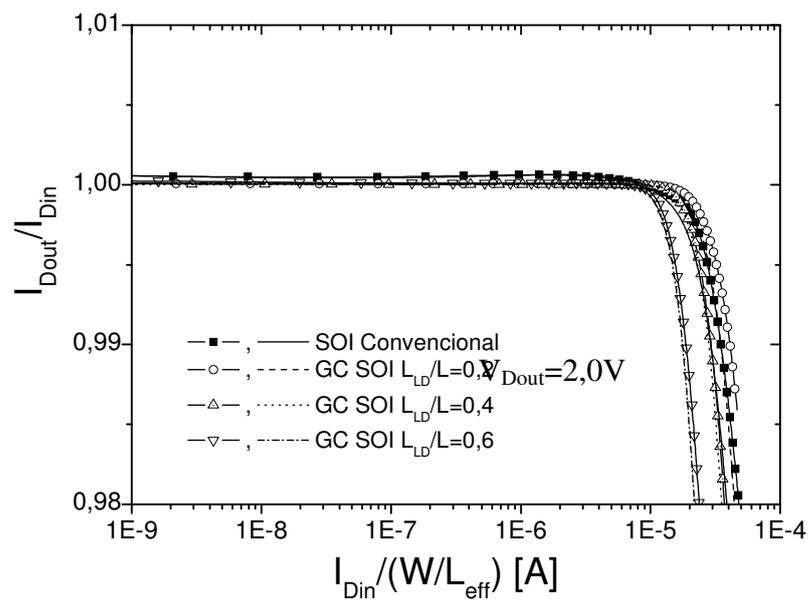


Figura 4.23 – Curvas $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ dos espelhos de corrente com transistores SOI Convencional e GC SOI obtidos com os simuladores ATLAS e SPICE para V_{Dout} de 2,0V na arquitetura Cascode.

Também na arquitetura Cascode, como observado nas figuras 4.21, 4.22 e 4.23, o modelo de simulação utilizado para GC SOI MOSFET no simulador SPICE oferece resultados satisfatórios. Assim, a partir dos resultados apresentados na seção 4.2, o modelo equivalente do transistor GC SOI implementado no simulador SPICE foi validado para a simulação de circuitos mais complexos, apresentando-se como uma ferramenta importante para o projeto de circuitos com este no transistor.

4.3 Análise dos Resultados Simulados

Nesta seção serão apresentadas as comparações entre as arquiteturas, observando as diferenças entre o dispositivo GC SOI MOSFET e o dispositivo SOI Convencional. As curvas serão dispostas observando as arquiteturas separadamente, com o objetivo de identificar as diferenças entre os dispositivos SOI MOSFET Convencionais e GC SOI MOSFET dentro de cada arquitetura.

Para a melhor visualização dos gráficos serão apresentados apenas o dispositivo SOI MOSFET Convencional e os dispositivos GC SOI MOSFET com as relações de L_{LD}/L de 0,2 e 0,5.

4.3.1 Análise da Precisão de Espelhamento

Como já discutido anteriormente, nas curvas $(I_{Din}/I_{Dout}) \times (I_{Din}/W/L_{eff})$ pode-se observar a capacidade do circuito de espelhar a corrente de entrada para o ramo de saída do circuito. As curvas abaixo apresentadas estão todas com o valor de tensão de saída de 1,5V.

As figuras 4.24, 4.25 e 4.26, apresentam as curvas de espelhamento de corrente dos espelhos de corrente nas arquiteturas Fonte Comum, Wilson e Cascode, respectivamente.

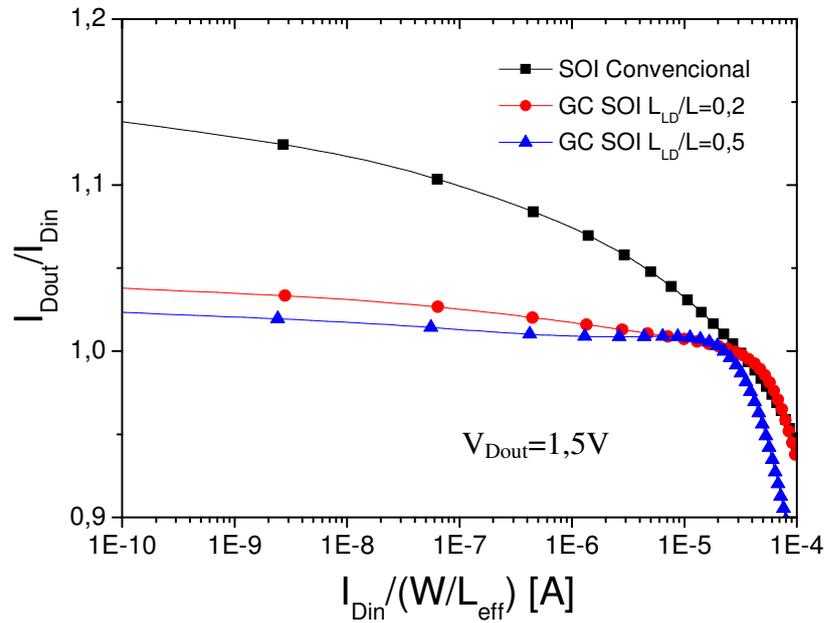


Figura 4.24 – Curva $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Fonte Comum com V_{Dout} de 1,5V.

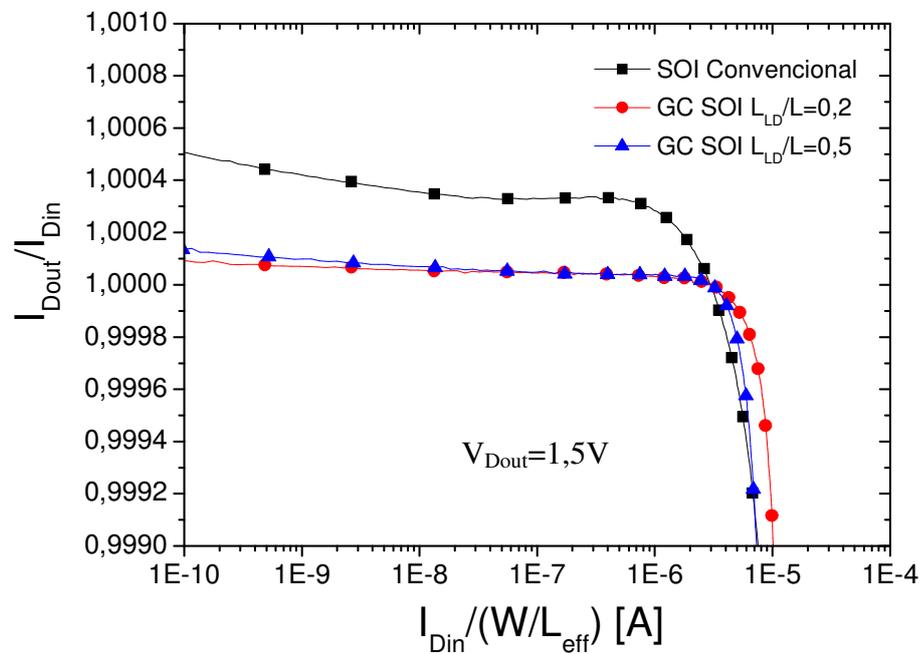


Figura 4.25 – Curva $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Wilson com V_{Dout} de 1,5V.

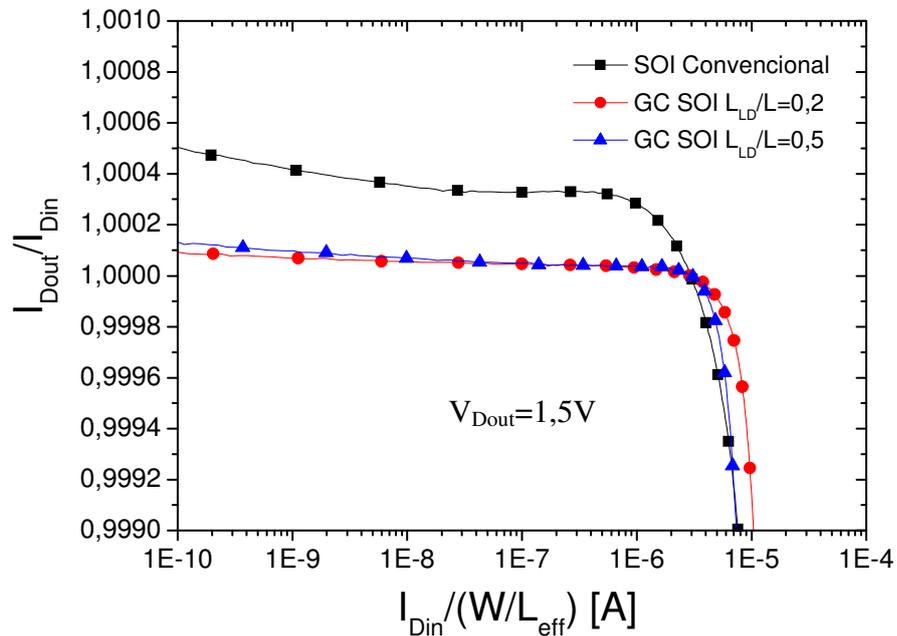


Figura 4.26 – Curva $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ na arquitetura Cascode com V_{Dout} de 1,5V.

Como se pode observar nas figuras 4.21, 4.22 e 4.23, os dispositivos GC SOI MOSFET apresentam um melhor valor de espelhamento, com os valores mais próximos da unidade, em todos os tipos de arquitetura estudados, em relação ao dispositivo SOI Convencional. Isto é devido ao valor da tensão Early, que nos dispositivos GC SOI MOSFET são superiores aos Convencionais. Outro ponto que influencia na precisão do espelhamento da corrente dos circuitos é a condutância de saída, que está diretamente relacionado com a resistência de saída dos espelhos de corrente. Como já visto, quanto maior for a tensão Early do dispositivo, maior será a resistência de saída do circuito, resultando em valores menores de condutância de saída para os dispositivos GC SOI MOSFET que em relação aos dispositivos SOI Convencional.

Fazendo uma comparação entre as diferentes arquiteturas, o espelhamento da corrente nas arquiteturas Wilson e Cascode em relação à arquitetura Fonte Comum é bastante melhor, isso é devido à resistência de saída ser superior nestas arquiteturas Wilson e Cascode, como já apresentado anteriormente [4.3].

As curvas das arquiteturas Wilson e Cascode foram ampliadas para poder enfatizar a diferença entre os dispositivos, mas com isso se pode afirmar que a condutância de saída é uma das características mais importantes num espelho de corrente. Por outro lado, não se

pode evidenciar claramente as vantagens em se utilizar os dispositivos GC SOI MOSFET em relação ao espelho de corrente com dispositivo SOI Convencional.

4.3.2 Resistência de Saída

Devido a ótima precisão de espelhamento apresentada pelas simulações demonstradas no item 4.2 para as arquiteturas Wilson e Cascode independentemente do dispositivo utilizado, não fica muito visível a melhoria proposta na utilização dos dispositivos GC SOI MOSFET nestas arquiteturas. Com isso, podemos verificar esta melhoria através da curva da resistência de saída (R_{out}), que foi obtido pela divisão da corrente de saída I_{Dout} pela tensão de saída V_{Dout} fixa em 1,5V, em relação a corrente de entrada normalizada ($I_{Din}/W/L$).

Nas figuras 4.27 e 4.28 são apresentadas as curvas da resistência de saída R_{out} em função da corrente de entrada I_{Din} normalizada, com tensão de saída V_{Dout} fixa em 1,5V, dos transistores SOI convencional e GC SOI com as relações L_{LD}/L de 0,2 e 0,5.

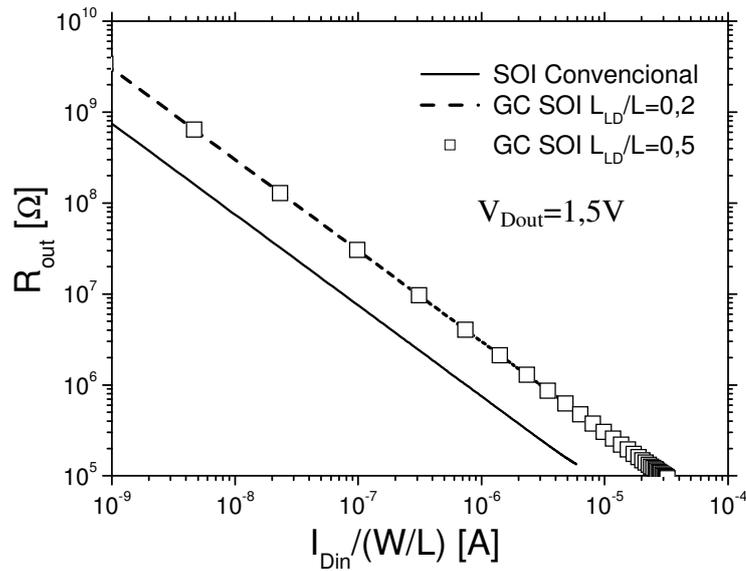


Figura 4.27 – Curva (R_{out}) x ($I_{Din}/W/L$) na arquitetura Wilson com V_{Dout} de 1,5V.

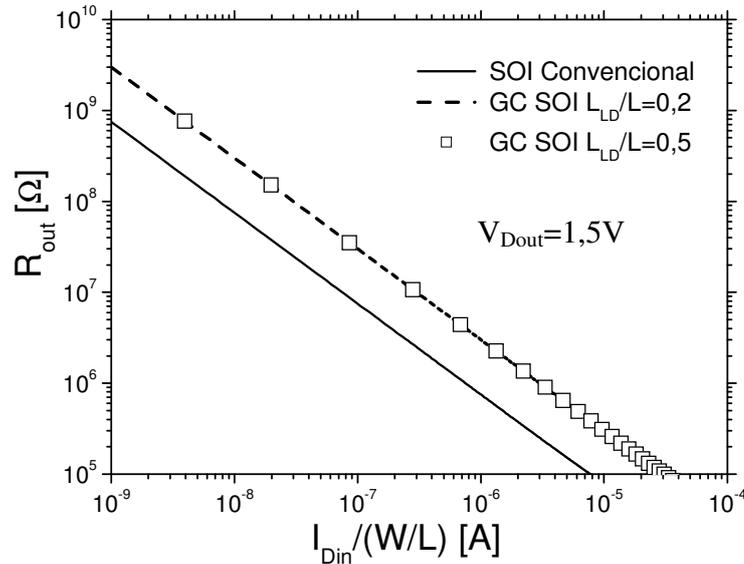


Figura 4.28 – Curva (R_{out}) x ($I_{Din}/W/L$) na arquitetura Cascode com V_{Dout} de 1,5V.

A seguir são apresentadas as tabelas 4.5 e 4.6, que mostram os valores da resistência de saída extraídos das figuras 4.27 e 4.28 nas correntes normalizadas ($I_{Din}/W/L$) de $0,1\mu A$ e $1\mu A$ para os transistores GC SOI de $L_{LD}/L=0,2$ e $L_{LD}/L=0,5$ e para o transistor SOI Convencional. As tabelas também demonstram o valor quantitativo da relação entre as resistências de saída comparando os transistores GC SOI com o SOI Convencional.

Tabela 4.5 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 4.27 com valor da corrente de entrada normalizada em $0,1\mu A$ e $1\mu A$.

CM - Wilson	Convencional	$(L_{LD}/L)=0,2$		$(L_{LD}/L)=0,5$	
		R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$	R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$
$0,1\mu A$	14,3M	29,8M	2,1	29M	2,0
$1\mu A$	732K	2,9M	4,0	2,8M	3,8

Tabela 4.6 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 4.28 com valor da corrente de entrada normalizada em $0,1\mu A$ e $1\mu A$.

CM - Cascode	Convencional	$(L_{LD}/L)=0,2$		$(L_{LD}/L)=0,5$	
		R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$	R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$
$0,1\mu A$	7M	27M	3,9	26,5M	3,8
$1\mu A$	747K	3M	4,0	2,9M	3,9

Observando as tabelas 4.5 e 4.6 é possível identificar o acréscimo de até 4 vezes da resistência de saída dos espelhos de corrente nas duas arquiteturas Wilson e Cascode, quando os circuitos que utilizaram o dispositivo GC SOI MOSFET em relação ao SOI convencional. Com o aumento da resistência de saída dos espelhos de corrente obtém-se uma melhor precisão de espelhamento. Como anteriormente mencionado, embora se tenha melhoras em R_{out} , as vantagens em se utilizar os transistores GC SOI, com respeito à precisão de espelhamento, não são claramente evidenciadas [4.4].

4.3.3 Análise da Excursão de Saída

A excursão de saída de um espelho de corrente é um ponto importante, pois quanto maior for a excursão da corrente de saída num intervalo maior da tensão de saída V_{Dout} , maior será a região de trabalho do espelho de corrente, ou seja, independentemente da tensão da carga que será acoplada ao espelho de corrente, o mesmo apresentará a mesma precisão de espelhamento da corrente desejável.

Para a melhor visualização dos gráficos serão apresentados apenas o dispositivo SOI MOSFET Convencional e os dispositivos GC SOI MOSFET com as relações de L_{LD}/L de 0,2 e 0,5.

Nas figuras 4.29, 4.30 e 4.31, serão apresentadas as curvas de corrente de saída em função da tensão de saída dos espelhos de corrente, caracterizando a excursão de saída dos espelhos estudados, nas arquiteturas Fonte Comum, Wilson e Cascode respectivamente, com corrente $I_{Din}=1\mu A/\mu m$.

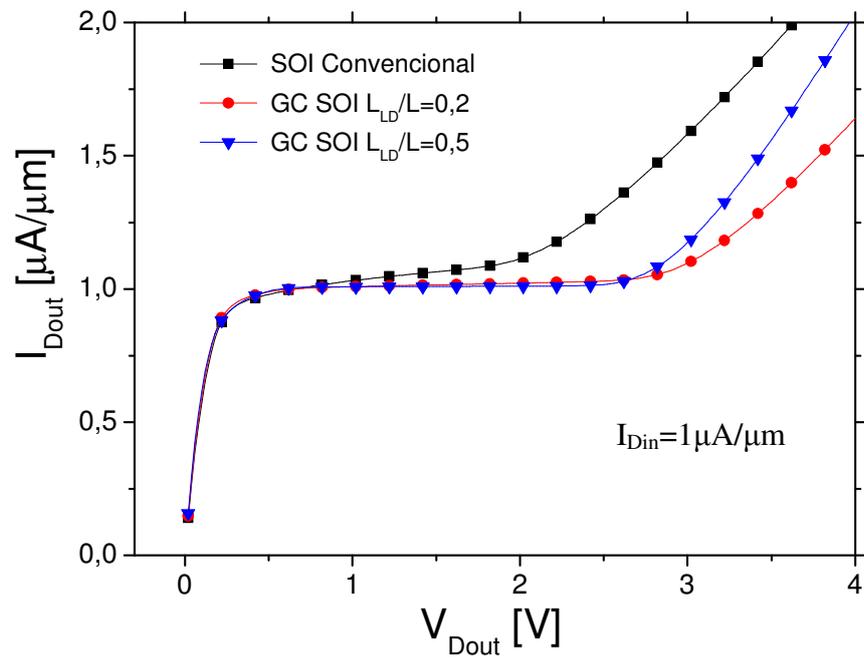


Figura 4.29 – Curva ($I_{Dout} \times V_{Dout}$) na arquitetura Fonte Comum com corrente de entrada fixa em $1 \mu A/\mu m$.

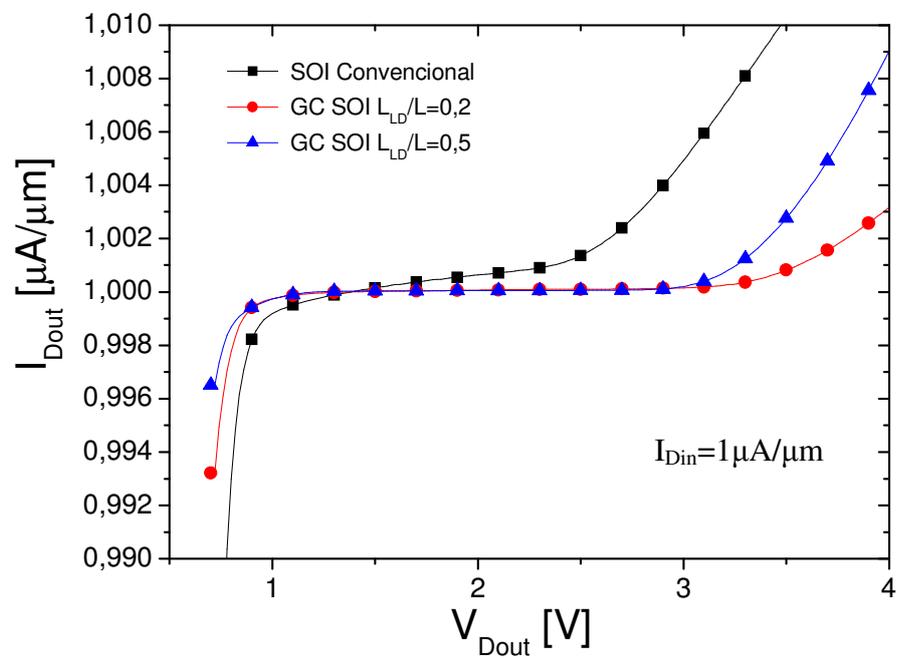


Figura 4.30 – Curva ($I_{Dout} \times V_{Dout}$) na arquitetura Wilson com corrente de entrada fixa em $1 \mu A/\mu m$.

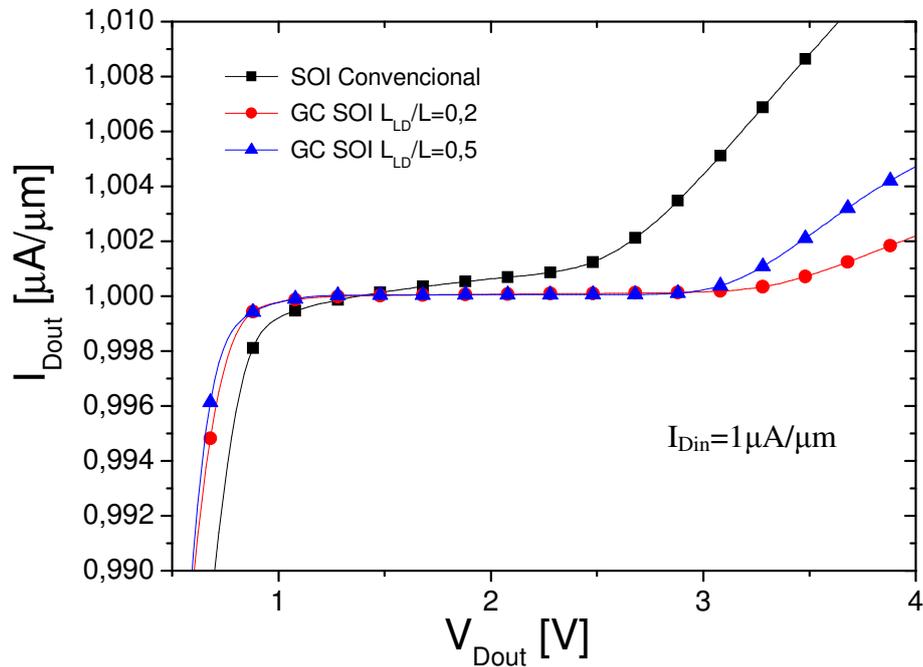


Figura 4.31 – Curva ($I_{Dout} \times V_{Dout}$) na arquitetura Cascode com corrente de entrada fixa em $1 \mu A/\mu m$.

As figuras 4.29, 4.30 e 4.31 apresentam a corrente de saída em função da tensão de saída do espelho de corrente em três arquiteturas. Como se pode observar, as três arquiteturas apresentam a mesma tendência de que, para os dispositivos SOI MOSFET Convencional, a tensão de ruptura do circuito é antecipada em relação aos dispositivos GC SOI MOSFET, devido a presença da região fracamente dopada no canal dos dispositivos GC SOI MOSFET. Com isso, diminui-se os efeitos causados pela elevação do campo elétrico na região de dreno, como a ativação do efeito bipolar parasitário, que acabam antecipando a tensão de ruptura do dispositivo.

A inclinação na região de saturação é visível nos dispositivos SOI Convencionais em todas as arquiteturas, pois este parâmetro está ligado a resistência de saída do circuito.

As escalas das curvas dos espelhos de corrente da arquitetura Wilson e Cascode também tiveram que ser ampliadas para poder observar as características dos dispositivos GC SOI MOSFET e o SOI convencional, que estão presentes também nas curvas ($I_{Dout} \times V_{Dout}$).

Para melhor visualização dos resultados das figuras 4.29, 4.30 e 4.31, na tabela 4.5 estão apresentados os valores da excursão de saída (V_{OS}) obtidos em cada uma das arquiteturas, com os respectivos dispositivos.

Para a extração dos valores de V_{OS} foi utilizado a condutância de dreno (g_d) das curvas $I_{Dout} \times V_{Dout}$, obtendo-se a derivada do inverso da condutância de dreno ($1/g_d$), prosseguindo com o produto de $(1/g_d)'$ com g_d . Com a curva $[(1/g_d)' \cdot g_d] \times V_{DS}$ é possível identificar o valor da tensão de saturação, através do primeiro pico positivo, e o valor da tensão de ruptura, com o pico negativo apresentado pela curva. A diferença entre estes pontos define os valores de V_{OS} de cada circuito [4.5, 4.6].

Na figura 4.32 esta apresentada uma das curvas $[(1/g_d)' \cdot g_d] \times V_{DS}$ utilizada para a extração dos valores de V_{OS} dos espelhos de corrente. Neste caso a figura 4.32 é da arquitetura Fonte Comum com o dispositivo GC SOI com relação $L_{LD}/L=0,2$ com corrente de entrada fixa em $I_{Din}=1\mu A/\mu m$.

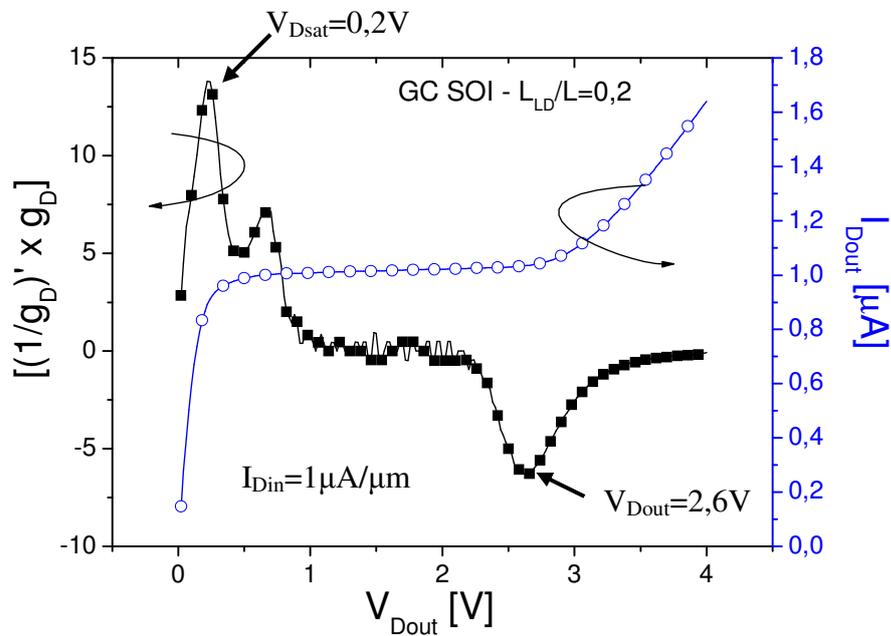


Figura 4.32 – Curva $[(1/g_d)' \cdot g_d] \times V_{DS}$ e a curva $(I_{Dout} \times V_{Dout})$ na arquitetura Fonte Comum com corrente de entrada fixa em $1\mu A/\mu m$.

Tabela 4.7 – Tabela com os valores da excursão de saída para os transistores SOI convencional, GC SOI para as relações de $L_{LD}/L=0,2$ e $0,5$, nas arquiteturas Fonte Comum, Wilson e Cascode.

Dispositivos SOI	Fonte Comum	Wilson	Cascode
SOI Convencional	1,65V	1,38V	1,36V
GC SOI – $L_{LD}/L=0,2$	2,40V (45%)	2,18V (56%)	2,22V (63%)
GC SOI – $L_{LD}/L=0,5$	2,18V (32%)	2,08V (51%)	2,10V (54%)

Observando a tabela 4.7, pode-se afirmar que com a utilização dos dispositivos GC SOI em quaisquer arquiteturas, obtem-se uma maior excursão de saída. Os valores de porcentagem, colocados ao lado dos valores de excursão de saída dos dispositivos GC SOI, indicam o percentual de aumento do valor de V_{OS} em relação aos dispositivos SOI convencionais [4.4].

As vantagens na utilização dos dispositivos GC SOI nas arquiteturas de espelhos de corrente são visivelmente superiores em relação à utilização do dispositivo SOI Convencional. No caso da arquitetura Fonte Comum, os espelhos de corrente formados com os dispositivos GC SOI apresentam um aumento da excursão de saída (V_{OS}) com média próxima a 40%. Isto demonstra uma melhora significativa, garantindo o espelhamento da corrente de entrada (I_{Din}) com uma variação maior da tensão de saída (V_{Dout}), tornando os espelhos de corrente em fontes de correntes mais eficazes.

Fazendo a mesma análise para as arquiteturas Wilson e Cascode, as vantagens da utilização dos dispositivos GC SOI nos espelhos de corrente são ainda mais aparentes, ocorrendo um aumento superior a 50% da excursão de saída (V_{OS}) em relação aos espelhos de corrente que se utilizam dos dispositivos SOI Convencional. Estes resultados reforçam a idéia de que ao utilizar o dispositivo GC SOI nos espelhos de corrente, garantem uma fonte de corrente de alto desempenho [4.4].

Na comparação entre os dispositivos GC SOI, o dispositivo com relação de $L_{LD}/L=0,2$ apresenta um desempenho ligeiramente superior ao com relação $L_{LD}/L=0,5$ em todas as arquiteturas estudadas.

4.3.4 Tempo de Estabilização (“Settling Time”)

Como introduzido no item 3.1.4, o tempo de estabilização dos circuitos e dos dispositivos em geral é um ponto importante, que indica em quanto tempo o circuito ou dispositivo necessita para responder ao estímulo do sinal inicial. Neste trabalho foi analisado o tempo de estabilização das arquiteturas de espelhos de corrente estudadas até agora, que foram as arquiteturas Fonte Comum, Wilson e Cascode.

Foram feitas simulações nestas arquiteturas com degraus de entrada com amplitude de $1\mu A/\mu m$ e de $10\mu A/\mu m$, onde este degrau ideal ia de 0 (zero) ao valor especificado com tempo de subida nulo. Foram usados para esta simulação os dispositivos SOI convencional e GC SOI com relações $L_{LD}/L=0,2$, $0,5$ e $0,6$.

Nas figuras 4.33 a 4.35 são apresentadas as curvas da corrente de saída em função do tempo, considerando o degrau de entrada com amplitude de $1\mu\text{A}/\mu\text{m}$. Já nas figuras 4.36 a 4.38 são apresentadas as mesmas curvas, porém com amplitude de sinal de entrada de $10\mu\text{A}/\mu\text{m}$.

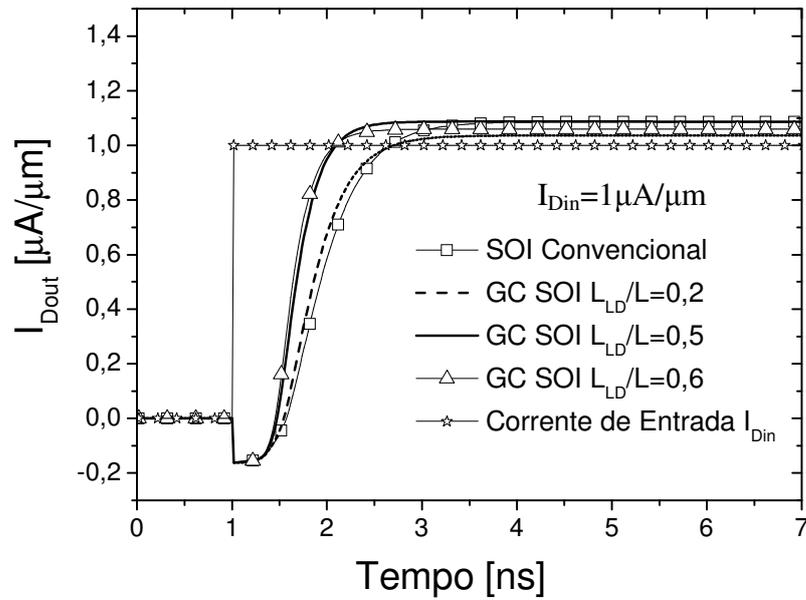


Figura 4.33 – Curvas (I_{Dout} x Tempo) dos espelhos de corrente na arquitetura Fonte Comum com degrau de entrada de $1\mu\text{A}/\mu\text{m}$.

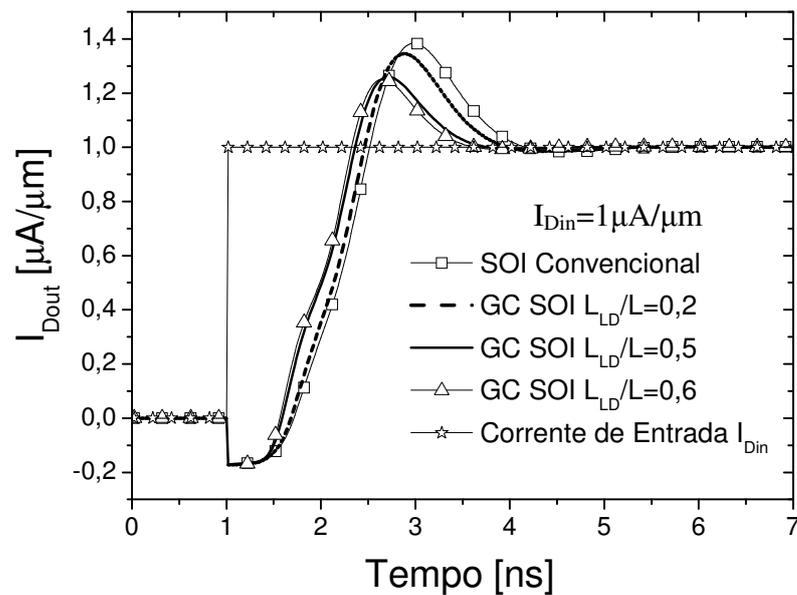


Figura 4.34 – Curva (I_{Dout} vs Tempo) dos espelhos de corrente na arquitetura Wilson com degrau de entrada de $1\mu A/\mu m$.

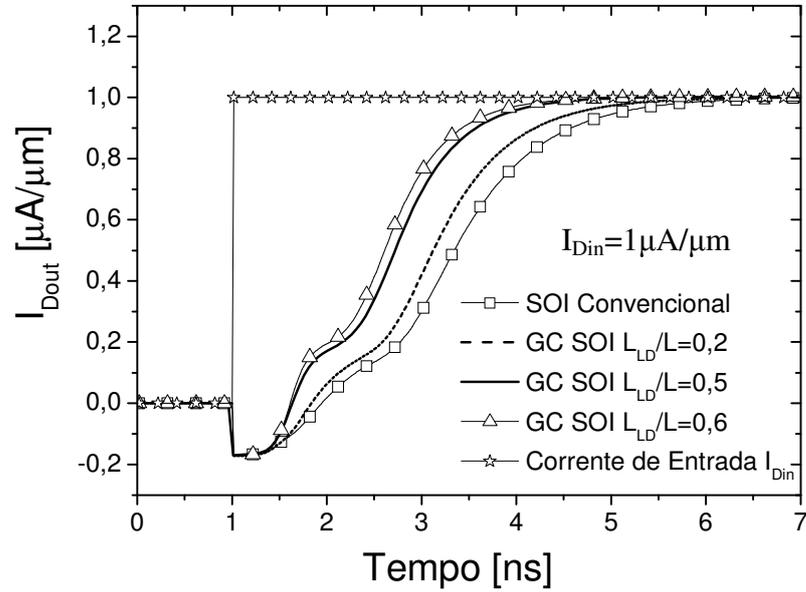


Figura 4.35 – Curva (I_{Dout} vs Tempo) dos espelhos de corrente na arquitetura Cascode com degrau de entrada de $1\mu A/\mu m$.

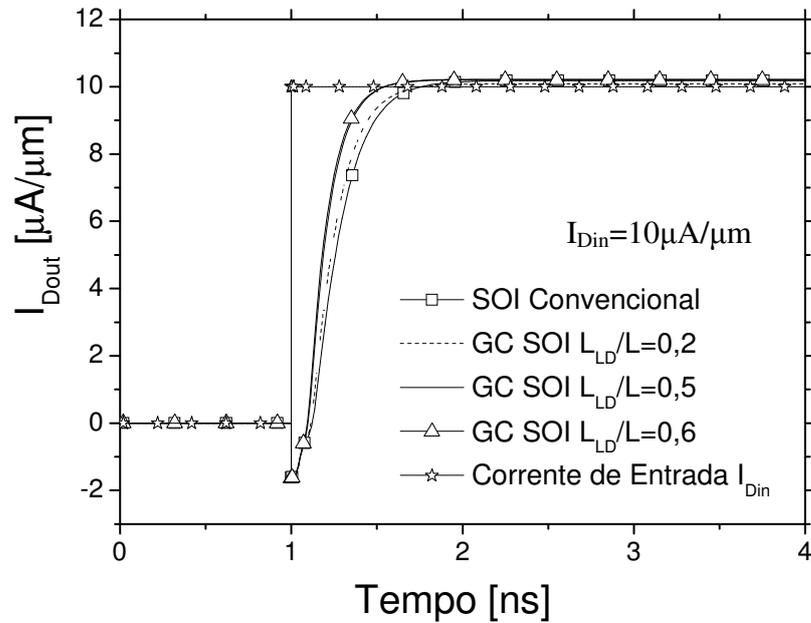


Figura 4.36 – Curva (I_{Dout} vs Tempo) dos espelhos de corrente na arquitetura Fonte Comum com degrau de entrada de $10\mu A/\mu m$.

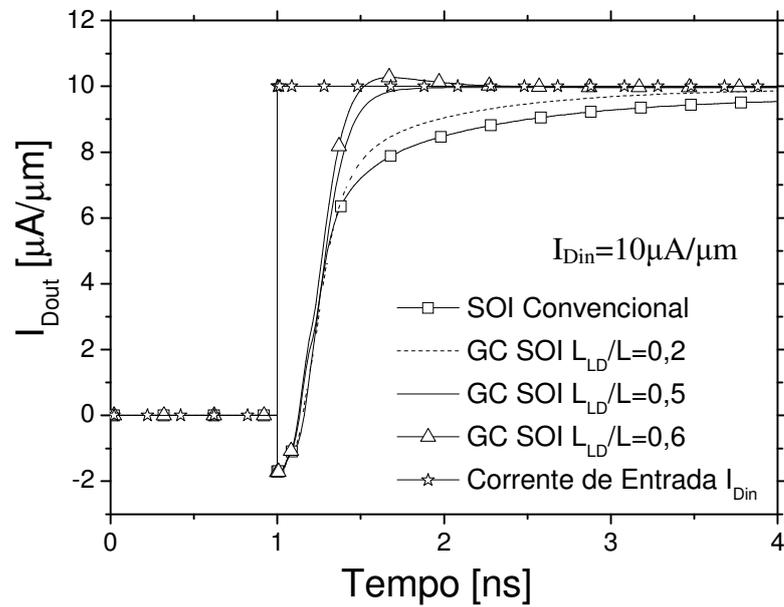


Figura 4.37 – Curva (I_{Dout} vs Tempo) dos espelhos de corrente na arquitetura Wilson com degrau de entrada de $10 \mu A/\mu m$.

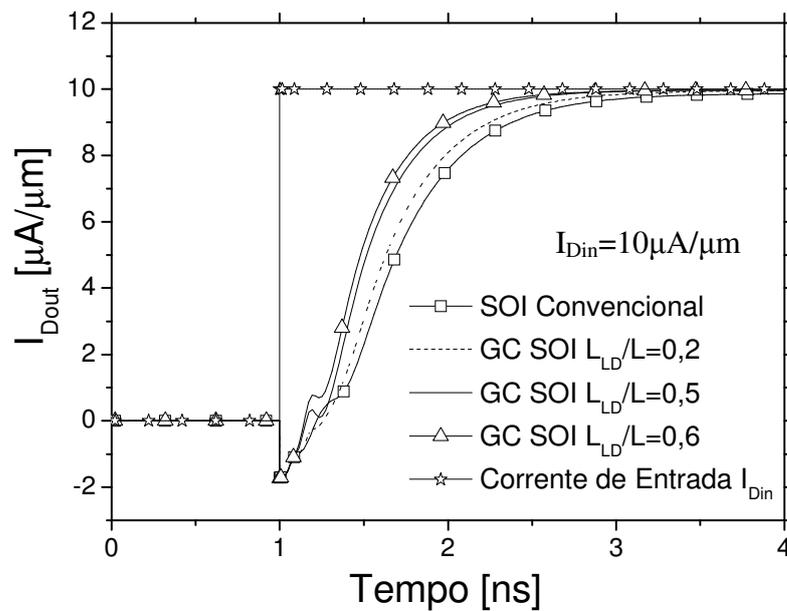


Figura 4.38 – Curva (I_{Dout} vs Tempo) dos espelhos de corrente na arquitetura Cascode com degrau de entrada de $10 \mu A/\mu m$.

Na figura 4.34, que representa a curva do tempo de estabilização do espelho de corrente na arquitetura Wilson, é possível observar um pico antes da estabilização da corrente saída, isto ocorre devido o circuito não estar otimizado para os valores desejados, como ocorre nos projetos, onde se tem os valores de projeto como resistência de saída, tempo de estabilização já pré-definidos e a partir deles obtém-se as medidas dos componentes do circuito [4.7].

O valor do tempo de estabilização de cada arquitetura foi extraído como sendo o intervalo necessário para I_{Dout} variar entre 10% de I_{Din} e 90% de I_{Din} , os resultados desta comparação estão demonstrados na tabela 4.8.

Tabela 4.8 – Tabela com os valores de tempo de estabilização nas arquiteturas Fonte Comum, Wilson e Cascode, com degraus de entrada de $1\mu A/\mu m$ e $10\mu A/\mu m$ e com os dispositivos SOI convencional e GC SOI com relação $L_{LD}/L=0,2, 0,5$ e $0,6$.

Fonte Comum	Convencional	(L_{LD}/L)=0,2	(L_{LD}/L)=0,5	(L_{LD}/L)=0,6
$I_{Din}=1\mu A$	0,74 ns	0,70 ns	0,42 ns	0,40 ns
$I_{Din}=10\mu A$	0,34 ns	0,30 ns	0,24 ns	0,23 ns
Wilson	Convencional	(L_{LD}/L)=0,2	(L_{LD}/L)=0,5	(L_{LD}/L)=0,6
$I_{Din}=1\mu A$	0,64 ns	0,64 ns	0,62 ns	0,62 ns
$I_{Din}=10\mu A$	1,32 ns	0,78 ns	0,32 ns	0,25 ns
Cascode	Convencional	(L_{LD}/L)=0,2	(L_{LD}/L)=0,5	(L_{LD}/L)=0,6
$I_{Din}=1\mu A$	2,26 ns	2,06 ns	1,80 ns	1,70 ns
$I_{Din}=10\mu A$	0,98 ns	0,88 ns	0,72 ns	0,70 ns

Na seqüência tem-se a apresentação da tabela 4.9, onde são demonstrados os comparativos, em valor percentual, da utilização dos dispositivos GC SOI em relação aos dispositivos SOI convencionais nas arquiteturas Fonte comum, Wilson e Cascode e também para os valores de degrau de entrada de $1\mu A/\mu m$ e $10\mu A/\mu m$.

Tabela 4.9 – Tabela com os comparativos em porcentagem dos valores de tempo de estabilização nas arquiteturas Fonte Comum, Wilson e Cascode, com degraus de entrada de $1\mu\text{A}/\mu\text{m}$ e $10\mu\text{A}/\mu\text{m}$ entre os dispositivos SOI convencional e os dispositivos GC SOI com relação $L_{LD}/L=0,2, 0,5$ e $0,6$.

CM	$(L_{LD}/L)=0,2$		$(L_{LD}/L)=0,5$		$(L_{LD}/L)=0,6$	
	$1\mu\text{A}$	$10\mu\text{A}$	$1\mu\text{A}$	$10\mu\text{A}$	$1\mu\text{A}$	$10\mu\text{A}$
I_{Din}						
Fonte Comum	5,40%	11,77%	43,24%	29,41%	45,95%	32,35%
Wilson	0%	40,91%	3,13%	75,76%	3,13%	80,30%
Cascode	8,85%	10,20%	20,35%	26,53%	24,78%	28,57%

Observando-se as tabelas 4.8 e 4.9, temos a demonstração das melhorias apresentadas pela utilização dos dispositivos GC SOI para o tempo de estabilização em todas as arquiteturas em relação aos dispositivos SOI convencionais.

Isso é possível, pois de acordo com estudo apresentado no item 3.4.1, e comparando os resultados com a equação (3.23), com o aumento de g_m propiciado pelos GC SOI ocorre à diminuição do tempo de resposta do espelho de corrente.

Comparando-se as arquiteturas Wilson e Cascode observa-se que a arquitetura Cascode apresenta maior capacitância acoplada ao ramo de entrada, provocando um aumento do tempo de estabilização do circuito, como é possível observar na tabela 4.9.

5 RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentadas às medidas experimentais realizadas nos espelhos de correntes nas arquiteturas Wilson e Cascode, com dispositivo SOI convencional e GC SOI com relações de L_{LD}/L de 0,2 e 0,375. Estas medidas vêm a comprovar as tendências dos resultados obtidos com as simulações apresentadas no capítulo anterior.

Os circuitos foram fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain (UCL) na Bélgica. Os espelhos de corrente foram fabricados com dispositivos de comprimento de canal de $L=2\mu\text{m}$, com espessura de óxido de porta de 30nm, espessura de óxido enterrado de 390nm, camada de silício de 80nm e largura de canal de $W=20\mu\text{m}$.

Para a realização das medidas foi utilizado o equipamento Keithley 4200 SCS, com tempo de integração médio.

O capítulo está dividido em estudos da resistência de saída e de excursão de saída dos espelhos de correntes nas arquiteturas Wilson e Cascode. Inicialmente serão apresentadas as curvas para a definição dos valores de comprimento efetivo de canal dos dispositivos GC SOI e o resultado do descasamento intrínseco das estruturas nas duas arquiteturas para definição da melhor lamina a ser utilizada.

Nas figuras 5.1 e 5.2 são apresentadas às fotografias dos circuitos utilizados neste trabalho.

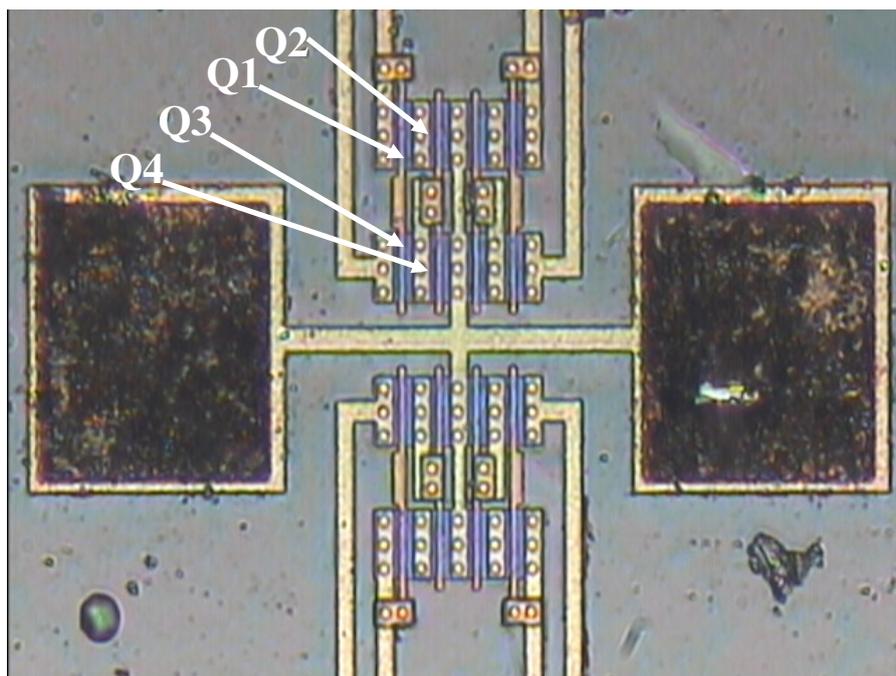


Figura 5.1 – Foto do “chip” utilizado para medição experimental dos espelhos de corrente na arquitetura Wilson.

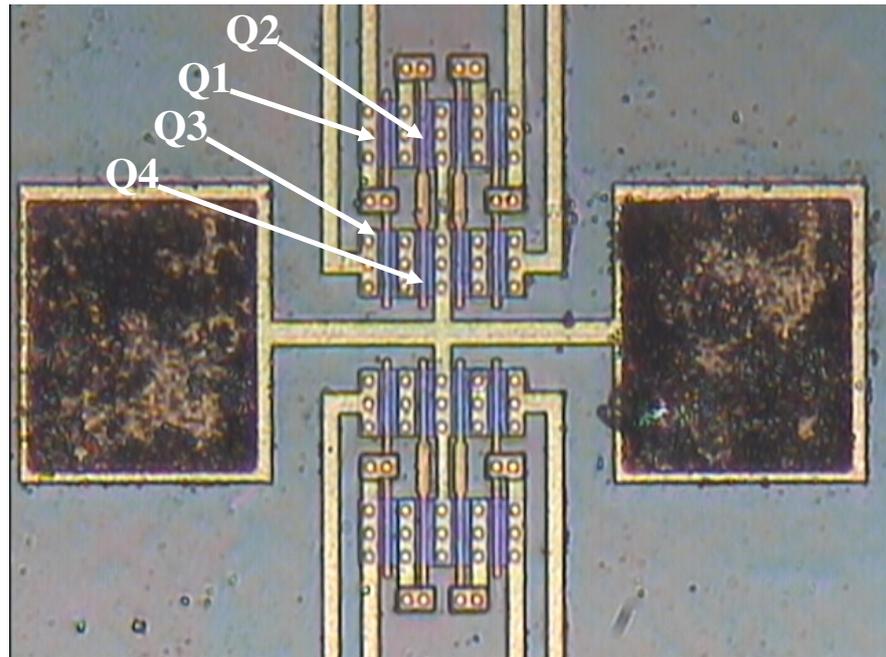


Figura 5.2 – Foto do “chip” utilizado para medição experimental dos espelhos de corrente na arquitetura Cascode.

5.1 Definição do Comprimento Efetivo de Canal

As relações de comprimento efetivo de canal de L_{LD}/L , foram obtidas através de dispositivos individuais, presentes na mesma lâmina dos espelhos de corrente, que permitiam a medição primeiramente das curvas $I_{DX}V_{GF}$, para extração dos valores de tensão de limiar dos transistores, e posteriormente a extração das curvas $I_{DSX}V_{DS}$ com sobre-tensão de $V_{GT}=200\text{mV}$. Para extração dos valores de $(L_{LD}/L)_{eff}$ foi usada a técnica apresentada na referencia [5.1] utilizando a curva $I_{DSX}V_{DS}$ dos dispositivos com relações de L_{LD}/L de máscara de 0,125 e 0,375.

Para extração dos valores de $(L_{LD}/L)_{eff}$ usa-se a seguinte equação:

$$\left(\frac{L_{LD}}{L}\right)_{eff} = 1 - \left(\frac{I_{DS,SOI}}{I_{DS,GC}}\right) \quad (5.1)$$

onde $I_{DS,SOI}$ e a corrente de dreno do transistor SOI convencional, e $I_{DS,GC}$ e a corrente de dreno do transistor GC SOI.

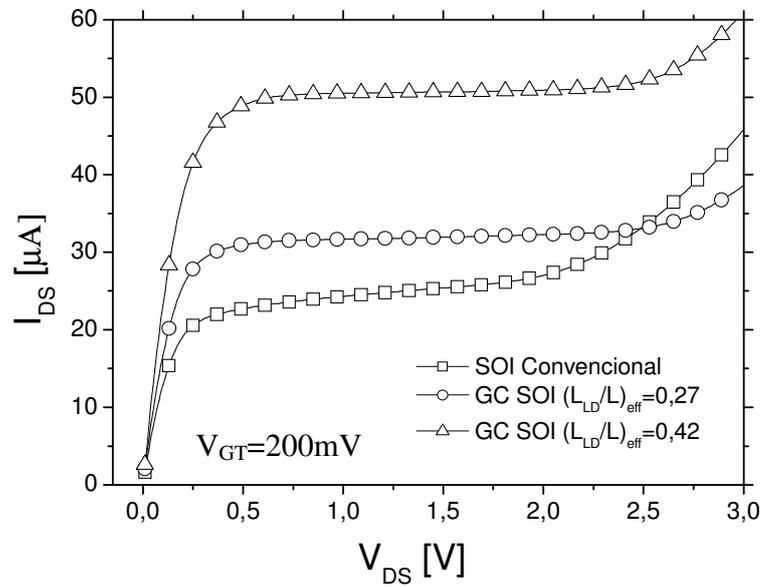


Figura 5.3 – Curva experimental de $I_{DS} \times V_{DS}$ medidas com $V_{GT}=200\text{mV}$ para dispositivos SOI convencional e GC SOI com $L=2\mu\text{m}$.

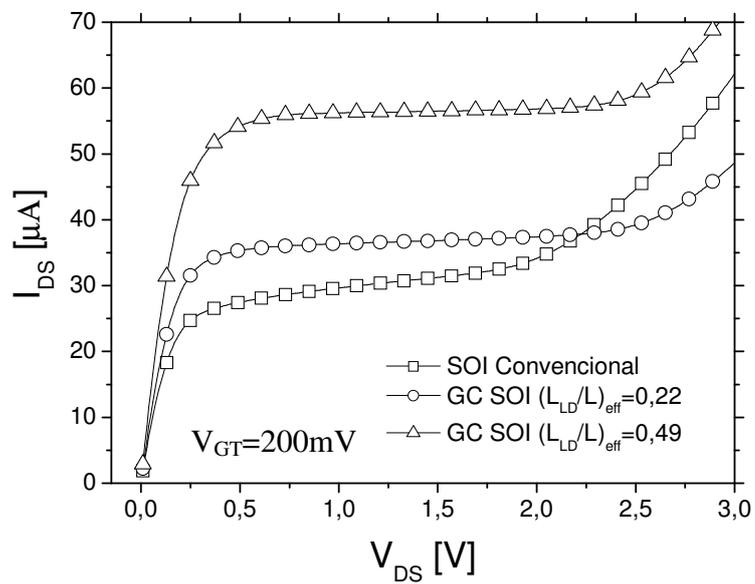


Figura 5.4 – Curva experimental de $I_{DS} \times V_{DS}$ medidas com $V_{GT}=200\text{mV}$ para dispositivos SOI convencional e GC SOI com $L=2\mu\text{m}$.

Tabela 5.1 – Tabela com a relação efetiva de canal dos dispositivos GC SOI utilizados nos espelhos de corrente.

L_{LD}/L de máscara	$(L_{LD}/L)_{eff}$	$(L_{LD}/L)_{eff}$
GC SOI – $L_{LD}/L=0,200$	0,165	0,175
GC SOI – $L_{LD}/L=0,375$	0,415	0,490

A extração do comprimento efetivo de canal da relação $L_{LD}/L=0,2$ expressa na tabela 5.1 e utilizada nas demais medidas neste trabalho, foi extraída através de cálculos comparativos entre os demais dispositivos GC SOI medidos e apresentados nas curvas das figuras 5.3 e 5.4. Devido às lâminas não apresentarem dispositivos com relação equivalente para medição, isto se torna possível, pois caso haja um desalinhamento das mascaras na fabricação de cada lamina, este desalinhamento é válido para todas as relações sem um desalinhamento de mesma proporção.

5.2 Descasamento Intrínseco

O descasamento intrínseco, como já apresentado no item 3.1.2, dos espelhos de correntes ocorre devido ao desequilíbrio das tensões de limiar dos transistores que compõem o espelho ou devido ao descasamento dos parâmetros geométricos ($\Delta\beta$) e da modulação do comprimento de canal ($\Delta\lambda$), ou seja, estes fatores estão diretamente ligados ao processo de fabricação dos circuitos. Desta forma, o estudo deste parâmetro se torna importante para garantir a integridade dos dados extraídos das medidas efetuadas nos espelhos de corrente e sua correta comparação.

Para avaliar o descasamento intrínseco das arquiteturas de espelhos de corrente, aplica-se um tensão de entrada V_{Din} igual a tensão de saída V_{Dout} nos espelhos de corrente. Em nosso caso, variamos estas tensões desde 0 a 4V e extraímos as correntes de entrada e de saída dos espelhos de corrente, fazendo o quociente entre as correntes e observando o resultado em relação corrente de entrada normalizada. Este estudo permite que seja encontrado um circuito onde os resultados obtidos sejam pouco influenciados por problemas de fabricação.

As figuras 5.5 e 5.6 apresentam o descasamento intrínseco dos espelhos de corrente fabricados. Observa-se que nos dois casos os espelhos apresentam um bom resultado para valores de corrente de entrada de $1\mu A$ com correlação melhor que 95%, portanto pode-se garantir que os resultados obtidos a seguir sofram baixa influência do descasamento intrínseco dos espelhos de corrente ocorrido na fabricação.

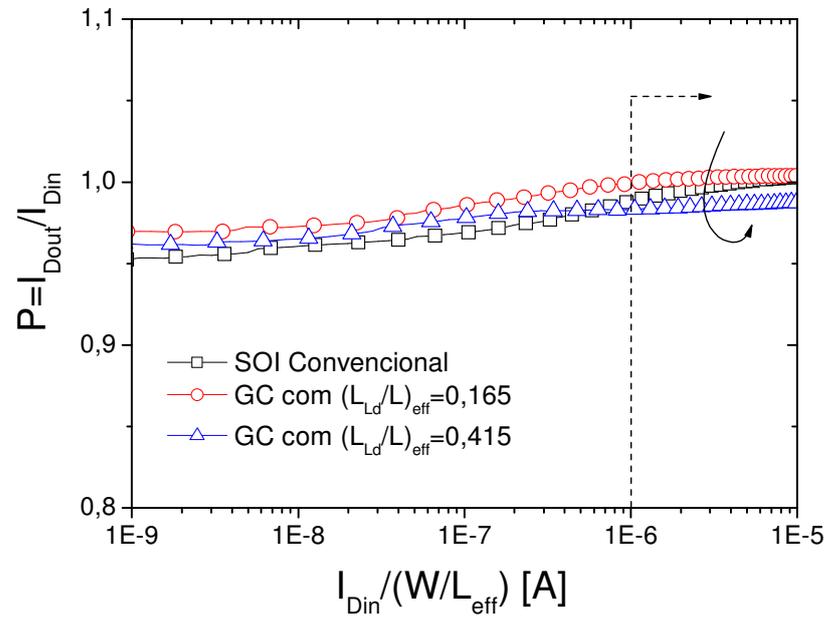


Figura 5.5 – Curva experimental de $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ da arquitetura Cascade.

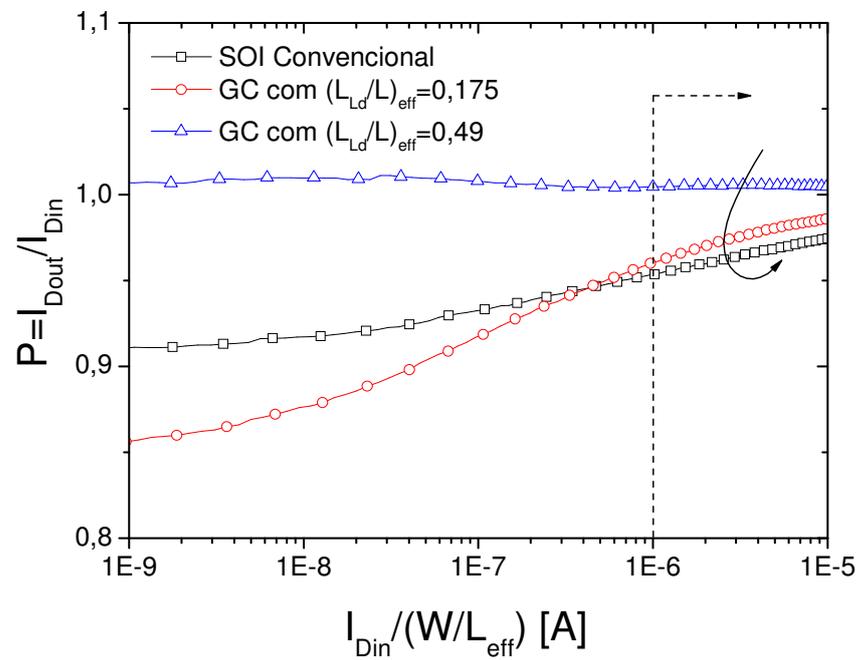


Figura 5.6 – Curva experimental de $(I_{Dout}/I_{Din}) \times (I_{Din}/W/L_{eff})$ da arquitetura Wilson.

5.3 Resistência de Saída

A resistência de saída foi medida fixando a tensão de saída V_{Dout} em 1,5V e variando a corrente de entrada. O resistência R_{out} foi calculada pela divisão da tensão de saída V_{Dout} pela corrente de saída I_{Dout} medida.

Nas figuras 5.7 e 5.8 são apresentadas as curvas medidas da resistência de saída R_{out} em função da corrente de entrada I_{Din} normalizada, com tensão de saída V_{Dout} fixa em 1,5V, espelhos de corrente implantados com SOI convencional e GC SOI com as relações $(L_{LD}/L)_{eff}$ de 0,175 e 0,49 nas arquiteturas Wilson e Cascode, respectivamente.

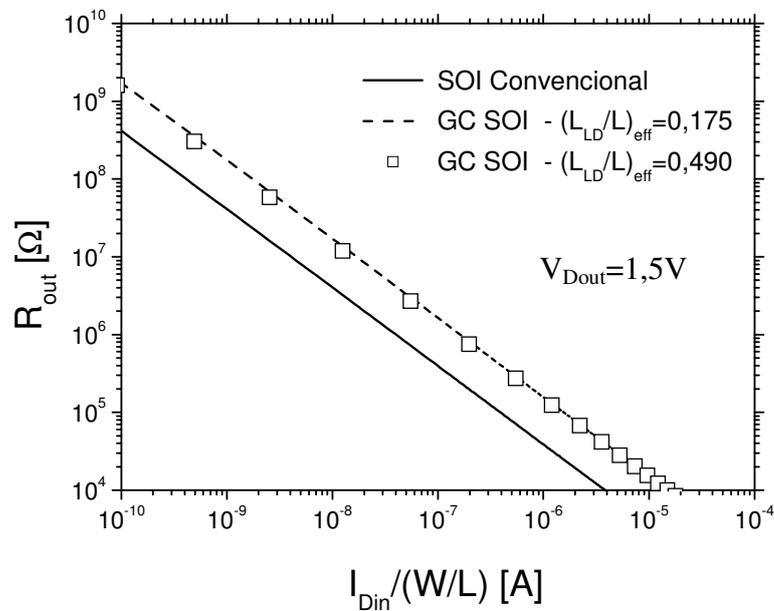


Figura 5.7 – Curva experimental de $R_{out} \times (I_{Din}/W/L)$ da arquitetura Wilson.

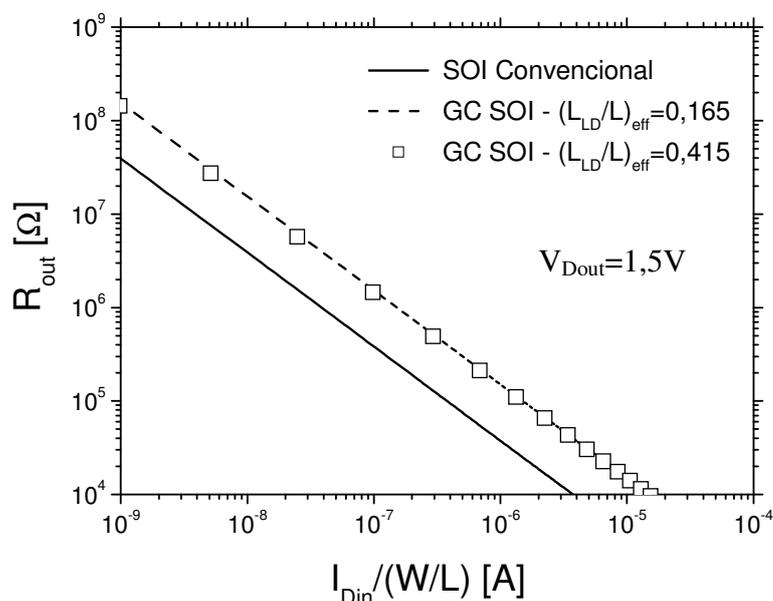


Figura 5.8 – Curva experimental de R_{out} x $(I_{Din}/W/L)$ da arquitetura Cascode.

Observando as figuras 5.7 e 5.8, os espelhos de corrente que utilizaram o dispositivo GC SOI apresentaram um aumento significativo na resistência de saída, vindo a confirmar a tendência apresentada pelas simulações. Este aumento da resistência de saída nos espelhos de corrente com o dispositivo GC SOI é devido a diminuição da modulação de canal em relação ao SOI Convencional, pois a elevação da tensão V_{DS} nos dispositivos GC SOI não provocam alteração na concentração de elétrons na região fortemente dopada [5.2]. Logo, o incremento de V_{DS} é absorvido pela região fracamente dopada. A partir dos resultados apresentados nas figuras 5.7 e 5.8 foram extraídas as resistências de saída com corrente de entrada normalizada de $0,1\mu\text{A}$ e $1\mu\text{A}$. Estes resultados estão apresentados nas tabelas 5.2 e 5.3 para as arquiteturas Wilson e Cascode, respectivamente.

Tabela 5.2 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 5.6 com valor da corrente de entrada normalizada em $0,1\mu\text{A}$ e $1\mu\text{A}$.

CM - Wilson ($I_{Din}/W/L$) [A]	Convencional R_{out} [Ω]	$(L_{LD}/L)=0,175$		$(L_{LD}/L)=0,490$	
		R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$	R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$
$0,1\mu\text{A}$	375K	1,5M	4,0	1,4M	3,7
$1\mu\text{A}$	38K	155K	4,1	143K	3,8

Tabela 5.3 – Tabela dos valores da resistência de saída (R_{out}) extraídos da figura 5.7 com valor da corrente de entrada normalizada em $0,1\mu A$ e $1\mu A$.

CM - Cascode	Convencional	$(L_{LD}/L)=0,165$		$(L_{LD}/L)=0,415$	
		R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$	R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$
$(I_{Din}/W/L)$ [A]	R_{out} [Ω]	R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$	R_{out} [Ω]	$R_{out,GC}/R_{out,conv.}$
$0,1\mu A$	372K	1,4M	3,8	1,3M	3,5
$1\mu A$	37K	145K	3,9	140K	3,8

Observando as tabelas 5.2 e 5.3 verifica-se que, tanto na arquitetura Wilson como Cascode, os valores da resistência de saída dos espelhos de corrente que utilizaram os dispositivos GC SOI apresentam, em alguns casos, valores superiores a 4 vezes aos espelhos de corrente que utilizaram os dispositivos SOI Convencionais, confirmando os valores obtidos nas simulações [5.3].

Comparando os valores entre os dispositivos GC SOI, é possível observar que com o aumento da relação L_{LD}/L tem-se uma pequena redução do valor da resistência de saída, também observada nas simulações [5.3].

Para a comparação dos valores da resistência de saída simulados (apresentados nas tabelas 4.5 e 4.6) e os experimentais é necessária a multiplicação dos valores experimentais por 20, pois os dispositivos experimentais possuem a largura de canal igual a $W=20\mu m$, enquanto os simulados apresentam largura de canal com valor unitário.

5.4 Excursão de Saída (V_{os})

Para a extração da excursão de saída dos espelhos de corrente foram utilizadas as curvas de $(I_{Dout} \times V_{Dout})$ com a fixação a corrente de entrada I_{Din} em dois valores para medição, $1\mu A$ e $10\mu A$. O método utilizado na extração dos valores de V_{os} foi o mesmo utilizado nas simulações, onde utilizou-se a condutância de dreno (g_d) das curvas $I_{Dout} \times V_{Dout}$, obtendo-se a derivada do inverso da condutância de dreno $(1/g_d)'$, prosseguindo com o produto de $(1/g_d)'$ com g_d . Com a curva $[(1/g_d)' \cdot g_d] \times V_{DS}$ foi possível identificar o valor da tensão de saturação, através do primeiro pico positivo e o valor da tensão de ruptura com o pico negativo apresentado pela curva, sendo V_{os} a diferença entre as duas tensões [5.4]. Para a extração também foram utilizados o filtro Smoothing, a ferramenta Fit Polynomial, disponíveis no software (Oringin) utilizado na criação das curvas, para retirada dos ruídos que aparecem nas medidas experimentais.

As figuras 5.9 a 5.12 apresentam as curvas da corrente de saída I_{Dout} pela tensão de saída V_{Dout} , para as arquiteturas Wilson e Cascode com corrente de entrada I_{Din} fixa em $1\mu A$ e $10\mu A$, respectivamente.

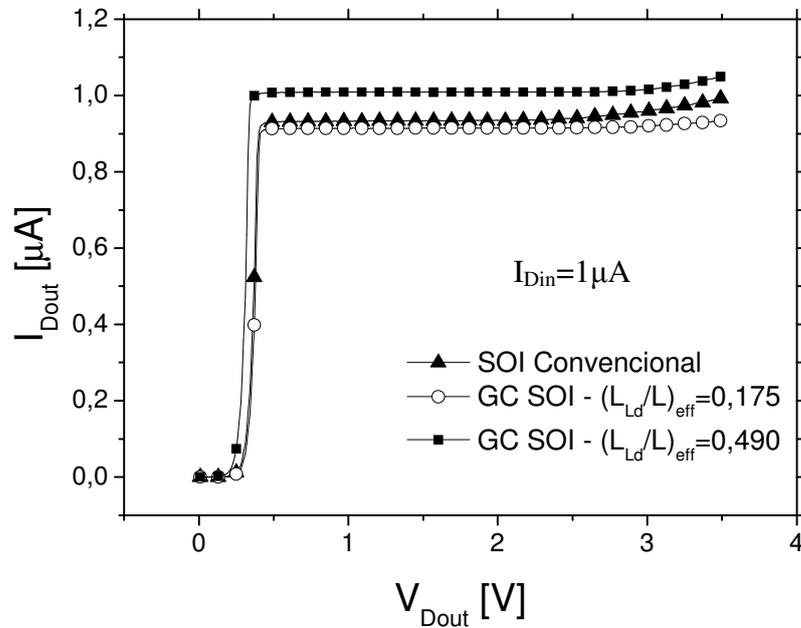


Figura 5.9 – Curva ($I_{Dout} \times V_{Dout}$) medida na arquitetura Wilson com corrente de entrada fixa em $1\mu A$.

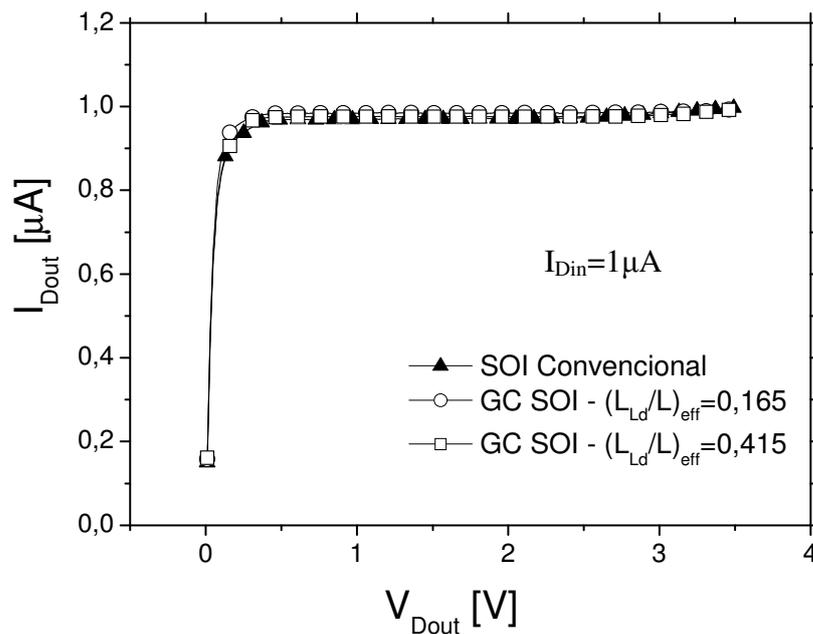


Figura 5.10 – Curva ($I_{Dout} \times V_{Dout}$) medida na arquitetura Cascode com corrente de entrada fixa em $1\mu A$.

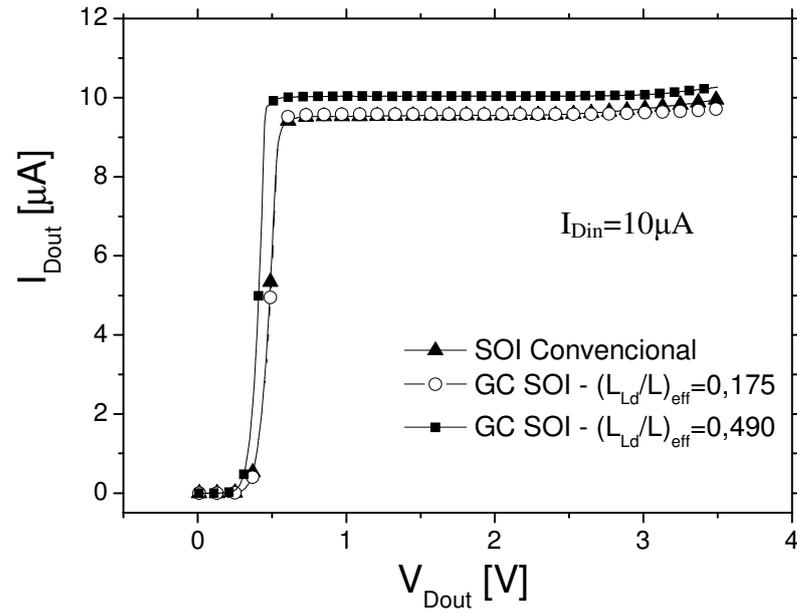


Figura 5.11 – Curva ($I_{Dout} \times V_{Dout}$) medida na arquitetura Wilson com corrente de entrada fixa em $10 \mu A$.

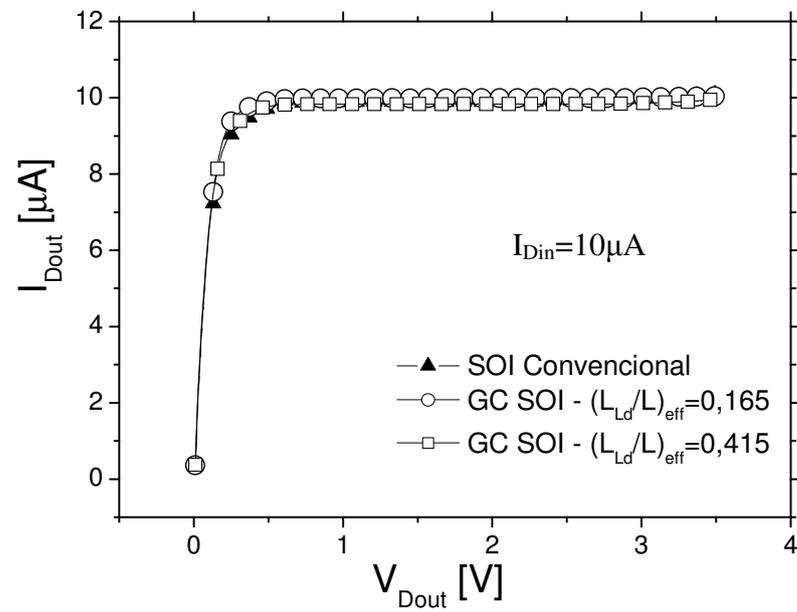


Figura 5.12 – Curva ($I_{Dout} \times V_{Dout}$) medida na arquitetura Cascode com corrente de entrada fixa em $10 \mu A$.

Através destas curvas foram extraídos os valores da excursão de saída, que estão apresentadas nas tabelas 5.4 e 5.5. Também nesta tabela é apresentada a melhora percentual em relação ao espelho de corrente com mesma arquitetura, porém implementado com transistores SOI convencional.

Tabela 5.4 – Comparação das medidas de excursão de saída (V_{OS}) do espelho de corrente na arquitetura Wilson extraídos das figuras 5.8 e 5.9.

CM - Wilson	Convencional SOI	(L_{LD}/L)=0,175		(L_{LD}/L)=0,490	
V_{OS} [V] para $1\mu A$	1,94	2,41	24,23%	2,52	29,90%
V_{OS} [V] para $10\mu A$	1,79	2,08	16,20%	2,18	21,79%

Tabela 5.5 – Comparação das medidas de excursão de saída (V_{OS}) do espelho de corrente na arquitetura Cascode extraídos das figuras 5.10 e 5.11.

CM - Cascode	Convencional SOI	(L_{LD}/L)=0,165		(L_{LD}/L)=0,415	
V_{OS} [V] para $1\mu A$	1,81	2,52	39,22%	2,36	30,39%
V_{OS} [V] para $10\mu A$	1,87	2,55	36,37%	2,41	28,88%

Como se pode observar nas tabelas 5.4 e 5.5, com a utilização dos dispositivos GC SOI nos espelhos de corrente nas duas arquiteturas Wilson e Cascode, têm-se vantagens nos valores de excursão de saída, principalmente com menores correntes de polarização, e que é de interesse para circuitos que operam em baixas tensões e com potência reduzida, confirmando as tendências demonstradas nas simulações apresentadas neste trabalho [5.3].

6 CONCLUSÃO E PERSPECTIVAS FUTURAS

Neste trabalho foi apresentado e estudado o funcionamento de circuitos espelhos de corrente em três arquiteturas conhecidas, a Fonte Comum, a Wilson e, por último, a Cascode. Para cada uma destas arquiteturas, foi estudado o impacto da utilização do dispositivo GC SOI MOSFET, com diferentes comprimentos para a região fracamente dopada do canal, verificando o funcionamento e desempenho das arquiteturas, comparando com os circuitos de espelho de corrente utilizando o dispositivo SOI MOSFET Convencional. As comparações foram realizadas com dispositivos de mesmo comprimento de canal, tanto por simulações como por medidas experimentais.

Nos estudos realizados por simulação utilizou-se o simulador numérico bidimensional ATLAS e o simulador analítico de dispositivos SPICE. Neste último, utilizou-se um modelo analítico contínuo para descrever as características dos transistores SOI em todos os regimes de inversão da região de canal. Para as simulações SPICE utilizou-se o modelo equivalente de associação série de transistores para representar o transistor GC SOI, com o intuito de validar este modelo equivalente para a simulação de circuitos mais complexos do que os anteriormente reportados na literatura.

O casamento entre os simuladores foi feito com dispositivos discretos, verificando os valores de tensão de limiar, os valores de transcondutância e as curvas de corrente de dreno em função da tensão de dreno, como também as curvas de corrente de dreno em função da tensão aplicada à porta do dispositivo. A validação continuou sendo feita através dos circuitos de espelhos de corrente, nas três arquiteturas estudadas.

A partir dos resultados de simulação obtidos neste trabalho, pode-se dizer que os transistores GC SOI MOSFET apresentam um melhor desempenho para funcionar como espelhos de corrente em todas as arquiteturas estudadas, devido a sua maior tensão Early em relação ao dispositivo SOI MOSFET Convencional, oferecendo um melhor resultado na precisão de espelhamento e maior valor da excursão de saída. Para a excursão de saída observou-se um aumento de até 60 % nos espelhos de corrente implementados com transistores GC SOI MOSFET em relação àquela obtida com espelhos de corrente construídos com transistores SOI MOSFET Convencionais. Entre os espelhos de corrente implementados com GC SOI observou-se que na medida em que se aumente a relação L_{LD}/L tem-se uma pequena diminuição da excursão de saída em todas as arquiteturas estudadas.

Outra importante melhora observada nas simulações foi o aumento da resistência de saída dos espelhos de corrente com GC SOI, em todas as arquiteturas. Em alguns casos este

aumento atingiu até 4 vezes em relação ao espelhos de corrente implantados com transistores SOI Convencionais. Este aumento de resistência de saída contribui para a melhoria da precisão de espelhamento. À medida que se aumenta o comprimento da região fracamente dopada observa-se uma pequena diminuição da resistência de saída em todas as arquiteturas estudadas.

Com relação às arquiteturas de espelhos de corrente, independentemente do tipo de estrutura de canal, as arquiteturas Wilson e Cascode apresentam uma condutância de saída bem inferior à da arquitetura Fonte Comum, devido ao aumento do valor da resistência de saída, resultando em um melhor espelhamento do que na arquitetura Fonte comum, além de um maior valor da excursão de saída do espelho de corrente, tornando as diferenças entre a aplicação dos dispositivos SOI MOSFET Convencional e GC SOI MOSFET não tão aparentes em relação à precisão de espelhamento. Em relação à excursão de saída, a adoção de arquiteturas mais complexas do que a Fonte Comum promove a sua elevação, devido à reduzida tensão de ruptura dos transistores SOI de saída adotados na implementação em Fonte Comum.

Estudou-se, também por simulação, o tempo de estabilização dos espelhos de corrente. Observou-se que a utilização dos transistores GC SOI pode promover uma melhora de até 46% na arquitetura Fonte Comum. Esta melhora chegou a valores próximos a 80% para relações de L_{LD}/L de 0,5 e 0,6 na arquitetura Wilson e de até 29% na arquitetura Cascode, mostrando a grande eficiência dos transistores GC SOI nas diversas arquiteturas de espelhos de corrente. Esta melhoria está associada à maior transcondutância dos transistores GC SOI em relação ao transistor SOI convencional. Assim, o emprego do transistor GC SOI nas arquiteturas de espelho de corrente estudadas contribui significativamente para a sua melhora de desempenho, não apenas pela importante redução na condutância de saída, como também pela maior transcondutância.

Os resultados experimentais foram realizados com espelhos de corrente fabricados no laboratório de microeletrônica da UCL, Bélgica, com características similares às dos transistores utilizados nas simulações. Obteve-se um aumento na resistência de saída da ordem de 4 vezes nos espelhos de corrente implantados com GC SOI, similar ao obtido por simulação. Também foi extraída a excursão de saída, a qual chegou a valores próximos a 40% de aumento da excursão de saída em relação aos espelhos implantados com transistores SOI Convencional, também demonstrando a tendência similar a dos valores extraídos das simulações.

Como seqüência de trabalho é proposto um estudo da análise dinâmica das arquiteturas de espelhos de corrente, utilizando-se os transistores GC SOI MOSFET. Este estudo é importante para desenvolver a aplicação para circuitos analógicos que dependam também muito da resposta dinâmica dos circuitos. Além disto, a otimização do projeto de espelhos de corrente com transistores GC SOI poderia ser também estudada, a partir de figuras de mérito definidas, chegando-se até a dimensão dos transistores que as satisfizessem, comparando estes resultados com a implementação com transistores SOI convencionais.

Estudos das arquiteturas Wilson, Cascode com variação da temperatura, também com a aplicação dos transistores GC SOI, são também uma possibilidade interessante. Isto permitiria avaliar a funcionalidade dos espelhos de corrente com o GC SOI em locais adversos, tendo que, o transistor GC SOI já apresentou bons resultados em baixas e altas temperaturas. Outra sugestão de continuidade seria utilizar componentes com comprimento de canal inferior a $2\mu\text{m}$ e verificar o funcionamento dos espelhos de corrente em todas as arquiteturas.

REFERÊNCIAS BIBLIOGRÁFICAS

CAPÍTULO 1:

[1.1] COLINGE, J.P. Thin-film SOI devices: a perspective. Microelectronic Engineering, v8, p.127, 1998.

[1.2] YOSHIMI, M.; HAZANA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; TANGO, H. Observation of mobility enhancement in ultrathin SOI MOSFETs. Electronics Letters, v.24, n.17, p.1078-1079, 1998.

[1.3] YONG. K.K. Short-channel effect in fully depleted SOI MOSFETs. IEEE Transactions on Electron Devices, v.36, n.2, p.399, 1989.

[1.4] FOSSUM, J.G.; CHOI, J. -Y.; SUNDARESAN, R. SOI desing for competitive CMOS VLSI. IEEE Transactions on Eletron Devices, v.37, n.3, p.724-729, 1990.

[1.5] COLINGE, J.P. Hot-electron effects in silicon-on-insulator n-channel MOSFETs. IEEE Transactions on Electron Devices, v.34, n.10, p.2173-2177, 1987.

[1.6] SU, L.T.; FANG, H.; CHUNG, J.E.; ANTONIADIS, D.A. Hot-carrier effects in fully depleted SOI nMOSFETs. IEEE IEDM Technical Digest, p.349-352, 1992.

[1.7] REIMBOLD, G.; AUBERTON-HERVE, A.,-J. Aging analysis of nMOS of a 1.3- μm partially depleted SIMOX SOI Technology comparison with a 1.3- μm bulk technology. IEEE Transactions on Electron Devices, v.40, n.20, p.364-370, 1993.

[1.8] PAVANELLO, M.A. Projeto, fabricação e caracterização elétrica de uma nova estrutura para o SOI MOSFET. São Paulo – Brasil, 2000. /Tese de Doutorado – Escola Politécnica da Universidade de São Paulo/

[1.9] DE CEUSTER, D.; FLANDRE, D.; COLINGE, J.P. Improvement of SOI MOS current-mirror performances using serial-parallel association of transistors. Electronics Letters, v.32, n.4, p.278-279, 1996.

[1.10] MULLER, R.S.; KAMINS, T.I. Device Electronics for Integrated Circuits, Wiley-Interscience Publication, 1986.

[1.11] PAVANELLO, Marcelo Antonio; MARTINO, João Antonio; FLADRE, Denis. High Performance Current Mirrors Using Graded-Channel SOI nMOSFETs. In: X INTERNATIONAL SYMPOSIUM ON SILICON-ON-INSULATOR TECHNOLOGY AND DEVICES, 2001, Washington, E.U.A. Silicon-On-Insulator Technology and Devices X. Pennington, new Society, 2001. v. 2001-3, p.319-324.

[1.12] FERREIRA, R.S.; PAVANELLO, M.A.; Improved Current Mirror Performance Using Graded-Channel Silicon-On-Insulator Devices in High Temperature Operation; Electrochemical Society Proceedings, v.2004-03, pp 45-50, 2004.

[1.13] PAVANELLO, Marcelo Antonio; MARTINO, João Antonio; FLANDRE, Denis. Analog circuit design using graded-Channel Silicon-On-Insulator nMOSFETs, Solid-State Electronics, v.46, n.8, p.1215-1225, 2002.

[1.14] ATLAS program, 2D numerical device simulator, Silvaco Data Systems (version 5.10.0.R), U.S.A, 2005.

[1.15] ICAP-4 – Interactive Circuit Analysis Program (version 8.0.9), Intusoft, 2001.

CAPÍTULO 2:

[2.1] MANASEVIT, H.M.; SIMPSON, W.I. Journal Applied Physics, v.35, p.1349, 1964.

[2.2] GENTINNE, B. A study of the potential of SOI technology for analog application. Louvain-La-Neuve-Bélgica, 1996. /Tese de Doutorado – Universidade Católica de Louvain.

[2.3] KAHNG, D. A historical perspective on the development of MOS transistors and related devices. IEEE Transactions on Electron Devices, v.23, n.7, p.655, 1976.

[2.4] SZE, S.M.; Physics of semiconductor devices, 2nd Ed. New York (EUA): John Wiley and Sons, 1981.

- [2.5] YANG, J.-W.; FOSSUM, J.G.; WORKMAN, G.O.; HUANG, C.-L. A physical model for gate-body tunneling current and its effects on floating-body PD/SOI CMOS devices and circuits. Solid-State Electronics, v.48, Fevereiro, p.259-270, 2004.
- [2.6] COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI, 3 Ed. Massachusetts (EUA): kluwer Academic Publishers, 2004.
- [2.7] KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFETs. IEEE Transaction on Electron Devices, v.41, n.7, p.1217-1221, 1994.
- [2.8] YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; WADA, T.; TANGO, H. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. IEEE Transactions on Electron Devices, v.36, n.3, p.493-503, 1989.
- [2.9] GROESENEKEN, G.; COLINGE, J.P.; MAES, H.E.; ALDERMAN, J.C.; HOLT, S. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. IEEE Electron Device Letters, v.11, n.8, p.329-331, 1990.
- [2.10] YONG, K.K.; Short-channel effect in fully depleted SOI MOSFETs. IEEE Transactions on Electron Device Letters, v.36, n.2, p.399-402, 1989.
- [2.11] GAUTIER, J.; SUN, J.Y.-C. On the transient operation of partially depleted SOI n-MOSFETs. IEEE Electron Device Letters, v.16, n.11, p.497-499, 1995.
- [2.12] LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. IEEE Transactions on Electron Devices, v.30, p.1244-1251, 1983.
- [2.13] FLANDRE, D.; EGGERMONT, J.-P.; DE CEUSTER, D.; JESPERS, P.; Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. Electronics Letters, v.30, n.23, p.1933-1934, 1994.

- [2.14] GAUTIER, J.; PELELLA, M.M.; FOSSUM, J.G. SOI floating-body, device and circuit issues. IEEE IEDM Technical Digest, p.407-410, 1997.
- [2.15] LIM, H.K; FOSSUM, J.G. Current-voltage characteristics of thin-film SOI MOSFETs in strong inversion. IEEE Transactions on Electron Devices, v.31, p.401-408, 1984.
- [2.16] COLINGE, J.P.; COLINGE, C.A; Physics of Semiconductor Devices. Massachusetts (EUA): Kluwer Academic Publishers, 2002.
- [2.17] CHUANG, C.-T.; LU, P.-F.; ANDERSON, S.J. SOI for digital CMOS VLSI: design considerations and advances. Proceedings of the IEEE, v.86, n.4, p.689-720, 1998.
- [2.18] SANCHEZ, J.J.; HSUEH, K.K.; DEMASSA, T.A. Drain-engineered hot-electron-resistant device structures: a review. IEEE Transactions Electron Device, V.36, n.6, p.1125-1132, 1989.
- [2.19] JENG, M.-C.; CHUNG, J.E.; KO, P.-K.; HU, C. The effects of source/drain on deep submicrometer device performance. IEEE Transactions on Electron Devices, v.37, n.11, p.2408-2410, 1990.
- [2.20] KISTLER, N.; PLOEG, E.V.; WOO, J.; PLUMMER, J. Sub-quarter-micrometer CMOS on ultrathin (400Å) SOI. IEEE Electron Devices Letters, v.13, n.5, p.235-237, 1992.
- [2.21] PAVANELLO, M.A.; MARTINO, J.A.; DESSARD, V.; FLANDRE, D. Asymmetric channel SOI nMOSFET for reducing parasitic effects and improving output characteristics. Electrochemical and Solid-State Letters, v.1, p.50-52, 2000.
- [2.22] PAVANELLO, Marcelo Antonio; MARTINO, João Antonio; FLANDRE, Denis. Analog circuit design using graded-Channel Silicon-On-Insulator nMOSFETs, Solid-State Electronics, v.46, n.8, p.1215-1225, 2002.

[2.23] CERDEIRA, A.; ALEMÁN, M.; PAVANELLO, M.A.; MARTINO, J.A.; VANCAILLIE, L.; FLANDRE, D.; Advantages of the Graded Channel SOI FD MOSFET for Application as a Quasi-Linear Resistor. IEEE Transactions on Electron Devices, v.52, p.967-972, 2005.

[2.24] SILVEIRA, F.; FLANDRE, D.; JESPERS, P.G.A. A gm/Id based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. IEEE Journal of Solid-State Circuits, v.31, n.9, p.1314-1319, 1996.

[2.25] IÑIGUEZ, B.; FERREIRA, L.F.; GENTINNE, B.; FLANDRE, D. A physically-Based- C_{∞} -Continuous Fully-Depleted SOI MOSFET Model for Analog Applications, IEEE Transactions Electron Devices, v.43, n.4, p.568-575, 1996.

[2.26] PAVANELLO, M.A.; IÑIGUEZ, B.; MARTINO, J.A.; FLANDRE, D.; Physically-Based Continuous analytical graded-channel SOI MOSFET, Electrochemical Society Proceedings, v. 2002-8, p. 35-44, 2002.

[2.27] PAVANELLO, M.A.; IÑIGUEZ, B.; MARTINO, J.A.; FLANDRE, D.; Physically-Based Continuous analytical graded-channel SOI nMOSFET model for analog applications; Proceedings of the Fourth IEEE International Caracas Conference on Devices, Circuit and Systems, p. D030-1 – D030-5, 2002.

[2.28] ICAP-4 – Interactive Circuit Analysis Program (version 8.0.9), Intusoft, 2001.

CAPÍTULO 3:

[3.1] LAKSHMIKUMAR, K.R.; HADAWAY, R.A.; COPELAND, M.A. Characterization and modeling of mismatch in MOS transistors for precision analog design. IEEE Journal of Solid-State Circuit, v.21, n.6, p.1057-1066, 1986.

[3.2] SHICHMAN, H.; HODGES, D., Characteristics of the metal-oxide-semiconductor transistor. IEEE Journal Solid-State Circuits, v.SC-3, p.285-289, 1968.

[3.3] FERREIRA, R.S. Caracterização elétrica de Espelhos de Corrente Baseados em Transistores GC SOI MOSFET em Função da Temperatura, São Paulo – Brasil, 2004. /Dissertação de Mestrado – Escola Politécnica da Universidade de São Paulo/

[3.4] PELGROM, M.J.M.; DUINMAIJER, A.C.J.; WELBERS, A.P.G. matching properties of MOS transistors. IEEE Journal of Solid-State Circuits, v.24, n.5, p.1433-1439, 1989.

[3.5] LAKSHMIKUMAR, K.R.; HADAWAY, R.A.; COPELAND, M.A. Characterization and modeling of mismatch in MOS transistors for precision analog design. IEEE Journal of Solid-State Circuit, v.21, n.6, p.1057-1066, 1986.

[3.6] PAVANELLO, Marcelo Antonio; MARTINO, João Antonio; FLADRE, Denis. High Performance Current Mirrors Using Graded-Channel SOI nMOSFETs. In: X INTERNATIONAL SYMPOSIUM ON SILICON-ON-INSULATOR TECHNOLOGY AND DEVICES, 2001, Washington, E.U.A. Silicon-On-Insulator Technology and Devices X. Pennington, new Society, 2001. v. 2001-3, p.319-324.

[3.7] D. G. Nairn, Analytic Step Response of MOS Current Mirrors, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, Fundamental theory and applications, v.40, n.2, 1993.

[3.8] GREGORIAN, R.; TEMES, G.C., Analog MOS Integrated Circuits for Signal Processing, New York: Jonh Wiley Series on Filter, Design, manufacturing, and application, 1986.

CAPÍTULO 4:

[4.1] TERAQ, A.; FLADRE, D.; LORA-TAMAYO, E.; VAN DE WIELE, F.; Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. , IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, v.12, p.682-684, 1991.

[4.2] COLINGE, J.P.; Silicon-On-Insulator Technology: Materials to VLSI. 3rd. Ed. Massachusetts: Kluwer Academic Publishers, 2004.

[4.3] SZE, S.M.; Physics of semiconductor devices. 2nd Ed. New York (EUA): John Wiley and Sons, 1981.

[4.4] SANTOS, A.A.; FLANDRE, D.; PAVANELLO, M.A.; Impact of Graded-Channel SOI MOSFET Application on the Performance of Cascode and Wilson Current Mirrors. In Microeletronic Technology and Devices SBMicro 2007.

[4.5] FERREIRA, R.S. Caracterização elétrica de Espelhos de Corrente Baseados em Transistores GC SOI MOSFET em Função da Temperatura, São Paulo – Brasil, 2004. /Dissertação de Mestrado – Escola Politécnica da Universidade de São Paulo/

[4.6] JANG, W. Y.; WU, C.y.; WU, H.J. A new experimental method to determine the saturation voltage of a small-geometry MOSFET. Solid-State Electronics, v.31, n.9, p. 1421-1431, 1988.

[4.7] Palumbo, G.. Design of the Wilson and Improved Wilson MOS Current Mirrors to Reach the Best Settling Time. IEEE International Symposium on Circuit and Systems, v.5, p. 413-416, 1994.

CAPÍTULO 5:

[5.1] PAVANELLO, M.A.; MARTINO, J.A.; DESSARD, V.; FLANDRE, D. The graded-channel SOI MOSFET to alleviate the parasitic bipolar effects and improve the output characteristics. In: Silicon-on-Insulator Technology and Devices 1999, Pennington (EUA): The Electrochemical Society, p.293-298, 1999.

[5.2] PAVANELLO, M.A. Projeto, fabricação e caracterização elétrica de uma nova estrutura para o SOI MOSFET. São Paulo – Brasil, 2000. /Tese de Doutorado – Escola Politécnica da Universidade de São Paulo/

[5.3] SANTOS, A.A.; FLANDRE, D.; PAVANELLO, M.A.; Impact of Graded-Channel SOI MOSFET Application on the Performance of Cascode and Wilson Current Mirrors. In Microeletronic Technology and Devices SBMicro 2007.

[5.4] FERREIRA, R.S. Caracterização elétrica de Espelhos de Corrente Baseados em Transistores GC SOI MOSFET em Função da Temperatura, São Paulo – Brasil, 2004.
/Dissertação de Mestrado – Escola Politécnica da Universidade de São Paulo/

APÊNDICE A

Arquivos de simulação do ATLAS e SPICE, para obtenção das curvas de dispositivo.

go atlas

mesh space.mult=1.0

x.mesh loc=0.00 spac=0.1

x.mesh loc=2.2 spac=0.1

x.mesh loc=2.24 spac=0.005

x.mesh loc=2.25 spac=0.01

x.mesh loc=2.3 spac=0.01

x.mesh loc=2.4 spac=0.1

x.mesh loc=2.9 spac=0.1

x.mesh loc=3.4 spac=0.1

x.mesh loc=3.8 spac=0.1

x.mesh loc=4.1 spac=0.1

x.mesh loc=4.2 spac=0.1

x.mesh loc=4.23 spac=0.005

x.mesh loc=4.25 spac=0.005

x.mesh loc=4.3 spac=0.1

x.mesh loc=6.5 spac=0.1

#

y.mesh loc=-0.03 spac=0.005

y.mesh loc=0.00 spac=0.002

y.mesh loc=0.01 spac=0.005

y.mesh loc=0.035 spac=0.01

y.mesh loc=0.07 spac=0.01

y.mesh loc=0.08 spac=0.005

y.mesh loc=0.09 spac=0.1

y.mesh loc=0.42 spac=0.1

y.mesh loc=0.47 spac=0.05

#

region num=1 y.max=0 oxide

region num=2 y.min=0 y.max=0.08 silicon

region num=3 y.min=0.08 oxide

#

electrode name=gate x.min=2.25 x.max=4.25 y.min=-0.03 y.max=-0.03

electrode name=source x.min=0 x.max=0 y.min=0 y.max=0.08

electrode name=drain x.min=6.5 x.max=6.5 y.min=0 y.max=0.08

electrode name=substrate bottom

doping uniform conc=5e16 p.type reg=2 x.l=2.25 x.r=4.25

doping gaussian n.type conc=8e20 char=0.2 lat.char=0.00304 reg=2 x.r=2.25

doping gaussian n.type conc=8e20 char=0.2 lat.char=0.00304 reg=2 x.l=4.25

contact name=gate n.poly

```

contact name=substrate workfunc=4.95
contact name=drain neutral
contact name=source neutral

models srh bgn auger consrh kla shi fldmob print temp=300

solve init
method newton autonr trap maxtrap=10
solve prev

solve vdrain=1E-3
solve vdrain=1E-2
solve vdrain=0.1

impact selb AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6
solve prev

solve vdrain=0.1
log outf=conv_01V.log
solve vgate=0 vstep=0.01 vfinal=4.0 name=gate

quit

```

- Simulador SPICE para SOI MOSFET Convencional

```

*Trasistor GC SOI
X1 2 3 0 0 GCSOI

*Fontes de tensao
Vds 1 0 0.1
v0 1 2 0
Vgs 3 0 dc

.SUBCKT GCSOI 1 2 3 4
a1 1 2 3 4 nSOI
*Modelo SOI completamente depletado
.model nSOI fdsoin (w=1e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=5e16
+u0=6.2e-2 temp=300 rd=25 nit=2e10 vthf=0.46 vthfi=0.41 af=7e-9 snt=0.99
+sigma=0 ld=1e-7 qof=8e-9 qob=8e-9 ats=3 vsat=1e5 ldiff=4e-9 ene=1.1
+llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vbfb=-1.3 ics=0 icgb=0
.ends

.control
op
show all
.endc
.dc vgs 0 4 0.01
.PRINT DC i(v0)
.END

```

- Simulador SPICE para GC SOI MOSFET de relação $L_d/L=0,5$

```
*Trasistor GC SOI
X1 2 3 0 0 GCSOI
```

```
*Fontes de tensao
Vds 1 0 0.1
v0 1 2 0
Vgs 3 0 dc
```

```
.SUBCKT GCSOI 1 2 3 4
a1l 1 2 5 4 nSOIL
a1h 5 2 3 4 nSOIH
```

```
*Modelo SOI completamente depletado - simulando LD
.model nSOIL fdsoin (w=1e-6 l=1e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e15
+u0=9.5e-2 temp=300 rd=25 nit=2e10 vthf=-0.35 vthfi=-0.4 af=1e-8 snt=0.99
+sigma=0 ld=2e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1e5 ldiff=4e-9 ene=1.1
+llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vbb=-1.3 ics=0 icgb=0
```

```
*Modelo SOI completamente depletado - simulando HD
.model nSOIH fdsoin (w=1e-6 l=1e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=5e16
+u0=5.1e-2 temp=300 rd=25 nit=2e10 vthf=0.44 vthfi=0.39 af=7.2e-9 snt=0.99
+sigma=0 ld=3e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1e5 ldiff=4e-9 ene=1.1
+llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vbb=-1.3 ics=0 icgb=0
.ends
```

```
.control
op
show all
.endc
.dc vgs 0 4 0.01
.PRINT DC i(v0)
.END
```

APÊNDICE B

Arquivos de simulação do ATLAS e SPICE, para obtenção das curvas dos espelhos de corrente na arquitetura fonte comum, Wilson e Cascode.

- *Fonte Comum*

```
GO ATLAS
```

```
.BEGIN
```

```
VDIN 1 0 0
```

```
VDOUT 2 0 0
```

```
AGCIN 1=drain 1=gate 0=source 0=substrate INFILE=conv.str
```

```
AGCOUT 2=drain 1=gate 0=source 0=substrate INFILE=conv.str
```

```
.SAVE OUTFILE=conv
```

```
.LOG OUTFILE=conv
```

```
.DC VDOUT 0 1.5 0.1
```

```
.NODESET V(2)=0.
```

```
.END
```

```
MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB  
PRINT TEMP=300
```

```
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB  
PRINT TEMP=300
```

```
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6  
BN2=2.5E6
```

```
contact name=gate n.poly device=AGCIN
```

```
contact name=substrate workfunc=4.95 device=AGCIN
```

```
contact name=drain neutral device=AGCIN
```

```
contact name=source neutral device=AGCIN
```

```
contact name=gate n.poly device=AGCOUT
```

```
contact name=substrate workfunc=4.95 device=AGCOUT
```

```
contact name=drain neutral device=AGCOUT
```

```
contact name=source neutral device=AGCOUT
```

```
method newton autonr trap maxtrap=10
```

```
GO ATLAS
```

```
.BEGIN
```

```
VDIN 1 0 0
```

```
VDOUT 2 0 1.5
```

```
AGCIN 1=drain 1=gate 0=source 0=substrate INFILE=conv.str
```

```
AGCOUT 2=drain 1=gate 0=source 0=substrate INFILE=conv.str
```

```
.LOAD INFILE=conv
.NODESET V(2)=1.5.
```

```
.LOG OUTFILE=OUT_CM_conv_comum
.DC VDIN 0 4 0.01
.END
```

```
MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
```

```
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
```

```
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN
```

```
contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT
```

```
method newton autonr trap maxtrap=10
```

```
go atlas
```

- Simulador SPICE para SOI MOSFET convencional na arquitetura Fonte Comum.

```
*Transistores do espelho de corrente
```

```
X1 1 1 0 0 GCSOI
```

```
X2 3 1 0 0 GCSOI
```

```
*Fontes de tensao
```

```
Vds 4 0 1.5
```

```
v1 2 0 dc
```

```
v0 4 3 0
```

```
v2 2 1 0
```

```
.SUBCKT GCSOI 1 2 3 4
```

```
a1 1 2 3 4 nSOI
```

```
*Modelo SOI completamente depletado
```

```
.model nSOI fdsoin (w=1e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=5e16
```

```
+u0=6.2e-2 temp=300 rd=25 nit=2e10 vthf=0.46 vthfi=0.41 af=7e-9 snt=0.99
```

```
+sigma=0 ld=1e-7 qof=8e-9 qob=8e-9 ats=3 vsat=1e5 ldiff=4e-9 ene=1.1
+llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.3 ics=0 icgb=0)
.ends
```

```
.control
op
show all
.endc
.dc v1 0 4 0.01
.PRINT DC i(v2) i(v0)
.END
```

- *Arquitetura Wilson*

```
go atlas
.BEGIN
```

```
VDIN 1 0 0
VDOUT 3 0 0
AGCIN 1=drain 1=gate 5=source 0=substrate INFILE=conv.str
AGCOUT 3=drain 1=gate 6=source 0=substrate INFILE=conv.str
AGCIN2 5=drain 6=gate 0=source 0=substrate INFILE=conv.str
AGCOUT2 6=drain 6=gate 0=source 0=substrate INFILE=conv.str
```

```
.SAVE OUTFILE=conv
.LOG OUTFILE=conv
.DC VDOUT 0 0.2 0.01
.DC VDOUT 0.2 1.5 0.1
.NODESET V(3)=0.
.END
```

```
MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
MODELS DEVICE=AGCIN2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCIN2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCOUT2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```

contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN

```

```

contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT

```

```

contact name=gate n.poly device=AGCIN2
contact name=substrate workfunc=4.95 device=AGCIN2
contact name=drain neutral device=AGCIN2
contact name=source neutral device=AGCIN2

```

```

contact name=gate n.poly device=AGCOUT2
contact name=substrate workfunc=4.95 device=AGCOUT2
contact name=drain neutral device=AGCOUT2
contact name=source neutral device=AGCOUT2

```

```

method newton autonr trap maxtrap=10

```

```

GO ATLAS
.BEGIN

```

```

VDIN 1 0 0
VDOUT 3 0 1.5
AGCIN 1=drain 1=gate 5=source 0=substrate INFILE=conv.str
AGCOUT 3=drain 1=gate 6=source 0=substrate INFILE=conv.str
AGCIN2 5=drain 6=gate 0=source 0=substrate INFILE=conv.str
AGCOUT2 6=drain 6=gate 0=source 0=substrate INFILE=conv.str

```

```

.LOAD INFILE=conv
.NODESET V(3)=1.5.

```

```

.LOG OUTFILE=CM_conv_wil
.DC VDIN 0 4 0.01
.END

```

```

MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6

```

```

MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

```

```

MODELS DEVICE=AGCIN2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300

```

```
IMPACT DEVICE=AGCIN2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
```

```
IMPACT DEVICE=AGCOUT2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN
```

```
contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT
```

```
contact name=gate n.poly device=AGCIN2
contact name=substrate workfunc=4.95 device=AGCIN2
contact name=drain neutral device=AGCIN2
contact name=source neutral device=AGCIN2
```

```
contact name=gate n.poly device=AGCOUT2
contact name=substrate workfunc=4.95 device=AGCOUT2
contact name=drain neutral device=AGCOUT2
contact name=source neutral device=AGCOUT2
```

```
method newton autonr trap maxtrap=10
```

```
go atlas
```

- Simulador SPICE para SOI MOSFET convencional para arquitetura Wilson

```
*Transistores do espelho de corrente
```

```
X1 1 1 5 0 GCSOI
```

```
X2 3 1 6 0 GCSOI
```

```
X3 5 6 0 0 GCSOI
```

```
X4 6 6 0 0 GCSOI
```

```
*Fontes de tensao
```

```
Vds 4 0 1.5
```

```
v1 2 0 dc
```

```
v0 4 3 0
```

```
v2 2 1 0
```

```
.SUBCKT GCSOI 1 2 3 4
```

```
a1 1 2 3 4 nSOI
```

```
*Modelo SOI completamente depletado
```

```
.model nSOI fdsoin (w=1e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=5e16
```

```
+u0=6.2e-2 temp=300 rd=25 nit=2e10 vthf=0.46 vthfi=0.41 af=7e-9 snt=0.99
+sigma=0 ld=1e-7 qof=8e-9 qob=8e-9 ats=3 vsat=1e5 ldiff=4e-9 ene=1.1
+llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.3 ics=0 icgb=0)
.ends
```

```
.control
op
show all
.endc
.dc v1 0 4 0.01
.PRINT DC i(v2) i(v0)
.END
```

- *Arquitetura Cascode*

```
go atlas
.BEGIN
```

```
VDIN 1 0 0
VDOUT 3 0 0
AGCIN 1=drain 1=gate 5=source 0=substrate INFILE=conv.str
AGCOUT 3=drain 1=gate 6=source 0=substrate INFILE=conv.str
AGCIN2 5=drain 5=gate 0=source 0=substrate INFILE=conv.str
AGCOUT2 6=drain 5=gate 0=source 0=substrate INFILE=conv.str
```

```
.SAVE OUTFILE=conv
.LOG OUTFILE=conv
.DC VDOUT 0 1.5 0.1
.NODESET V(2)=0.
.END
```

```
MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
MODELS DEVICE=AGCIN2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCIN2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCOUT2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```

contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN

```

```

contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT

```

```

contact name=gate n.poly device=AGCIN2
contact name=substrate workfunc=4.95 device=AGCIN2
contact name=drain neutral device=AGCIN2
contact name=source neutral device=AGCIN2

```

```

contact name=gate n.poly device=AGCOUT2
contact name=substrate workfunc=4.95 device=AGCOUT2
contact name=drain neutral device=AGCOUT2
contact name=source neutral device=AGCOUT2

```

```

method newton autonr trap maxtrap=10

```

```

GO ATLAS
.BEGIN

```

```

VDIN 1 0 0
VDOUT 3 0 1.5
AGCIN 1=drain 1=gate 5=source 0=substrate INFILE=conv.str
AGCOUT 3=drain 1=gate 6=source 0=substrate INFILE=conv.str
AGCIN2 5=drain 5=gate 0=source 0=substrate INFILE=conv.str
AGCOUT2 6=drain 5=gate 0=source 0=substrate INFILE=conv.str

```

```

.LOAD INFILE=conv
.NODESET V(3)=1.5.

```

```

.LOG OUTFILE=OUT_conv_casc_vdout15
.DC VDIN 0 0.1 0.001
.DC VDIN 0.1 4 0.01
.END

```

```

MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6

```

```

MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

```

```

MODELS DEVICE=AGCIN2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCIN2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

```

```

MODELS DEVICE=AGCOUT2 REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
IMPACT DEVICE=AGCOUT2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

```

```

contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN

```

```

contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT

```

```

contact name=gate n.poly device=AGCIN2
contact name=substrate workfunc=4.95 device=AGCIN2
contact name=drain neutral device=AGCIN2
contact name=source neutral device=AGCIN2

```

```

contact name=gate n.poly device=AGCOUT2
contact name=substrate workfunc=4.95 device=AGCOUT2
contact name=drain neutral device=AGCOUT2
contact name=source neutral device=AGCOUT2

```

```

method newton autonr trap maxtrap=10

```

```

go atlas

```

- Simulador SPICE para SOI MOSFET convencional para arquitetura Cascode

```

*Transistores do espelho de corrente

```

```

X1 1 1 5 0 GCSOI
X2 3 1 6 0 GCSOI
X3 5 5 0 0 GCSOI
X4 6 5 0 0 GCSOI

```

```

*Fontes de tensao

```

```

Vds 4 0 1.5
v1 2 0 dc

```

```
v0 4 3 0
v2 2 1 0
```

```
.SUBCKT GCSOI 1 2 3 4
```

```
a1 1 2 3 4 nSOI
```

```
*Modelo SOI completamente depletado
```

```
.model nSOI fdsoin (w=1e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=5e16
+u0=6.2e-2 temp=300 rd=25 nit=2e10 vthf=0.46 vthfi=0.41 af=7e-9 snt=0.99
+sigma=0 ld=1e-7 qof=8e-9 qob=8e-9 ats=3 vsat=1e5 ldiff=4e-9 ene=1.1
+llat=0.3e-9 wd=0.1e-9 icgf=4 vfbf=-1.027 vfbb=-1.3 ics=0 icgb=0)
.ends
```

```
.control
```

```
op
```

```
show all
```

```
.endc
```

```
.dc v1 0 4 0.01
```

```
.PRINT DC i(v2) i(v0)
```

```
.END
```

- Simulador SPICE para GC SOI MOSFET de relação $L_d/L=0,5$ na arquitetura Cascode

```
*Transistores do espelho de corrente
```

```
X1 1 1 5 0 GCSOI
```

```
X2 3 1 6 0 GCSOI
```

```
X3 5 5 0 0 GCSOI
```

```
X4 6 5 0 0 GCSOI
```

```
*Fontes de tensao
```

```
Vds 4 0 1.5
```

```
v1 2 0 dc
```

```
v0 4 3 0
```

```
v2 2 1 0
```

```
.SUBCKT GCSOI 1 2 3 4
```

```
a1l 1 2 5 4 nSOIL
```

```
a1h 5 2 3 4 nSOIH
```

```
*Modelo SOI completamente depletado - simulando LD
```

```
.model nSOIL fdsoin (w=1e-6 l=1e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e15
+u0=9.5e-2 temp=300 rd=25 nit=2e10 vthf=-0.35 vthfi=-0.4 af=1e-8 snt=0.99
+sigma=0 ld=2e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1e5 ldiff=4e-9 ene=1.1
+llat=0.3e-9 wd=0.1e-9 icgf=4 vfbf=-1.027 vfbb=-1.3 ics=0 icgb=0)
```

```
*Modelo SOI completamente depletado - simulando HD
```

```
.model nSOIH fdsoin (w=1e-6 l=1e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=5e16
+u0=5.1e-2 temp=300 rd=25 nit=2e10 vthf=0.44 vthfi=0.39 af=7.2e-9 snt=0.99
+sigma=0 ld=3e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1e5 ldiff=4e-9 ene=1.1)
```

```
+llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfbb=-1.3 ics=0 icgb=0
```

```
.control  
op  
show all  
.endc  
.dc v1 0 4 0.01  
.PRINT DC i(v2) i(v0)  
.END
```

APÊNDICE C

Arquivos de simulação do ATLAS, para obtenção das curvas de tempo de resposta dos espelhos de corrente na arquitetura fonte comum, Wilson e Cascode.

- *Arquitetura Fonte Comum*

```
GO ATLAS
.BEGIN
```

```
IIN 0 1 0. PULSE 0 1e-6 1N 0N 0N 12N 13N
VDOUT 2 0 1.5
AGCIN 1=drain 1=gate 0=source 0=substrate INFILE=CONV.str
AGCOUT 2=drain 1=gate 0=source 0=substrate INFILE=CONV.str
```

```
.LOAD INFILE=CONVco
.NODESET V(2)=1.5.
```

```
.LOG OUTFILE=OUT_conv_COMUM_1u
.TRAN 0.02ns 8ns
.END
```

```
MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
```

```
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6 BN2=2.5E6
```

```
MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI FLDMOB
PRINT TEMP=300
```

```
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6
```

```
contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN
```

```
contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT
```

```
method newton dt.max=0.02e-9 dt.min=0.02e-9
```

- *Arquitectura Cascade*

```

GO ATLAS
.BEGIN

IIN 0 1 0. PULSE 0 1e-6 1N 0N 0N 12N 13N
VDOUT 2 0 1.5
AGCIN 1=drain 1=gate 5=source 0=substrate INFILE=GC06.str
AGCOUT 2=drain 1=gate 6=source 0=substrate INFILE=GC06.str
AGCIN2 5=drain 5=gate 0=source 0=substrate INFILE=GC06.str
AGCOUT2 6=drain 5=gate 0=source 0=substrate INFILE=GC06.str

.LOAD INFILE=gc06cas
.NODESET V(2)=1.5.

.LOG OUTFILE=OUT_gc06_CASC_1u
.TRAN 0.02ns 8ns
.END

MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI
FLDMOB PRINT TEMP=300
IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI
FLDMOB PRINT TEMP=300
IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

MODELS DEVICE=AGCIN2 REG=2 SRH BGN AUGER CONSRH KLA SHI
FLDMOB PRINT TEMP=300
IMPACT DEVICE=AGCIN2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

MODELS DEVICE=AGCOUT2 REG=2 SRH BGN AUGER CONSRH KLA SHI
FLDMOB PRINT TEMP=300
IMPACT DEVICE=AGCOUT2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN

contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT

```

contact name=source neutral device=AGCOUT

contact name=gate n.poly device=AGCIN2
 contact name=substrate workfunc=4.95 device=AGCIN2
 contact name=drain neutral device=AGCIN2
 contact name=source neutral device=AGCIN2

contact name=gate n.poly device=AGCOUT2
 contact name=substrate workfunc=4.95 device=AGCOUT2
 contact name=drain neutral device=AGCOUT2
 contact name=source neutral device=AGCOUT2

method newton dt.max=0.02e-9 dt.min=0.02e-9

- *Arquitetura Wilson*

GO ATLAS
 .BEGIN

IIN 0 1 0. PULSE 0 1e-6 1N 0N 0N 12N 13N
 VDOUT 2 0 1.5
 AGCIN 1=drain 1=gate 5=source 0=substrate INFILE=GC02.str
 AGCOUT 2=drain 1=gate 6=source 0=substrate INFILE=GC02.str
 AGCIN2 5=drain 6=gate 0=source 0=substrate INFILE=GC02.str
 AGCOUT2 6=drain 6=gate 0=source 0=substrate INFILE=GC02.str

.LOAD INFILE=gc02wil
 .NODESET V(2)=1.5.

.LOG OUTFILE=OUT_gc02_wil_1u
 .TRAN 0.02ns 8ns
 .END

MODELS DEVICE=AGCIN REG=2 SRH BGN AUGER CONSRH KLA SHI
 FLDMOB PRINT TEMP=300
 IMPACT DEVICE=AGCIN REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
 BN2=2.5E6

MODELS DEVICE=AGCOUT REG=2 SRH BGN AUGER CONSRH KLA SHI
 FLDMOB PRINT TEMP=300
 IMPACT DEVICE=AGCOUT REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
 BN2=2.5E6

MODELS DEVICE=AGCIN2 REG=2 SRH BGN AUGER CONSRH KLA SHI
 FLDMOB PRINT TEMP=300
 IMPACT DEVICE=AGCIN2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
 BN2=2.5E6

MODELS DEVICE=AGCOUT2 REG=2 SRH BGN AUGER CONSRH KLA SHI
FLDMOB PRINT TEMP=300

IMPACT DEVICE=AGCOUT2 REG=2 SELB AN1=7.5e5 AN2=7.5e5 BN1=2.5E6
BN2=2.5E6

contact name=gate n.poly device=AGCIN
contact name=substrate workfunc=4.95 device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN

contact name=gate n.poly device=AGCOUT
contact name=substrate workfunc=4.95 device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT

contact name=gate n.poly device=AGCIN2
contact name=substrate workfunc=4.95 device=AGCIN2
contact name=drain neutral device=AGCIN2
contact name=source neutral device=AGCIN2

contact name=gate n.poly device=AGCOUT2
contact name=substrate workfunc=4.95 device=AGCOUT2
contact name=drain neutral device=AGCOUT2
contact name=source neutral device=AGCOUT2

method newton dt.max=0.02e-9 dt.min=0.02e-9