

CENTRO UNIVERSITÁRIO DA FEI

DENIS RODRIGO DE OLIVEIRA

**ESTUDO COMPARATIVO DA TENSÃO DE LIMIAR,
COMPRIMENTO EFETIVO DE CANAL, RESISTÊNCIA
SÉRIE DE FONTE E DRENO E DE $g_m/I_{DS} \times I_{DS}/(W/L)$ ENTRE O
CYNTHIA E O PSG COM TECNOLOGIAS DE CANAL
CONVENCIONAL E GRADUAL**

São Bernardo do Campo

2009

DENIS RODRIGO DE OLIVEIRA

**ESTUDO COMPARATIVO DA TENSÃO DE LIMIAR,
COMPRIMENTO EFETIVO DE CANAL, RESISTÊNCIA
SÉRIE DE FONTE E DRENO E DE $g_m/I_{DS} \times I_{DS}/(W/L)$ ENTRE O
CYNTHIA E O PSG COM TECNOLOGIAS DE CANAL
CONVENCIONAL E GRADUAL**

Dissertação de Mestrado apresentada ao
Centro Universitário da FEI para a obtenção
do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Salvador Pinillos
Gimenez

São Bernardo do Campo

2009

Oliveira, Denis Rodrigo de

Estudo comparativo da tensão de limiar, comprimento efetivo de canal, resistência série de fonte e dreno e de $g_m/I_{DS} \times I_{DS}/(W/L)$ entre o *CYNTHIA* e o PSG com tecnologias de canal convencional e gradual. / Denis Rodrigo de Oliveira. São Bernardo do Campo, 2010.

159f. : il..

Dissertação (Mestrado) – Centro Universitário da FEI.

Orientador: Prof. Dr. Salvador Pinillos Gimenez.

1. SOI 2. Canal Gradual. 3. CYNTHIA. 4. Pillar Surrounding Gate. I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.381



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Denis Rodrigo de Oliveira

Matricula: 1071133

Título do Trabalho: Estudo comparativo da tensão de limiar, do comprimento efetivo de canal, da resistência série de fonte e dreno e de $gm/IDS \times IDS / (W/L)$ entre o CYNTHIA e PSG com tecnologias de canal convencional e gradual.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 30 / novembro / 2009

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒

REPROVADO ☐

São Bernardo do Campo, 30 / 11 / 2009

MEMBROS DA BANCA JULGADORA

Prof. Dr. Salvador Pinillos Gimenez

Ass.: _____

Prof. Dr. Renato Camargo Giacomini

Ass.: _____

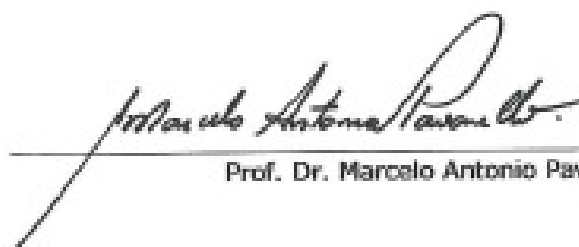
Prof. Dr. João Antonio Martino

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação



Prof. Dr. Marcelo Antonio Pavanello

Dedico esse trabalho a Deus, a meus pais e a
minha amada esposa Alessandra pelo seu
apoio e compreensão em todos os momentos.

AGRADECIMENTOS

Ao meu orientador, Prof. Dr. Salvador Pinillos Gimenez, pela imensa dedicação dedicada a mim e a minha pesquisa. Por ter se mostrado muito mais que um parceiro de jornada, se tornando um grande amigo e merecedor da minha admiração. Sou grato também por ter acreditado em mim e em meu trabalho.

Aos meus pais Genésio de Oliveira e Maria de Lourdes Oliveira e ao meu irmão André Eduardo de Oliveira, pelas orações e amparo dado durante esse período.

A minha amada esposa Alessandra Ferraz Bacelar de Oliveira por todo amor, paciência e muito, muito, muito apoio oferecidos durante esses dois anos e seis meses.

Aos professores Dr. Marcello Bellodi, Dr. Marcelo Antonio Pavanello e Dr. Renato Camargo Giacomini, pelos ensinamentos passados durante o período de aulas e as contribuições dadas durante essa pesquisa e preparo da dissertação.

A todos companheiros da Volkswagen por compreender meu desejo de cursar um mestrado e me oferecer totais condições para que eu pudesse tirar o maior proveito desse passo tão importante de minha vida.

Aos colegas de turma e das turmas anterior e posterior pela contribuição direta e indireta na minha pesquisa e desenrolar desse trabalho, em especial aos colegas Márcio e Rudolf.

A toda equipe da FEI que participou nos bastidores me oferecendo total conforto, infra-estrutura e materiais adequados.

A todos aqueles involuntariamente esquecidos, mas que contribuíram de alguma forma ou que se interessaram por essa causa tão importante para mim.

Por último, porém o mais importante, agradeço a Deus pela vida cheia de saúde, oportunidades e por permitir que tantas pessoas boas estivessem a minha volta contribuindo para a realização desse sonho.

Grandes realizações não são feitas por impulso, mas por uma soma de pequenas realizações.

Vicent Van Gogh

Um pouco de ciência nos afasta de Deus.
Muito, nos aproxima.

Louis Pasteur

RESUMO

Oliveira, D. R. **Estudo comparativo da tensão de limiar, comprimento efetivo de canal, resistência série de fonte e dreno e de $g_m/I_{DS} \times I_{DS}/(W/L)$ entre o CYNTHIA e PSG com tecnologias de canal convencional e gradual.** 2009. 159 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2009.

A crescente demanda por dispositivos eletrônicos integrados com baixa potência e baixa tensão motiva a comunidade científica na busca de novas tecnologias que supram estas necessidades. Atualmente, os dispositivos MOSFETs com porta circundante apresentam grande potencial para o futuro dos circuitos analógicos com baixa potência e baixa tensão. Dentre estes dispositivos destacam-se o “Pillar Surrounding Gate” (PSG), de seção transversal quadrada e o CYNTHIA, de seção transversal circular. Neste trabalho é apresentado o estudo comparativo entre o PSG e o CYNTHIA SOI nMOSFETs com tecnologias convencional e de canal gradual, visando aplicações analógicas. Para tanto, através do editor de estruturas semicondutoras DevEdit3D, foram geradas estruturas tridimensionais dos dispositivos PSG e CYNTHIA nMOSFETs de canal convencional e gradual. No caso dos dispositivos de canal convencional, foram geradas estruturas variando-se o comprimento e a largura de canal, e para os dispositivos com canal gradual, foi variado o comprimento da região de dopagem natural (“low doped”). Devido à geometria da seção transversal do dispositivo PSG SOI nMOSFET ser quadrada, o mesmo possui forte influência dos cantos em seu comportamento, ao contrário do CYNTHIA SOI nMOSFET cuja seção transversal é circular e isenta de tais efeitos por não apresentar cantos, o que lhe confere um melhor controle do canal. Foram realizadas simulações numéricas tridimensionais (ATLAS), a fim de determinar as curvas características da corrente entre fonte e dreno em função da tensão entre porta e fonte dos dispositivos PSG e CYNTHIA de canal convencional e gradual. A partir destas curvas foi possível extrair importantes figuras de mérito tais como: tensão de limiar, inclinação de sub-limiar, resistência série, transcondutância e a razão da transcondutância pela corrente entre fonte e dreno em função da corrente entre fonte e dreno normalizada em relação ao fator geométrico $[g_m/I_{DS} \times I_{DS}/(W/L)]$. Quando observa-se os valores de $g_m/I_{DS} \times I_{DS}/(W/L)$ com os dispositivos operando nas mesmas condições de polarização, verifica-se grande superioridade do dispositivo CYNTHIA sobre o PSG (20% nas regiões de inversão fraca e moderada), independentemente do canal ser convencional ou gradual. Comparando-se os mesmos dispositivos, porém com relação a tecnologia de canal utilizada, convencional ou gradual, podemos observar que os dispositivos com o canal gradual apresentam melhores valores de $g_m/I_{DS} \times I_{DS}/(W/L)$ do que os dispositivos de canal convencional, nas regiões de inversão fraca e moderada. Portanto, assim como os dispositivos CYNTHIA são superiores comparados aos dispositivos PSG, da mesma forma, quando compara-se os dispositivos de canal gradual com os dispositivos de canal convencional, verifica-se que os dispositivos de canal gradual também são superiores comparados aos dispositivos de canal convencional. Logo tanto os dispositivos CYNTHIA, independentemente da tecnologia de canal, quanto os dispositivos de canal gradual, independentemente de serem CYNTHIA ou PSG, são excelentes alternativas para aplicações de circuitos integrados analógicos.

Palavras-chave: SOI, canal gradual, porta circundante, CYNTHIA

ABSTRACT

Oliveira, D. R. **Comparative study of the threshold voltage, effective channel length, series resistance of source and drain and $g_m/I_{DS} \times I_{DS}/(W/L)$ between PSG and CYNTHIA with conventional and graded channel technologies.** 2009. 159 p., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2009.

The increasing demand for integrated electronic devices with low power and low voltage characteristics motivates the scientific community in the search of new technologies that supply these necessities. Nowadays, the MOSFETs devices with surrounding gate present great potential for the future of the analog integrated circuits with low power and low voltage. Amongst these devices stand out the “Pillar Surrounding Gate” (PSG), of square cross-section and the CYNTHIA, of circular cross-section. In this work, the comparative study between the PSG and CYNTHIA SOI nMOSFETs with conventional and graded channel technologies, aiming the analogical applications, is presented. Therefore, through the semiconductor structures editor DevEdit3D, three-dimensional structures of the PSG and CYNTHIA nMOSFETs with conventional and graded channel had been generated. In the case of the devices with conventional channel technology, structures had been generated varying the channel width and length, and in the case of the devices with graded channel technology, the length of the natural doped region was varied. Due to the geometry of the transversal section of PSG SOI nMOSFET to be square shaped, it presents strong influence of the corner effect. On the other hand, the transversal section of CYNTHIA SOI nMOSFET is circular, what confers it a better control of the channel. Three-dimensional numerical simulations (ATLAS) have been performed in order to determine the characteristic curves of current between drain and source as a function of the gate and source voltage of conventional and graded channel PSG and CYNTHIA devices. From these curves which are possible to extract several important figures of merit such as: threshold voltage, subthreshold slope, series resistance, transconductance and the ratio of the transconductance by current between drain and source as a function of the ratio of the current between drain and source normalized by the geometric factor $[g_m/I_{DS} \times I_{DS}/(W/L)]$. When observed the $g_m/I_{DS} \times I_{DS}/(W/L)$ values with the same polarization conditions, it verifies the superiority of the devices CYNTHIA in comparison of PSG (20% in regions of weak and moderate inversion), independently if conventional or graded channel. Comparing the same devices, but as for the technology channel used, conventional or graded, can be observed that the devices with graded channel present best values of $g_m/I_{DS} \times I_{DS}/(W/L)$ than the conventional channel devices, in the regions of weak and moderate inversion. Therefore, as the CYNTHIA devices are superior compared to PSG devices, the same way, when compared to the graded channel devices with conventional channel devices, it appears that the graded channel devices are also higher compared to conventional channel devices, so both CYNTHIA devices, regardless of the technology channel, and the graded channel devices, whether CYNTHIA or PSG, are excellent alternatives for applications of analog integrated circuits.

Keywords: SOI, graded channel, surrounding gate, CYNTHIA

SUMÁRIO

1	INTRODUÇÃO	24
2	CONCEITOS FUNDAMENTAIS	30
2.1	Dispositivos CYNTHIA e PSG	30
2.2	Dispositivos CYNTHIA e PSG de canal gradual	33
2.3	Comprimento Efetivo de Canal	35
2.4	Tensão de Limiar	36
2.5	Resistência série	38
2.6	Inclinação de sub-limiar	41
2.7	Transcondutância.....	44
2.8	Razão de transcondutância pela corrente entre fonte e dreno em função da corrente entre fonte e dreno normalizada em relação ao fator geométrico.....	46
3	RESULTADOS DAS SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS	48
3.1	O simulador ATLAS	48
3.1.1	Modelos utilizados.....	51
3.2	Dispositivos simulados	52
3.3	Resultados das simulações numéricas tridimensionais.....	54
3.3.1	Tensão de limiar nos dispositivos PSG e CYNTHIA SOI MOSFETs	54
3.3.2	Tensão de limiar nos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual	66
3.3.3	Característica $I_{DS} \times V_{GT}$ dos dispositivos PSG e CYNTHIA SOI MOSFETs	68
3.3.4	Característica $I_{DS} \times V_{GT}$ dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual (GC).....	73
3.3.5	Estudo do comprimento efetivo de canal (L_{eff}) nos dispositivos PSG e CYNTHIA SOI nMOSFETs.....	78
3.3.6	Estudo do L_{eff} nos dispositivos PSG e CYNTHIA SOI MOSFETs com canal gradual	91
3.3.7	Resistência série total dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal convencional.....	98

3.3.8 Resistência série total dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual	103
3.3.9 Inclinação de sub-limiar dos dispositivos PSG e CYNTHIA SOI MOSFETs	108
3.3.10 Inclinação de sub-limiar dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual	111
3.3.11 Transcondutância dos dispositivos PSG e CYNTHIA SOI nMOSFETs.....	113
3.3.12 Transcondutância dos dispositivos PSG e CYNTHIA SOI nMOSFETs de canal gradual	118
3.3.13 Razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA SOI nMOSFETs.....	122
3.3.14 Razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual.....	125
3.3.15 Razão g_m/I_{DS} em função da corrente de dreno normalizada em função da razão de aspecto dos dispositivos PSG e CYNTHIA SOI nMOSFETs.....	128
3.3.16 Razão g_m/I_{DS} em função da corrente de dreno normalizada em função da razão de aspecto dos dispositivos PSG e CYNTHIA SOI nMOSFETs de canal gradual.....	132
3.3.17 Comparação entre os resultados de $g_m/I_{DS} \times I_{DS}/(W/L)$ dos dispositivos de canal convencional com os dispositivos de canal gradual	134
4 CONCLUSÕES E SEQUÊNCIA DO TRABALHO	138
REFERÊNCIAS BIBLIOGRÁFICAS	143
APÊNDICE A – SIMULAÇÃO ATLAS	147
APÊNDICE B – RESUMO SEMINATEC 2009	149
APÊNDICE C – ARTIGO SBMICRO 2009.....	151

LISTA DE FIGURAS

Figura 1.1 – (a): MOSFET convencional. (b): SOI MOSFET. (c): SOI MOSFET de Porta Dupla.	24
Figura 1.2 – (a): FinFET, (b): Transistor de Porta Tripla, (c): Transistor de Porta em Π , (d): Transistor de porta em Ω , (e): Transistor de Porta Quádrupla, (f): Transistor de Porta Circular, (g): “Pillar Surrounding Gate” e (h): Transistor CYNTHIA.	26
Figura 2.1 – (a): PSG MOSFET. (b): CYNTHIA MOSFET.	30
Figura 2.2 – (a): Seção transversal do Transistor PSG de geometria quadrada. (b): Seção transversal do Transistor CYNTHIA.	31
Figura 2.3 – (a): Corte longitudinal do Transistor PSG de canal gradual. (b): Corte longitudinal do Transistor CYNTHIA de canal gradual.	34
Figura 2.4: Exemplo de simulação tridimensional da derivada segunda de $I_{DS} \times V_{GS}$ (Método da segunda derivada ou método da transcondutância) para determinação de V_{TH}	37
Figura 2.5: Exemplo de simulação tridimensional de uma curva $R_{S_Total} \times V_{GT}$ para obtenção da resistência série de fonte e dreno (R_S) de primeira ordem.	39
Figura 2.6: Exemplo de simulação tridimensional de uma curva $R_{S_Total} \times L$ para obtenção da resistência série de fonte e dreno (R_S).	40
Figura 2.7: Exemplo de simulação tridimensional de um gráfico monologarítmico de $\log(I_{DS}) \times V_{GS}$ para a extração da inclinação de sub-limiar.	41
Figura 2.8: Exemplo de um gráfico de $S \times V_{GT}$ para a obtenção da inclinação de sub-limiar.	43
Figura 2.9: Exemplo de simulação tridimensional de uma curva típica da transcondutância em função da tensão de porta para um PSG nMOSFET com V_{DS} de 10 mV.	45
Figura 2.10: Exemplo de simulação tridimensional de um gráfico de $g_m/I_{DS} \times I_{DS}/(W/L)$ de um PSG nMOSFET.	47
Figura 3.1 - (a): Estrutura tridimensional de um PSG nMOSFET. (b): Grade tridimensional de um PSG nMOSFET.	49
Figura 3.1 – CONTINUAÇÃO (c): Corte longitudinal da grade tridimensional de um PSG nMOSFET.	50

Figura 3.1 – CONTINUAÇÃO (d): Corte transversal da grade tridimensional de um PSG nMOSFET.	50
Figura 3.2: Gráfico da tensão de limiar em função do comprimento de canal dos dispositivos nMOSFETs PSG e CYNTHIA de canal convencional.	55
Figura 3.3: Concentração de elétrons medida na posição L/2 do canal dos dispositivos PSG (a) e CYNTHIA (b) de canal convencional (Seção transversal).....	57
Figura 3.4: Superfície com concentração de elétrons de $2,8 \times 10^{18} \text{ cm}^{-3}$ no canal dos dispositivos PSG (a) e CYNTHIA (b).	58
Figura 3.5: Campo Elétrico na seção transversal (posição L/2) dos dispositivos PSG (a) e CYNTHIA (b), e o gráfico do campo elétrico em função das linhas de corte diagonal e vertical nesses dispositivos (c).	60
Figura 3.6: Gráfico da tensão de limiar em função da largura de canal dos PSG e CYNTHIA nMOSFETs de canal convencional.	62
Figura 3.7: Concentração de elétrons na seção transversal dos dispositivos PSG de canal convencional na posição L/2 para diferentes larguras de canal [1000 (a), 400 (b), 300 (c), 200 (d) e 100 (e) nanômetros].	64
Figura 3.8: Gráfico dos valores de tensão de limiar dos PSG e CYNTHIA nMOSFETs de canal gradual com L e W iguais a 400 nanômetros e variando-se L_{HD}	67
Figura 3.9: Curva da corrente de dreno em função da sobretensão de porta dos dispositivos PSG e CYNTHIA convencional para $V_{DS}=10 \text{ mV}$	69
Figura 3.10: Curvas da corrente de dreno em função da sobretensão de porta dos dispositivos PSG e CYNTHIA convencionais para tensões de dreno (V_{DS}) iguais a 200 mV (a), 300 mV (b) e 400 mV (c).	72
Figura 3.11: Curvas da corrente de dreno em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual para $V_{DS}=10 \text{ mV}$ e L_{HD} iguais a 350 nm (a), 300 nm (b), 250 nm (c) e 200 nm (d).	75
Figura 3.12: Curva da corrente de dreno em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual para $V_{DS}=400 \text{ mV}$ e L_{HD} igual a 200 nm.	76
Figura 3.13: Vista ampliada da região de sub-limiar de $I_{DS} \times V_{GT}$ dos dispositivos PSG e CYNTHIA de canal gradual para $V_{DS}=400 \text{ mV}$ e L_{HD} igual a 200 nm.....	77

Figura 3.14: Superfície de concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$ do transistor PSG de canal convencional (a) e do transistor CYNTHIA de canal convencional (b).	79
Figura 3.15: Concentração de elétrons do transistor PSG de canal convencional. Indicação do corte periférico (a). Concentração de elétrons na periferia (b), no canto (c) e no centro do PSG (d), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=400 \text{ nm}$	80
Figura 3.16: Concentração de elétrons do transistor CYNTHIA de canal convencional. Indicação do corte tangencial (a). Concentração de elétrons no canal (b) e na periferia do CYNTHIA (c), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=400 \text{ nm}$	82
Figura 3.17: Análise do L_{eff} em função das variações de V_{TH} e das condições de polarização, a medida que se caminha na direção dos cantos do canal do PSG.	83
Figura 3.18: Análise do L_{eff} em função das variações de V_{TH} e das condições de polarização, a medida que se caminha na direção da região central do canal do PSG.	84
Figura 3.19: Campo elétrico na posição $L/2$ do canal dos dispositivos PSG e CYNTHIA de canal convencional com W igual a 400 nanômetros e 100 nanômetros	85
Figura 3.20: Superfície de concentração de elétrons de $5,5 \times 10^{17}$ do transistor PSG de canal convencional (a) e do transistor CYNTHIA de canal convencional (b), para $W=1000 \text{ nm}$	87
Figura 3.21: Concentração de elétrons do transistor PSG de canal convencional. Indicação do corte periférico (a). Concentração de elétrons na periferia (b), no canto (c) e no centro do PSG (d), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=1000 \text{ nm}$	88
Figura 3.22: Concentração de elétrons do transistor CYNTHIA de canal convencional. Indicação do corte periférico (a). Concentração de elétrons no canal (b) e na periferia do CYNTHIA (c), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=1000 \text{ nm}$	90
Figura 3.23: Superfície de concentração de elétrons de $5,5 \times 10^{17}$ do transistor PSG de canal gradual (a) e do transistor CYNTHIA de canal gradual (b).	92
Figura 3.24: Superfície de concentração de elétrons de $5,5 \times 10^{17}$ do transistor PSG de canal gradual (a) e do transistor CYNTHIA de canal gradual (b), para $W=1000 \text{ nm}$	94
Figura 3.25: Concentração de elétrons do transistor PSG de canal gradual. Indicação do corte periférico (a). Concentração de elétrons na periferia (b), no canto (c) e no centro do PSG GC (d), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=1000 \text{ nm}$	95

Figura 3.26: Concentração de elétrons do transistor CYNTHIA de canal gradual. Indicação do corte periférico (a). Concentração de elétrons no canal (b) e na periferia do CYNTHIA GC (c), para $L=400$ nm, V_{DS} de 800 mV, V_{GS} de 200 mV e $W=1000$ nm.	97
Figura 3.27: Gráfico para determinação da resistência série total dos dispositivos PSG e CYNTHIA de canal convencional, para diferentes comprimentos de canal.	98
Figura 3.28: Densidade de corrente elétrica na região do dreno dos dispositivos PSG (a) e CYNTHIA (b) de canal convencional, para largura de canal de 400 nanômetros.	100
Figura 3.29: Densidade de corrente elétrica na região da fonte dos dispositivos PSG (a) e CYNTHIA (b) de canal convencional, para largura de canal de 400 nanômetros.	101
Figura 3.31: Gráfico da resistência série total dos dispositivos PSG e CYNTHIA de canal gradual em função da sobretensão de porta, para L_{HD} de 200 e 350 nanômetros.	104
Figura 3.32: Gráfico da resistência série total dos dispositivos PSG e CYNTHIA de canal gradual em função do comprimento das regiões “high doped” e “low doped” para L de 400 nanômetros.	106
Figura 3.33: Gráfico da inclinação de sub-limiar em função da sobretensão de porta dos dispositivos PSG e CYNTHIA convencionais para L de 200 nm e 800 nm.	108
Figura 3.34: Gráfico da inclinação de sub-limiar normalizada pela área da seção transversal do canal em função da sobretensão de porta dos dispositivos PSG e CYNTHIA convencionais para L de 200 nm.	110
Figura 3.35: Gráfico da inclinação de sub-limiar em função da sobretensão de porta dos dispositivos PSG GC e CYNTHIA GC para L_{HD} de 200 nm e 350 nm.	111
Figura 3.36: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal convencional para V_{DS} de 10 mV.	113
Figura 3.37: Curva da transcondutância máxima em função do comprimento de canal dos dispositivos PSG e CYNTHIA de canal convencional.	114
Figura 3.38: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA convencionais para V_{DS} de 200 mV (a), 300 mV (b) e 400 mV (c).	116
Figura 3.39: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual, para V_{DS} de 10 mV.	118
Figura 3.40: Curva da transcondutância máxima em função do comprimento da região “high doped” dos dispositivos PSG e CYNTHIA de canal gradual.	119

Figura 3.41: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual, para V_{DS} de 400 mV e L_{LD} de 200 nm.	120
Figura 3.42: Vista ampliada da região de sub-limiar da curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual, para V_{DS} de 400 mV e L_{LD} de 200 nm.	121
Figura 3.43: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal convencional, para V_{DS} de 10 mV.	122
Figura 3.44: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal convencional, para diferentes valores de V_{DS}	124
Figura 3.45: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG GC e CYNTHIA GC, para 0056 V_{DS} de 10 mV.	125
Figura 3.46: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta do dispositivo PSG GC e CYNTHIA GC, para V_{DS} de 400 mV e L_{LD} de 200 nm.	127
Figura 3.47: Gráfico da razão g_m/I_{DS} em função de I_{DS} normalizada em função de W/L dos dispositivos PSG e CYNTHIA de canal convencional, para diferentes valores de V_{DS}	128
Figura 3.48: Gráfico da razão g_m/I_{DS} em função de I_{DS} normalizada em função de W/L dos dispositivos PSG e CYNTHIA de canal convencional, para V_{DS} igual a 400 mV.	129
Figura 3.49: Gráficos de g_m (a) e do $\log I_{DS}$ (b), ambos em função de V_{GT} para os dispositivos PSG e CYNTHIA de canal convencional, para W e L iguais a 400 nanômetros e V_{DS} igual a 400 mV.	131
Figura 3.50: Gráfico da razão g_m/I_{DS} em função de I_{DS} normalizada em função de W/L dos dispositivos PSG GC e CYNTHIA GC, para V_{DS} de 400 mV e L_{LD} de 200 nm.	132
Figura 3.51: Gráficos de g_m (a) e do $\log I_{DS}$ (b), ambos em função de V_{GT} para os dispositivos PSG GC e CYNTHIA GC, para W e L iguais a 400 nanômetros, L_{HD} igual a 200 nanômetros e V_{DS} igual a 400 mV.	134
Figura 3.52: Gráfico da razão $g_m/I_{DS} \times I_{DS}/(W/L)$ dos dispositivos PSG e CYNTHIA de canais convencional e gradual.	135
Figura 3.53: Vista ampliada da interface entre as regiões de inversão moderada e forte do gráfico de $g_m/I_{DS} \times I_{DS}/(W/L)$ dos dispositivos PSG e CYNTHIA de canais convencional e gradual.	136

LISTA DE TABELAS

Tabela 3.1 – nMOSFETs estudados e suas principais características.	52
Tabela 3.2 – Modo de funcionamento do transistores simulados.....	54
Tabela 3.3 – Tensão de limiar (V_{TH}) dos dispositivos nMOSFETs PSG e CYNTHIA de canal convencional e com comprimento de canal variável e considerando largura de canal fixa em 400 nanômetros.	55
Tabela 3.4 – Distância da interface Si-SiO ₂ até o ponto onde a concentração de elétrons vale $5,5 \times 10^{17} \text{ cm}^{-3}$ nos dispositivos PSG e CYNTHIA de canal convencional.	58
Tabela 3.5 – Tensão de limiar (V_{TH}) dos dispositivos nMOSFETs PSG e CYNTHIA de canal convencional, variando-se a largura de canal de 100 a 1000 nanômetros e comprimento de canal de 400 nanômetros.	61
Tabela 3.6 – Tensão de limiar V_{TH} dos dispositivos PSG e CYNTHIA de canal gradual.	66
Tabela 3.7 – Resistência série total dos dispositivos PSG e CYNTHIA de canal convencional.	99
Tabela 3.8 – Resistência série total dos dispositivos PSG e CYNTHIA de canal gradual. ...	105
Tabela 3.9 – Inclinação de sub-limiar S dos dispositivos PSG e CYNTHIA de canal convencional.	109
Tabela 3.10 – Inclinação de sub-limiar S dos dispositivos PSG e CYNTHIA de canal gradual.	112
Tabela 3.11 – Transcondutância máxima dos dispositivos PSG e CYNTHIA de canal convencional para diferentes valores de V_{DS} e com L e W de 400 nanômetros.	117
Tabela 3.12 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG e CYNTHIA de canal convencional para sobre-tensão de porta de -0,4 V.	123
Tabela 3.13 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG e CYNTHIA de canal convencional nas regiões de inversão fraca, moderada e forte.....	130
Tabela 3.14 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG GC e CYNTHIA GC nas regiões de inversão fraca, moderada e forte.	133

Tabela 3.15 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG e CYNTHIA de canais convencional e gradual nas regiões de inversão fraca, moderada e forte.....	137
---	-----

LISTA DE SÍMBOLOS

∂I_{DSsat}	Variação infinitesimal da corrente de saturação entre fonte e dreno (A)
ΔI_{DSsat}	Variação na corrente de saturação entre fonte e dreno (A)
ΔL	Distância entre a região de estrangulamento (“pinch-off”) e a região de dreno do transistor
∂V_{GS}	Variação infinitesimal da tensão ente fonte e porta (V)
ΔV_{GS}	Variação na tensão ente fonte e porta (V)
ΔV_{TH_CYN}	Variação da tensão de limiar dos dispositivos CYNTHIA (V)
ΔV_{TH_PSG}	Variação da tensão de limiar dos dispositivos PSG (V)
$\Delta V_{TH_CYN_GC}$	Variação da tensão de limiar dos dispositivos CYNTHIA GC (V)
$\Delta V_{TH_PSG_GC}$	Variação da tensão de limiar dos dispositivos PSG GC (V)
ϵ_{si}	Permissividade do silício (F/cm)
μ_n	Mobilidade dos elétrons na camada de inversão [cm ² /(V.s)]
Φ_F	Potencial de Fermi (V)
Π	Pi
α	Fator de acoplamento
ρ	Resistividade elétrica (Ω/m)
A	Área da seção transversal do canal do transistor
$A_{CYNTHIA}$	Área da seção transversal do canal do transistor CYNTHIA
A_{CYN}	Área da seção transversal do canal do transistor CYNTHIA
$A_{D/S}$	Área da seção transversal das regiões de fonte e dreno
A_{PSG}	Área da seção transversal do canal do transistor PSG
A_{CYN_GC}	Área da seção transversal do canal do transistor CYNTHIA GC
A_{PSG_GC}	Área da seção transversal do canal do transistor PSG GC
C_D	Capacitância da camada de depleção
C_{ox}	Capacitância do óxido de porta por unidade de área (F/cm ²)
C_{ox2}	Capacitância do óxido enterrado por unidade de área (F/cm ²)
C_{Si}	Capacitância do filme de silício por unidade de área (F/cm ²)
d	Operador derivada
$dec.$	Década
D_n	Coeficiente de difusão para elétrons

f_T	Frequência de ganho unitário (Hz)
g_m	Transcondutância (S)
$g_{m_m\acute{a}x}$	Transcondutância máxima (S)
I_{DS}	Corrente entre fonte e dreno (A)
I_{DSsat}	Corrente de saturação entre fonte e dreno (A)
$I_{DS_sub-limiar}$	Corrente entre fonte e dreno na região de sub-limiar (A)
K	Unidade de temperatura Kelvin
l	Comprimento da região condutora (nm)
L	Comprimento do canal do transistor (nm)
L_{CYN}	Comprimento entre dreno e “pinch-off” no CYNTHIA (nm)
L_{eff}	Comprimento efetivo do canal do transistor (nm)
$L_{eff(Conventional)}$	Comprimento efetivo do canal do transistor convencional (nm)
$L_{eff(Canal\ Gradual)}$	Comprimento efetivo do canal do transistor de canal gradual (nm)
$L_{eff_m\acute{a}x}$	Comprimento efetivo máximo do canal do transistor (nm)
L_{eff_min}	Comprimento efetivo mínimo do canal do transistor (nm)
L_{LD}	Comprimento da região “low doped” (nm)
L_{HD}	Comprimento da região “high doped” (nm)
L_{PSG}	Comprimento entre dreno e “pinch-off” no PSG(nm)
$L_{PSG_m\acute{a}x}$	Comprimento máximo entre dreno e “pinch-off” no PSG (nm)
L_{PSG_min}	Comprimento mínimo entre dreno e “pinch-off” no PSG (nm)
$L_{PSGGC_m\acute{a}x}$	Comprimento máximo entre dreno e “pinch-off” no PSG GC (nm)
L_{PSGGC_min}	Comprimento mínimo entre dreno e “pinch-off” no PSG GC (nm)
L_{Total}	Comprimento total do transistor de canal gradual (nm)
n	Fator de corpo
$n(0)$	Concentração de elétrons na região próxima à fonte (cm^{-3})
$n(L)$	Concentração de elétrons na região próxima ao dreno (cm^{-3})
n_i	Concentração intrínseca de portadores do Si (cm^{-3})
N_A	Concentração de dopantes no canal (cm^{-3})
P	Perímetro do transistor (nm)
$P_{CYNTHIA}$	Perímetro do transistor CYNTHIA (nm)
P_{PSG}	Perímetro do transistor PSG (nm)
q	Carga elementar do elétron ($q=1,6 \times 10^{-19}$ C)
r	Raio da seção transversal do transistor CYNTHIA (nm)
R	Resistência elétrica (Ω)

R_{Canal}	Resistência da região de canal (Ω)
R_{Dreno}	Resistência da região de dreno (Ω)
R_{Fonte}	Resistência da região de fonte (Ω)
R_{HD}	Resistência da região “high doped” (Ω)
R_{LD}	Resistência da região “low doped” (Ω)
R_{S}	Resistência série (fonte e dreno) do transistor (Ω)
$R_{\text{S_CYN}}$	Resistência série (fonte e dreno) do transistor CYNTHIA (Ω)
$R_{\text{S_CYN_GC}}$	Resistência série (fonte e dreno) do transistor CYNTHIA de canal gradual (Ω)
$R_{\text{S_PSG}}$	Resistência série (fonte e dreno) do transistor PSG (Ω)
$R_{\text{S_PSG_GC}}$	Resistência série (fonte e dreno) do transistor PSG de canal gradual (Ω)
$R_{\text{S_Total}}$	Resistência série total do transistor (Ω)
S	Inclinação de sub-limiar (mV/dec)
Si	Silício
SiO_2	Óxido de silício
T	Temperatura
t_{ox}	Espessura da camada de óxido de porta (nm)
t_{Si}	Espessura do filme de silício (nm)
V_{DS}	Tensão entre fonte e dreno (V)
V_{FB}	Tensão de faixa plana (V)
V_{GD}	Tensão entre porta e dreno (V)
V_{GS}	Tensão entre porta e fonte (V)
V_{GT}	Sobretensão de porta (V)
V_{TH}	Tensão de limiar (V)
$V_{\text{TH(CYNTHIA)}}$	Tensão de limiar do transistor CYNTHIA (V)
$V_{\text{TH(PSG)}}$	Tensão de limiar do transistor PSG (V)
$V_{\text{TH_CYN}}$	Tensão de limiar do transistor CYNTHIA (V)
$V_{\text{TH_PSG}}$	Tensão de limiar do transistor PSG (V)
$V_{\text{TH(CYNTHIA_GC)}}$	Tensão de limiar do transistor CYNTHIA de canal gradual (V)
$V_{\text{TH(PSG_GC)}}$	Tensão de limiar do transistor PSG de canal gradual (V)
$V_{\text{TH_CYN_GC}}$	Tensão de limiar do transistor CYNTHIA de canal gradual (V)
$V_{\text{TH_PSG_GC}}$	Tensão de limiar do transistor PSG de canal gradual (V)
W	Largura total do canal do transistor (nm)
W_{L}	Medida do lado da seção transversal do transistor PSG (nm)

$W_{L\text{maior}}$	Medida do lado da seção transversal do transistor PSG maior (nm)
$W_{L\text{menor}}$	Medida do lado da seção transversal do transistor PSG menor (nm)
X_d	Espessura da camada de depleção (nm)
$X_{d'}$	Espessura da camada de depleção do ponto médio entre dois cantos do PSG (nm)
$X_{d''}$	Espessura da camada de depleção no canto do PSG (nm)
$X_{d\text{máx}}$	Espessura máxima da camada de depleção (nm)

LISTA DE ABREVIATURAS

CMOS	Complementary-Metal-Oxide-Semiconductor (Metal-Óxido-Semicondutor-Complementar)
CVT	Lombardi Model (Modelo de mobilidade Lombardi)
DELTA	Fully-Depleted-Lean-Channel-Transistor (Transistor com canal fino totalmente depletado)
DIBL	Drain Induced Barrier Lowering (Barreira de indução de dreno reduzida)
FDSOI	SOI totalmente depletado
FERMI	Fermi-Dirac Model (Modelo Fermi-Dirac)
FET	Field Effect Transistor (Transistor de Efeito de Campo)
FHOLES	Fowler-Nordheim (holes) (Modelo para cálculo de tunelamento para lacunas)
FNORD	Fowler-Nordheim (electrons) (Modelo para cálculo de tunelamento)
GAA	Gate-all-Around (Porta em todo o redor)
GC	Graded Channel (Canal Gradual)
MOS	Metal-Oxide-Semiconductor (Metal-Óxido-Semicondutor)
NFDSOI	SOI “quase” totalmente depletado
PDSOI	SOI parcialmente depletado
PSG	Pillar-Surrounding-Gate (Porta em pilar circundado)
SOI	Silicon-on-Insulator (Silício sobre Isolante)
SRH	Shockley-Read-Hall (Modelo de recombinação)
TBJ	Transistor Bipolar de Junção

1 INTRODUÇÃO

Os transistores de efeito de campo do tipo metal-óxido-semicondutor (MOSFET) possuem a capacidade de controlar o fluxo de corrente entre os terminais de fonte e dreno, a partir do efeito do campo gerado pelo potencial aplicado em seu terceiro terminal, chamado de porta [Figura 1.1(a)]. Este fenômeno físico ocorre graças à isolamento propiciada pelo óxido existente entre a porta e o corpo do dispositivo [1].

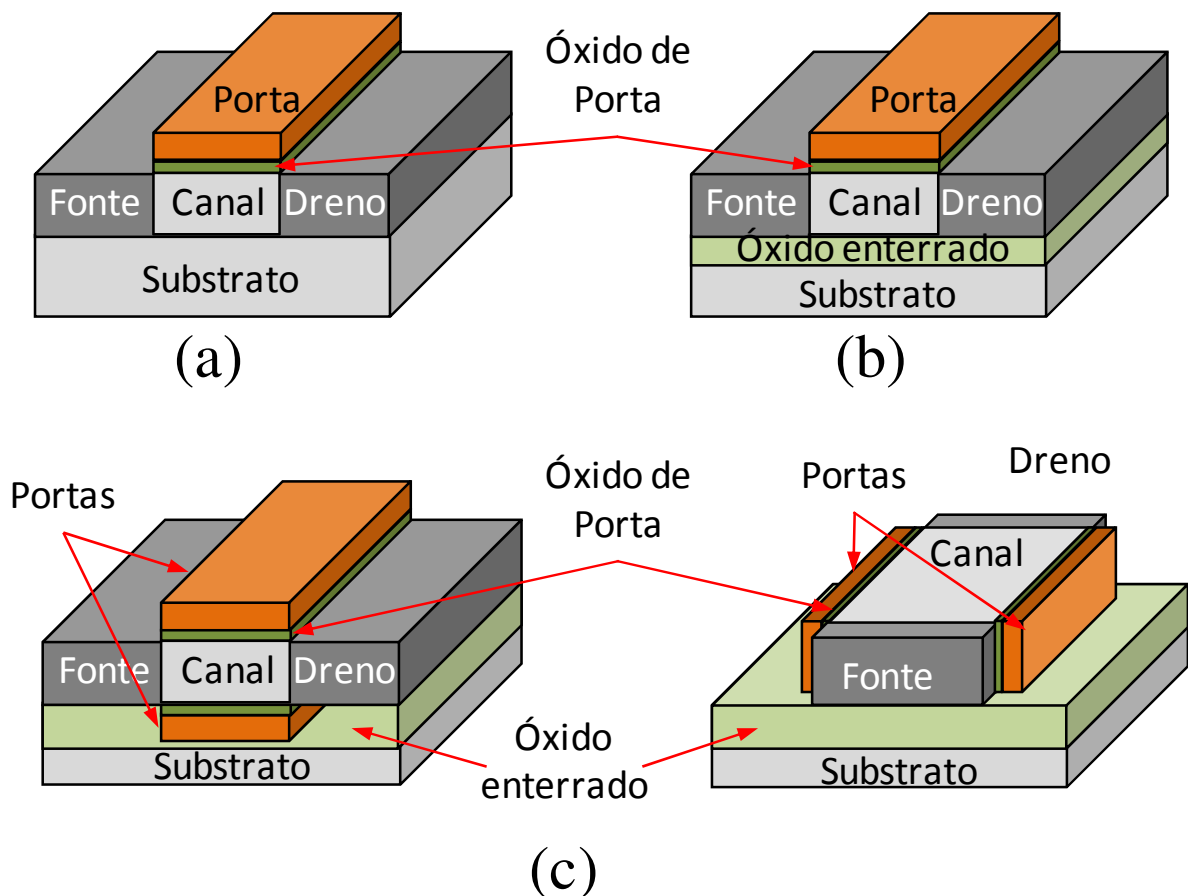


Figura 1.1 – (a): MOSFET convencional. (b): SOI MOSFET. (c): SOI MOSFET de Porta Dupla.

O conceito básico do MOSFET foi apresentado pela primeira vez por volta de 1926, quando foi patenteado por Julius Edgar Lilienfeld. Contudo, sua utilização tornou-se mais popular somente no final da década de 1970, uma vez que possibilitava uma maior miniaturização em um processo de fabricação mais simples que os transistores bipolares de junção (TBJ) [1].

Com as intensas pesquisas na tecnologia MOSFET, foram estudados grande parte dos efeitos secundários e indesejados no funcionamento destes transistores. Praticamente na mesma época em que os MOSFETs entravam em produção, desenvolveu-se a tecnologia do Silício-Sobre-Isolante (SOI). O SOI MOSFET, além de minimizar os muitos efeitos indesejados do MOSFET convencional, também possibilitou a fabricação de circuitos integrados com uma maior capacidade de integração. Uma das grandes vantagens dessa tecnologia em relação à convencional é que, quando fabricado com um óxido enterrado suficientemente espesso, este apresenta sua capacitância desprezível [Figura 1.1(b)]. Outra grande vantagem é a ausência do tiristor PNPN inerente as estruturas CMOS convencionais [2], [3].

Em 1984 surgiram os primeiros estudos do MOSFET de porta dupla [Figura 1.1(c)]. Dentre suas principais características destacam-se o bom controle do canal e uma significativa redução dos efeitos de canal curto. O primeiro SOI MOSFET de duas portas foi fabricado em 1989 e chamava-se DELTA (“fully Depleted Lean-channel TrAnsistor”). Este dispositivo foi concebido em uma ilha de silício alta e fina, que foi chamada de “finger”, “leg” ou “fin” [Figura 1.2(a)], [4]. Devido às linhas de campo da fonte e do dreno não se estenderem pela região do canal, observa-se uma significativa redução dos efeitos de canal curto. Além disso, graças à mínima depleção da região de fonte e dreno, obtém-se um melhor controle da região de depleção do canal [3]. A Figura 1.2 apresenta os modelos de MOSFETs de múltiplas portas, o transistor de porta circular e o CYNTHIA.

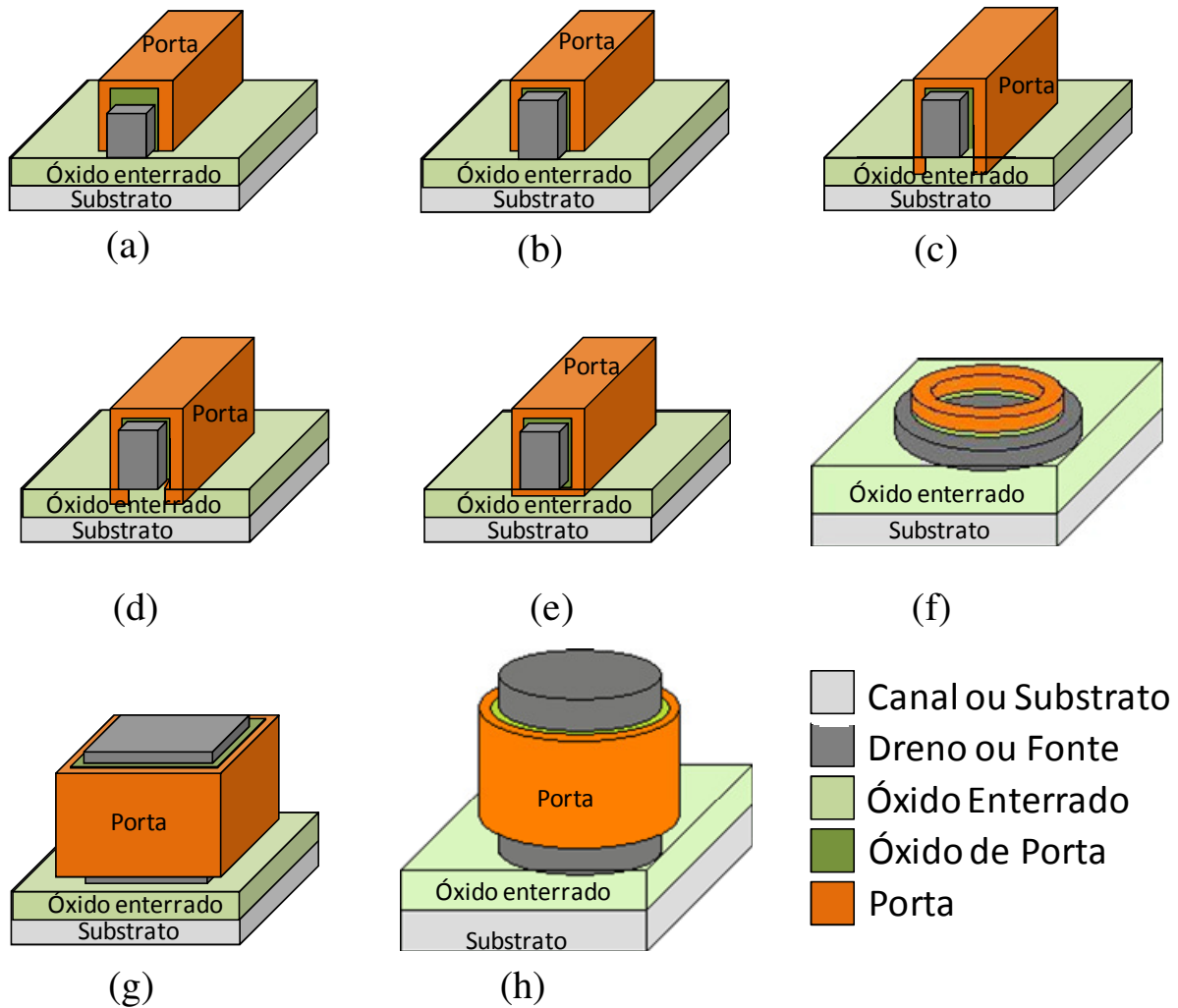


Figura 1.2 – (a): FinFET, (b): Transistor de Porta Tripla, (c): Transistor de Porta em Π , (d): Transistor de porta em Ω , (e): Transistor de Porta Quádrupla, (f): Transistor de Porta Circular, (g): “Pillar Surrounding Gate” e (h): Transistor CYNTHIA.

Com a consolidação dos conceitos e das pesquisas de transistores de porta dupla, surgiram novos modelos de dispositivos de múltiplas portas. Dentre estes dispositivos destacam-se o SOI MOSFET de porta tripla [Figura 1.2(b)], de porta quádrupla ou “Gate-all-around” (GAA) [Figura 1.2(e)], além do SOI MOSFET de porta em formato de Π (Pi) [Figura 1.2(c)] e do SOI MOSFET de porta em formato de Ω (Ômega) [Figura 1.2(d)], [4].

Ao se comparar o SOI MOSFET de porta em Π com o dispositivo de três portas convencional, verifica-se que o dispositivo de porta em Π possui uma extensão de sua porta no óxido enterrado, artifício este que protege a parte abaixo do canal da influência do potencial de dreno [5]. Porém, quando o SOI MOSFET de porta em Π possui uma extensão extra para baixo da camada de silício, então este recebe o nome de MOSFET de porta em Ω .

Este dispositivo, com porta em Ω , possui características muito semelhantes ao dispositivo de porta quádrupla ou GAA, porém sua grande vantagem é observada no processo

de fabricação [3]. Assim como o SOI MOSFET de porta em Π , o dispositivo com porta em Ω requer apenas mais algumas etapas no processo de fabricação do SOI MOSFET planar [3]. Esta é uma grande vantagem quando se compara com o processo de fabricação dos dispositivos de porta quádrupla e o dispositivo de porta dupla [3].

Em 1990 foi publicado um artigo [6] onde foram descritas as características elétricas e o processo de fabricação de um dispositivo planar de porta dupla ou GAA. Este dispositivo apresenta uma inclinação de sub-limiar (S) próxima de 60 mV/dec. e uma transcondutância (g_m) aproximadamente duas vezes maior que o dispositivo convencional [6]. Estas melhores características se devem ao fato do dispositivo ser formado por 2 canais interligados, o que propicia um melhor controle da corrente de dreno, quando comparado à tecnologia planar convencional.

Outro dispositivo de porta quádrupla extensivamente estudado é o transistor Pilar CMOS, também chamado de “Pillar Surrounding Gate” (PSG) [Figura 1.2(g)]. A diferença deste dispositivo, quando o comparamos com o GAA, é que o canal do PSG está posicionado perpendicularmente em relação à lâmina de silício, ao passo que o canal do GAA está paralelo à lâmina de silício [8].

Portanto, comparando-se o GAA com o PSG e considerando-se a largura e o comprimento de canal similares, o PSG quando agrupado em 4 pilares, ocupa uma área 60% menor do que a área do dispositivo de porta quadrada convencional GAA, e uma área 30% menor que um dispositivo planar convencional [8]. Além disso, este dispositivo multipilar possui uma baixa capacitância de junção e um menor atraso RC no eletrodo de porta, que favorece o seu uso em circuitos integrados de alta velocidade [8].

Todavia, devido ao PSG possuir seção transversal quadrada, é observado um forte efeito de canto [7]. Isto ocorre devido à sobreposição dos campos elétricos decorrente da polarização de porta nos cantos do dispositivo, resultando em uma soma vetorial destes campos elétricos nesta região. Este efeito implica em uma diminuição na tensão de limiar, uma vez que se observa uma maior região de depleção nos cantos, favorecendo assim o aparecimento da camada de inversão [7].

Com o constante escalamento dos dispositivos, tornou-se cada vez mais difícil manter as excelentes características até então obtidas com estas diferentes estruturas de transistores de múltiplas portas. Conseqüentemente, os processos de fabricação tornaram-se cada vez mais complexos e precisos, a fim de manter estas características. Estas dificuldades motivaram o aprofundamento nas pesquisas do dispositivo vertical de porta circular ou CYNTHIA [Figura 1.2(h)], [9].

Como resultado de sua geometria, o transistor CYNTHIA possui um excelente controle da porta sobre o canal quando comparado aos outros dispositivos, o que resulta em uma melhor característica em regime de sub-limiar e maior imunidade dos efeitos de canal curto, quando comparado com as outras estruturas de transistores [9], [14]. Estas características foram evidenciadas a partir da forma cilíndrica da equação de Poisson [9], [10] que, através da distribuição de potencial, nos mostra também um efeito de “Drain Induced Barrier Lowering” (DIBL) reduzido, quando o dispositivo é concebido em escala sub-micrométrica [10], [11]. Foi estudada também, a característica de transcondutância do dispositivo CYNTHIA, que se comportou muito melhor quando comparado ao dispositivo de duas portas [12]. Esta importante vantagem, confere ao CYNTHIA grande potencial para utilização em aplicações analógicas [12].

Recentemente, foi realizado um estudo onde o diâmetro do dispositivo CYNTHIA foi reduzido a 10 nanômetros, mantendo-se suas excelentes características, tais como inclinação de sub-limiar de 63 mV/dec. e DIBL de -17 mV. Estes resultados foram obtidos através do ajuste no valor da função de trabalho da porta e da dopagem no corpo do dispositivo [13].

Ainda, outra importante pesquisa com o dispositivo CYNTHIA foi desenvolvida utilizando-se a técnica de canal gradual. Esta técnica vem sendo profundamente estudada para dispositivos planares convencionais, onde se divide o canal em duas regiões [15]. A região mais próxima ao dreno possui menor concentração de dopantes (dopagem natural do filme de silício) também chamada de “low doped”, ao passo que a região mais próxima à fonte possui maior concentração de dopantes (decorrente da dopagem para ajuste da tensão de limiar) (região “high doped”) [15]. Com estas alterações, é possível obter uma menor condutância de saída, bem como um menor efeito de transistor bipolar parasitário nestes dispositivos [15]. Quando aplicada esta técnica no dispositivo CYNTHIA, se verificou, através de simulações numéricas tridimensionais, uma melhor corrente de dreno, melhor tensão de ruptura, além de ser observada também a menor condutância de saída do dispositivo [16].

Baseado nos estudos até então realizados sobre o transistor CYNTHIA, tem este trabalho como objetivo estudar a transcondutância e a razão da transcondutância sobre a corrente entre fonte e dreno em função da corrente entre fonte e dreno normalizada em função da razão de aspecto $[g_m/I_{DS} \times I_{DS}/(W/L)]$ deste dispositivo através de simulações numéricas tridimensionais (Atlas/Silvaco) [17]. Através destas simulações serão realizadas comparações entre dispositivos CYNTHIA de canal gradual, cuja seção transversal é circular, com dispositivos PSG de porta com seção transversal quadrada e canal gradual.

Neste trabalho, é estudado o impacto na transcondutância e na curva $g_m/I_{DS} \times I_{DS}/(W/L)$ devido às diferenças geométricas nas secções transversais destes dispositivos (convencional e canal gradual). Para isso, esta dissertação foi dividida em quatro capítulos, a contar deste capítulo introdutório.

No segundo capítulo, são apresentados os conceitos fundamentais que servem como base para esta pesquisa. Neste capítulo, são apresentados os transistores CYNTHIA e PSG de canal convencional e de canal gradual, onde uma breve explanação sobre cada um destes dispositivos é apresentada. A seguir, é realizado um estudo sobre as principais características que servirão de base conceitual para o desenvolvimento desse estudo. São estudadas as seguintes características: região de estrangulamento (“Pinch-off”), comprimento efetivo de canal (L_{eff}), tensão de limiar (V_{TH}), resistência série de fonte e dreno (R_S), inclinação de sub-limiar (S), transcondutância (g_m) e razão da transcondutância pela corrente entre fonte e dreno em função da corrente entre fonte e dreno normalizada em relação ao fator geométrico $[g_m/I_{DS} \times I_{DS}/(W/L)]$.

O terceiro capítulo é todo dedicado à apresentação dos resultados obtidos através das simulações numéricas tridimensionais. Inicia-se com uma introdução básica sobre o simulador ATLAS [17] e suas ferramentas como “DeckBuild”, “DevEdit3D” e “TonyPlot”, bem como os modelos e métodos utilizados para a obtenção das simulações numéricas tridimensionais. Na sequência, são apresentadas as características dos dispositivos simulados como largura, comprimento de canal, concentração de dopantes entre outras características. Finalmente, são apresentados os resultados das simulações numéricas tridimensionais dos transistores. Neste tópico serão apresentados os resultados dos dispositivos CYNTHIA e PSG com canal convencional e os resultados dos nMOSFETs CYNTHIA e PSG de canal gradual para cada tópico apresentado.

No quarto e último capítulo, são apresentadas as conclusões obtidas através do estudo dos dispositivos. Também neste capítulo são sugeridas possíveis seqüências de trabalho que podem ser realizadas.

2 CONCEITOS FUNDAMENTAIS

No presente capítulo são apresentados os conceitos fundamentais que suportam o desenvolvimento do estudo comparativo entre o transistor CYNTHIA e o transistor de seção quadrada PSG (“Pillar Surrounding Gate”) de canal convencional e gradual.

2.1 Dispositivos CYNTHIA e PSG

Os dispositivos CYNTHIA e PSG apresentam características construtivas similares, pois ambos possuem porta ao redor de toda a região onde é formado o canal. Esta característica possibilita que estes dispositivos apresentem um excelente controle da corrente de dreno, uma vez que toda esta região está sob efeito do campo elétrico gerado pela porta [9]. Na Figura 2.1 são apresentados os transistores PSG e CYNTHIA respectivamente.

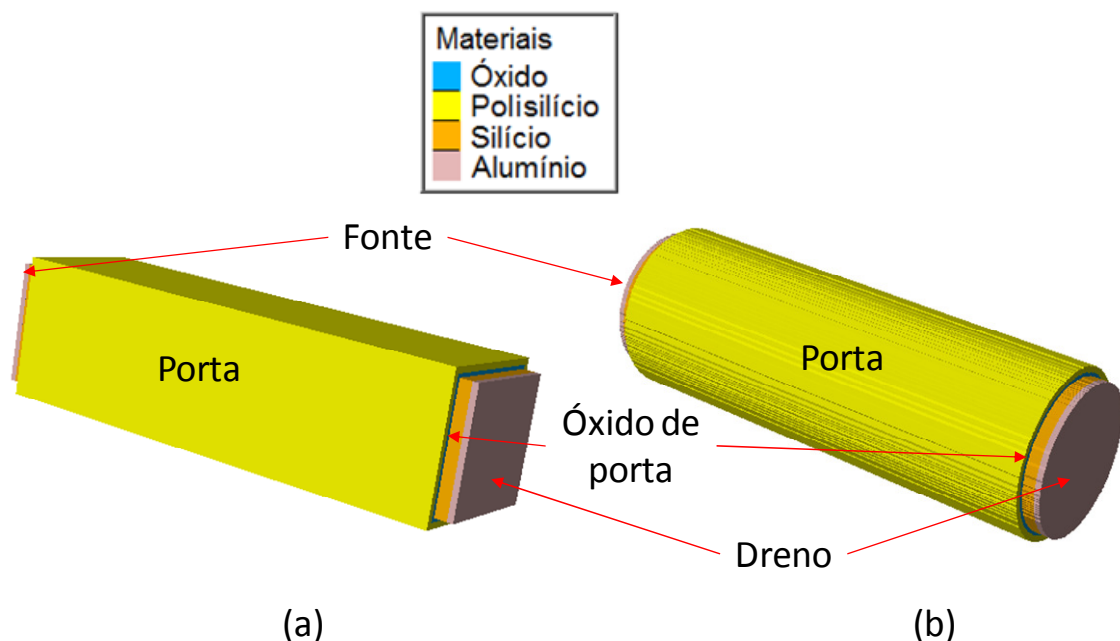


Figura 2.1 – (a): PSG MOSFET. (b): CYNTHIA MOSFET.

A Figura 2.2 apresenta a seção transversal dos transistores PSG e CYNTHIA respectivamente, indicando os seus respectivos materiais.

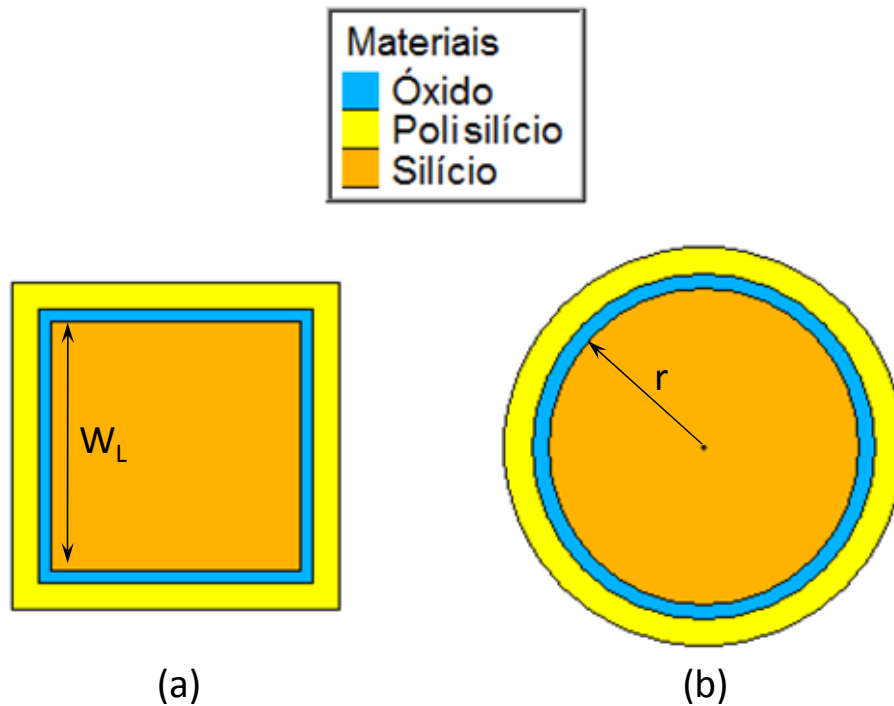


Figura 2.2 – (a): Seção transversal do Transistor PSG de geometria quadrada. (b): Seção transversal do Transistor CYNTHIA.

Na Figura 2.2.a, W_L é a medida do lado da seção transversal do transistor PSG de geometria quadrada na região do canal e, na Figura 2.2(b), r é o raio da seção transversal do transistor CYNTHIA na região do canal.

Para esta pesquisa foram comparados dispositivos CYNTHIA e PSG com comprimentos de canal (L) iguais e com larguras de canal (W) também iguais. Da mesma maneira, as espessuras da camada de óxido, do material de porta (Polissilício) e do material das regiões de fonte e dreno dos dispositivos CYNTHIA e PSG possuem as mesmas medidas. Para a determinação do raio r do transistor CYNTHIA foi utilizado a igualdade descrita na equação (2.1), significando que o transistor PSG possui o perímetro ($P_{PSG}=4W_L$) igual ao perímetro do CYNTHIA ($P_{CYNTHIA}=2\pi r$), ou seja, a mesma largura de canal.

$$4W_L = 2\pi r, \quad (2.1)$$

Onde W_L é a medida do lado da seção transversal do transistor PSG e r é o raio da seção transversal do CYNTHIA. Como todos os lados do transistor PSG possuem o mesmo valor W_L , logo determina-se o raio r do transistor CYNTHIA através da equação (2.2).

$$r = \frac{2W_L}{\pi} \quad (2.2)$$

Para ilustrar, considerou-se neste estudo W_L igual a 100 nm e determinou-se r através da equação (2.2). Os perímetros do PSG e do CYNTHIA são iguais a 400 nm, porém a área do PSG é de 10000 nm², que é diferente da área do CYNTHIA e que vale 12747 nm². Dessa forma, a relação perímetro sobre a área (P/A) do PSG é maior que a do CYNTHIA, como pode-se verificar através das expressões (2.3) e (2.4).

$$\frac{P_{PSG}}{A_{PSG}} = \frac{4 \times W_L}{W_L^2} = \frac{4}{W_L} = 0,040 \text{ nm}^{-1}, \quad (2.3)$$

$$\frac{P_{CYNTHIA}}{A_{CYNTHIA}} = \frac{2\pi \times \frac{2W_L}{\pi}}{\pi \times \left(\frac{2W_L}{\pi}\right)^2} = \frac{\pi}{W_L} = 0,031 \text{ nm}^{-1}, \quad (2.4)$$

Onde P_{PSG} e $P_{CYNTHIA}$ são os perímetros dos transistores PSG e CYNTHIA respectivamente e A_{PSG} e $A_{CYNTHIA}$ são as áreas das secções transversais dos canais dos transistores PSG e CYNTHIA, respectivamente. Esta importante característica do transistor PSG de geometria quadrada lhe confere uma vantagem sobre o transistor de seção circular CYNTHIA, uma vez que a miniaturização dos circuitos está cada vez mais evidente nas tecnologias atuais, porém, esta vantagem ocorre devido ao critério de comparação utilizado nessa pesquisa, onde as larguras de canal utilizadas são iguais entre o PSG e o CYNTHIA, assim como os respectivos comprimentos de canal. Por outro lado, como o CYNTHIA possui maior área da seção transversal do que o PSG para uma mesma largura de canal, logo a resistência série de fonte e dreno do CYNTHIA será menor que a do PSG ($R = \rho \cdot L/A$), implicando assim em uma maior corrente entre os terminais de fonte e dreno [18]. Outra característica importante do CYNTHIA é que ele não possui o efeito de canto, tal qual é verificado no dispositivo PSG. Nos vértices do dispositivo PSG, o campo elétrico decorrente da polarização de porta de cada um dos lados se somam vetorialmente, tornando-se uma região fortemente influenciada pelo efeito do alto campo elétrico decorrente da polarização de porta nessas regiões.

2.2 Dispositivos CYNTHIA e PSG de canal gradual

Os transistores CYNTHIA e PSG de canal gradual apresentam duas regiões de canal com dopagens diferentes. Na região mais próxima ao dreno, utiliza-se a dopagem natural do filme de silício, ao passo que, na região próxima à fonte, é feita uma implantação iônica para ajuste de V_{TH} , que a torna uma região mais dopada que a região próxima ao dreno [15].

Ao aplicarmos uma diferença de potencial elevada entre fonte e dreno nos transistores CYNTHIA e PSG com canal convencional tem-se, na região próxima ao dreno, um alto campo elétrico que, por sua vez, aumenta o processo de geração de portadores. Conseqüentemente, favorece um maior efeito da ionização por impacto, da diminuição da tensão de ruptura, do surgimento do transistor bipolar parasitário (“single transistor latch-up”), entre outros efeitos indesejados [7]. Porém, polarizando-se da mesma forma os dispositivos CYNTHIA e PSG de canal gradual, estes efeitos são reduzidos de forma expressiva, uma vez que a região próxima ao dreno possui uma menor quantidade de dopantes [16]. A Figura 2.3 apresenta um exemplo de transistores CYNTHIA e PSG de canal gradual e suas respectivas secções longitudinais, considerando-se o comprimento de região “high doped” igual à metade do comprimento total do canal.

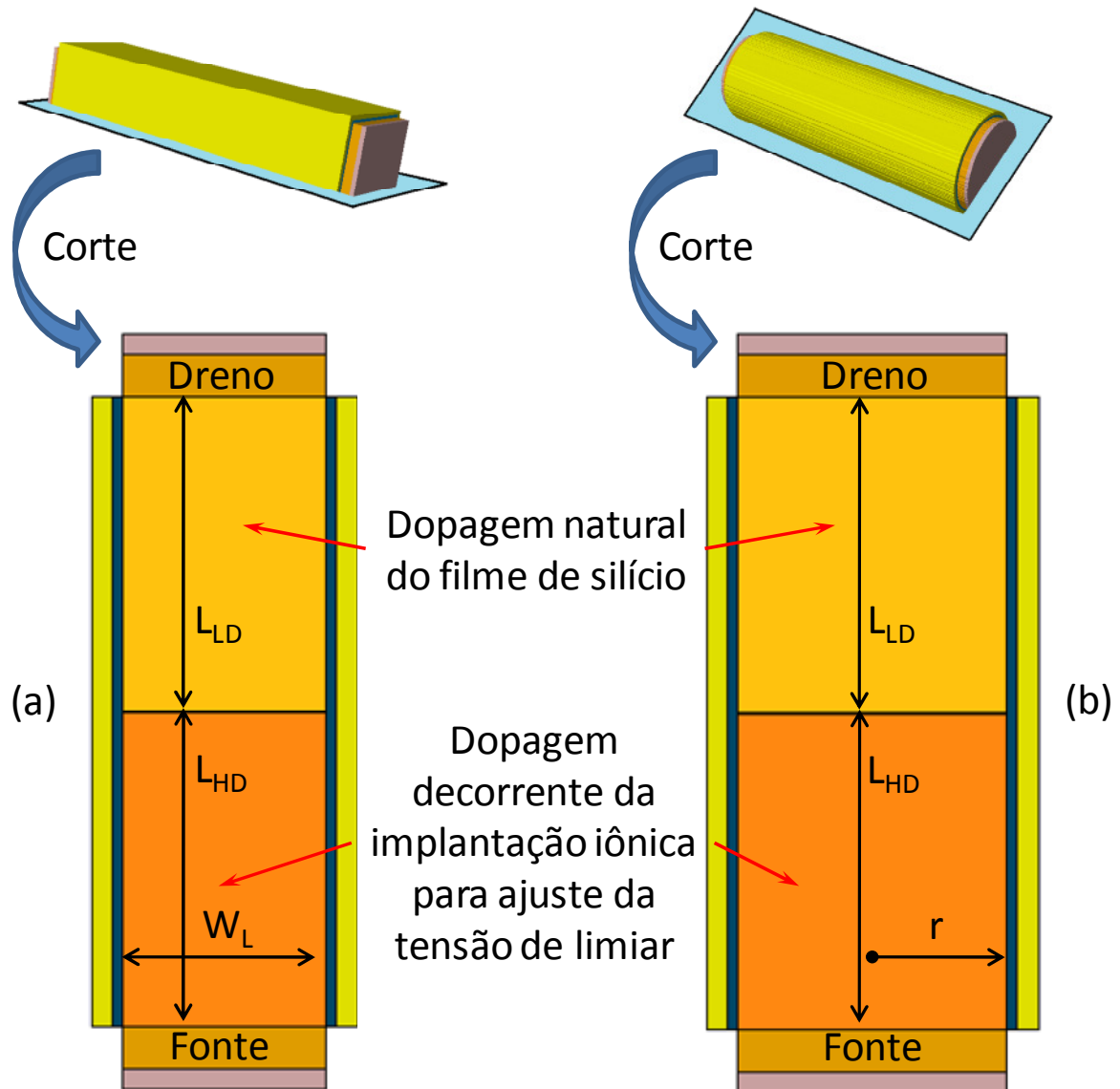


Figura 2.3 – (a): Corte longitudinal do Transistor PSG de canal gradual. (b): Corte longitudinal do Transistor CYNTHIA de canal gradual.

A região próxima ao dreno chamada de “Low Doped”, cujo comprimento é L_{LD} , é formada preservando-se a dopagem natural do filme de silício da região de canal [18]. Já a região próxima à fonte, chamada de “High Doped”, cujo comprimento é L_{HD} , é decorrente do processo de implantação iônica para ajuste da tensão de limiar [18]. Uma importante característica em todos os dispositivos GC, independentemente de sua geometria, é a relação L_{LD}/L . Este parâmetro expressa a proporção da região de canal que apresenta dopagem natural do filme de silício em relação ao comprimento de canal (L). Por exemplo, um dispositivo que possua um comprimento de canal (L) igual a 400 nm e um comprimento da região de baixa dopagem (L_{LD}) igual a 100 nm possui, conseqüentemente, uma relação L_{LD}/L igual a 0,25.

O processo de fabricação dos dispositivos GC se assemelha muito com o processo de fabricação dos dispositivos convencionais, uma vez que adiciona apenas algumas etapas em seu processo de fabricação, como mencionado na referência [15], [19].

Neste trabalho de pesquisa, verificaremos o comportamento das características elétricas destes dispositivos variando-se os comprimentos das regiões com alta e baixa dopagem, além de realizar um estudo comparativo entre os dispositivos de canal gradual com os dispositivos convencionais.

2.3 Comprimento Efetivo de Canal

Nos dispositivos de canal convencional, quando a tensão entre o dreno e a fonte (V_{DS}) se torna maior ou igual que a tensão de saturação, ocorre na região próxima ao dreno, o chamado estrangulamento do canal ou “Pinch-off”. Neste instante, as cargas de inversão na interface entre o dreno e o filme de silício são praticamente iguais a zero, e à medida que a tensão no dreno aumenta, este ponto se distancia da região de dreno na direção da região de fonte [2].

Entende-se como comprimento efetivo do canal (L_{eff}) dos dispositivos de canal convencional, o comprimento de máscara [L] utilizado no processo de fabricação do filme de silício da região de canal, descontado de um comprimento ΔL que é a distância entre a região de estrangulamento e a região de dreno (equação 2.5) [2].

$$L_{eff(Conventional)} = L - \Delta L \quad (2.5)$$

Para os dispositivos de canal gradual, entende-se o comprimento efetivo de canal de outra forma. A região com dopagem natural do filme de silício (“low doped”) se comporta com uma extensão da região de dreno, visto que esta região já está invertida para $V_{GS}=0$ volts [25], portanto, aumentando-se a tensão no dreno, a região de “pinch-off” se desloca da interface entre as regiões “high doped” e a “low doped” em direção à fonte. Deste modo pode-se determinar o comprimento efetivo dos dispositivos de canal gradual através da equação 2.6 [25].

$$L_{eff(Canal\ Gradual)} = L - L_{LD} - \Delta L \quad (2.6)$$

Ou seja, o comprimento efetivo do canal dos dispositivos de canal gradual é dado pelo comprimento de canal (L) descontado do comprimento da região de “low doped” e descontado ainda, de um comprimento ΔL , que é a distância entre a região de estrangulamento e a região de “low doped” [25].

2.4 Tensão de Limiar

Nos dispositivos MOSFETs convencionais, a tensão de limiar (V_{TH}) é definida como a mínima tensão aplicada à porta, que é capaz de formar uma camada de inversão mínima para a passagem de corrente entre a fonte e o dreno do dispositivo [20]. O canal formado ocorre logo abaixo da interface entre o óxido de porta e o filme de silício [20]. Em outras palavras, elevando-se gradualmente a tensão de porta, eleva-se o campo elétrico vertical na região do canal, logo abaixo do óxido de porta e, desta forma, este campo elétrico vertical atrai um número suficiente de portadores minoritários que são capazes de formar um “caminho” para a passagem de corrente elétrica entre o dreno e a fonte [20].

A tensão de limiar (V_{TH}) de um dispositivo MOSFET convencional é dada pela equação (2.6) [3], [20]:

$$V_{TH} = V_{FB} + 2\Phi_F + \frac{qN_A x_{dmáx}}{C_{ox}} \quad (2.6)$$

Na equação (2.6), V_{FB} é a tensão de faixa plana (“flatband”), Φ_F é o potencial de Fermi, q é a carga elementar do elétron, N_A é a concentração de dopantes na região de canal por unidade de volume, C_{ox} é a capacitância do óxido de porta por unidade de área e, $x_{dmáx}$ é a espessura máxima da camada de depleção.

Para a extração da tensão de limiar neste trabalho de pesquisa, foi utilizado o método da segunda derivada, onde extraímos a segunda derivada da curva da corrente de dreno em função de tensão de porta. Nessa curva, determina-se o valor de V_{TH} como sendo a tensão na porta onde se tem o maior valor dessa curva (d^2I_{DS}/dV_{GS}^2) [22]. A base deste método está

fundamentada na análise do modelo ideal de MOSFET, onde $I_{DS}=0$ para tensões de porta menores que V_{TH} e I_{DS} é proporcional para tensões de porta maiores que V_{TH} , ou seja, possui comportamento linear [21]. Portanto, para este modelo ideal, a segunda derivada desta região tenderia ao infinito. Porém, na prática esta região não é exatamente linear e como resultado da segunda derivada da corrente de dreno em função da tensão de porta, obtemos um pico máximo nesta curva [21]. O valor de V_{GS} para este pico máximo coincide com o valor de V_{TH} . Vale ressaltar que, este método somente é válido para valores de V_{DS} próximos de zero [21], [22]. A Figura 2.4 apresenta um exemplo da segunda derivada da corrente de dreno em função da polarização de porta, para a extração da tensão de limiar.

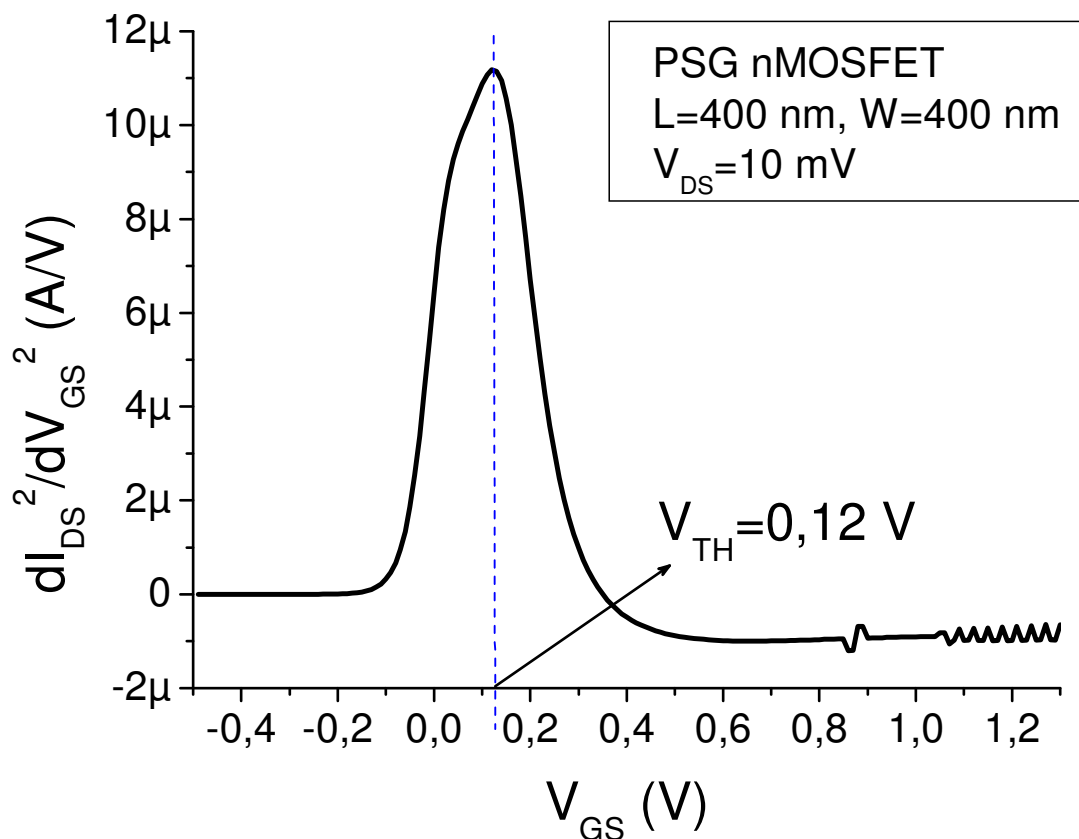


Figura 2.4: Exemplo de simulação tridimensional da derivada segunda de $I_{DS} \times V_{GS}$ (Método da segunda derivada ou método da transcondutância) para determinação de V_{TH} .

Na Figura 2.4, d é o diferencial e d^2/dV^2 é o operador da derivada segunda. Em comparação aos outros métodos, o da segunda derivada é imune a degradação da mobilidade, efeito da resistência série e portadores quentes [22].

2.5 Resistência série

A resistência série total (R_{S_Total}) de um transistor de canal convencional é, em primeira aproximação, dada por três componentes básicas, como apresentado na equação (2.7) [23].

$$R_{S_Total} = R_{Fonte} + R_{Dreno} + R_{Canal} \quad (2.7)$$

Onde R_{Fonte} , R_{Dreno} e R_{Canal} , são as resistências da fonte, do dreno e do canal, respectivamente.

Quando aplicamos tensões elevadas na porta dos dispositivos MOSFETs ($V_{GS} \gg V_{TH}$), a região do canal se torna totalmente invertida formando um caminho quase ideal para a passagem de corrente elétrica. Em outras palavras, a resistência nesta região é desprezível, quando comparamos às resistências série de fonte e dreno e, dessa forma, R_{S_Total} se torna praticamente as resistências série de fonte e dreno (R_S) e é dada pela equação (2.8) [23].

$$R_{S_Total} \cong R_S \cong R_{Fonte} + R_{Dreno} \quad (2.8)$$

Estas resistências série de dreno e de fonte estão presentes na estrutura do transistor de forma intrínseca, e possuem uma relação direta com a corrente de dreno (I_{DS}). Através da curva $I_{DS} \times V_{GS}$, obtida com valores de tensão de dreno da ordem de 10 mV, pode-se extrair o valor da resistência série dos dispositivos em estudo, porém este é um método de obtenção de primeira ordem, ou seja, fornece um valor impreciso da resistência série de fonte e dreno.

Para a obtenção da resistência série através desse modelo de primeira ordem, dividimos o valor conhecido de V_{DS} , que no caso é de 10 mV, pelos valores da corrente de dreno (I_{DS}). Com estes valores, obtemos uma curva resultante da resistência série total (R_{S_Total}) em função da tensão de porta (V_{GS}), e com esta, pode-se extrair a resistência série de fonte e dreno. Essa curva apresenta um patamar quando é extrapolada para altos valores de V_{GS} , e a distância entre esse patamar e o eixo de V_{GS} define a resistência série de fonte e dreno do dispositivo em estudo (R_S). Como nesta pesquisa os dispositivos possuem tensão de limiar diferentes (como será apresentado mais adiante), foi utilizada a curva de I_{DS} em função da sobretensão de porta V_{GT} .

Neste trabalho foram realizadas simulações numéricas tridimensionais com tensões até 1,3 V, para a determinação da curva $I_{DS} \times V_{GT}$. Portanto, para que seja possível realizar a extrapolação da curva simulada para altos valores de V_{GT} (no caso até 5 V), foi realizada uma aproximação numérica da curva simulada, com uma equação exponencial decrescente (“decay exponential”) de terceira ordem através do programa ORIGIN [24]. Com esta equação em mãos, realiza-se a extrapolação para altos valores de V_{GT} com o auxílio do EXCEL [26] para, finalmente se obter o valor de R_S de primeira ordem.

Na Figura 2.5 é apresentado um exemplo de uma curva para a extração da resistência série de fonte e dreno de um PSG nMOSFET.

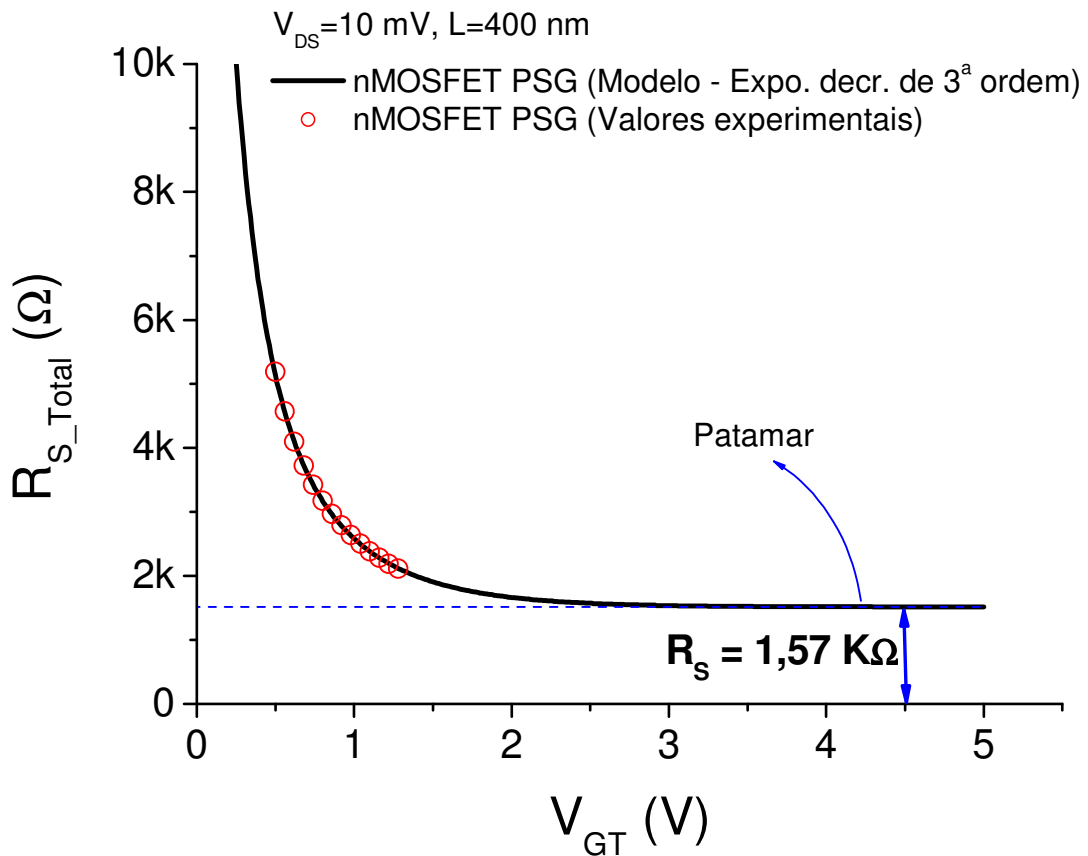


Figura 2.5: Exemplo de simulação tridimensional de uma curva $R_{S_Total} \times V_{GT}$ para obtenção da resistência série de fonte e dreno (R_S) de primeira ordem.

Na Figura 2.5, pode-se observar a curva $R_{S_Total} \times V_{GT}$ para obtenção da resistência série de fonte e dreno (R_S) de um dispositivo PSG nMOSFET de canal convencional. A distância

entre ao patamar formado para altos valores de V_{GT} e o próprio eixo V_{GT} , corresponde ao valor da resistência série de fonte e dreno do transistor (R_S), que neste caso é de 1,57 K Ω .

Quando se obtém a curva $R_{S_Total} \times V_{GT}$ para vários valores de comprimento de canal (L) pode-se então construir o gráfico apresentado na Figura 2.6 a seguir, ondem é possível extrair um valor de resitência série de fonte e dreno com maior precisão.

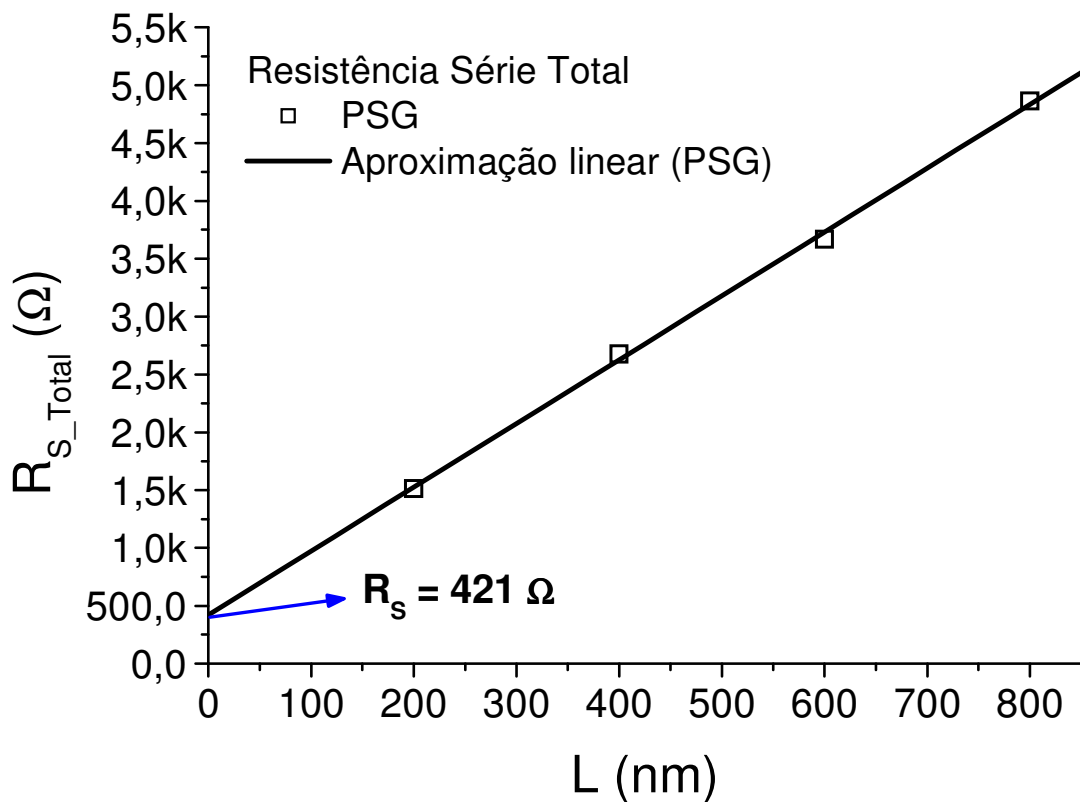


Figura 2.6: Exemplo de simulação tridimensional de uma curva $R_{S_Total} \times L$ para obtenção da resistência série de fonte e dreno (R_S).

Na Figura 2.6 observa-se o exemplo de uma curva $R_{S_Total} \times L$ de um dispositivo PSG de canal convencional com largura de canal de 400 nanômetros, V_{DS} igual a 10 mV e comprimentos de canal (L) variando de 200, 400, 600 e 800 nanômetros. Para cada um desses dispositivos foram construídos gráficos semelhantes ao gráfico da Figura 2.5, e então extraídos os valores de R_S (distância entre ao patamar formado para altos valores de V_{GS} e o próprio eixo V_{GS}). A fim de se obter maior precisão no valor da resistência série de fonte e dreno, é construído o gráfico $R_{S_Total} \times L$ e realiza-se uma aproximação linear dos pontos do

gráfico. Ao extrapolarmos a reta formada até atingirmos L igual a zero, obtém-se então o valor correspondente de R_S que, no caso da Figura 2.6, é igual a 421 Ω .

2.6 Inclinação de sub-limiar

A inclinação de sub-limiar (S) é uma importante característica a ser observada nos transistores MOSFETs. Também conhecida como inverso da inclinação de sub-limiar ou excursão de sub-limiar, a inclinação de sub-limiar é obtida a partir da curva $I_{DS} \times V_{GS}$ para um baixo valor de V_{DS} e também com valores de V_{GS} menores que V_{TH} . Esta curva deve ser construída através de um gráfico monologarítmico, conforme exemplo apresentado na Figura 2.7 [2].

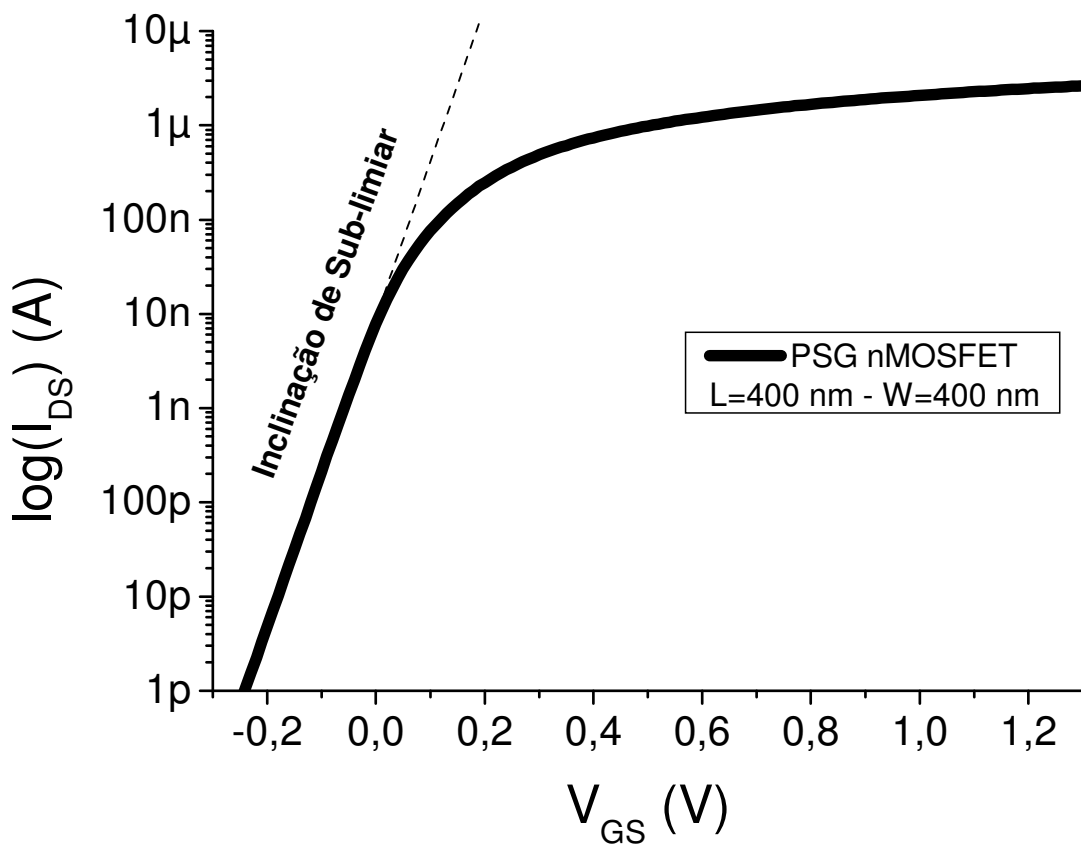


Figura 2.7: Exemplo de simulação tridimensional de um gráfico monologarítmico de $\log(I_{DS}) \times V_{GS}$ para a extração da inclinação de sub-limiar.

Com a curva da Figura 2.7 é possível obter a inclinação de sub-limiar (S), como sendo o inverso do coeficiente angular da reta formada para baixos valores de V_{GS} , de acordo com a equação (2.9) [2].

$$S = \frac{1}{\frac{d(\log I_{DS})}{dV_{GS}}} \quad (2.9)$$

Onde d/dV_{GS} é o operador da derivada com relação às variações de V_{GS} .

Nos transistores MOS, tipicamente os valores de S variam de 80 mV/dec. a 120 mV/dec., já os SOI MOSFETs totalmente depletados, este valor se aproxima do limite teórico de 60 mV/dec., em temperatura ambiente [2]. A inclinação de sub-limiar nos mostra quantos milivolts deve ser aplicado à porta para que se aumente a corrente de dreno em 10 vezes, ou uma década.

A Figura 2.8 apresenta um exemplo de gráfico para a obtenção da inclinação de sub-limiar.

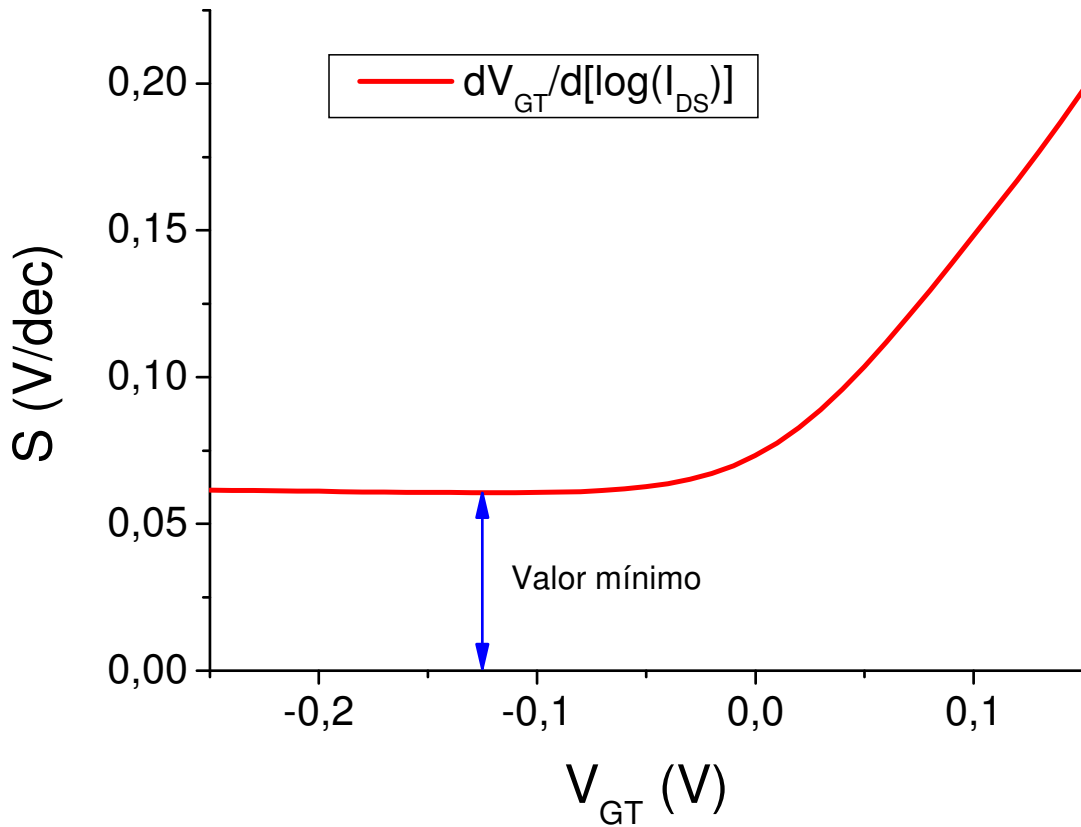


Figura 2.8: Exemplo de um gráfico de $S \times V_{GT}$ para a obtenção da inclinação de sub-limiar.

A corrente I_{DS} na região de sub-limiar surge devido ao mecanismo de difusão dos portadores minoritários [20] e na equação (2.10) a seguir, é apresentada a equação da corrente entre fonte e dreno na região de sub-limiar ($I_{DS_sub-limiar}$).

$$I_{DS_sub-limiar} = -qAD_n \frac{n(0) - n(L)}{L} \quad (2.10)$$

Onde, q é a carga elementar do elétron, D_n é o coeficiente de difusão para elétrons e $n(0)$ e $n(L)$ são as concentrações de elétrons nas regiões próximas à fonte e ao dreno, respectivamente, e A é a área da seção transversal do dispositivo nas regiões de fonte e dreno que o elétron atravessa [3].

Um valor de inclinação de sub-limiar baixo indica que o dispositivo possui uma pequena quantidade de armadilhas de interface e, além disso, possibilita a fabricação de transistores com menores tensões de limiar sem acarretar em um aumento da corrente de fuga

no dispositivo. Características como estas são importantíssimas para o desenvolvimento de novas tecnologias de circuitos integrados, onde cada vez mais se faz necessário menores tensões de operação e maiores velocidades [2].

2.7 Transcondutância

A transcondutância de um transistor significa o quanto o dispositivo pode ser efetivo em sua operação, ou seja, para uma determinada variação na tensão de entrada (V_{GS}), qual é a correspondente variação na corrente de saída do dispositivo (I_{DS}) [2], [25]. A equação para a determinação da transcondutância que expressa este conceito é apresentada pela equação (2.11) [3]:

$$g_m = \frac{\Delta I_{DSsat}}{\Delta V_{GS}} = \frac{\partial I_{DSsat}}{\partial V_{GS}} \quad (2.11)$$

Onde I_{DSsat} é a corrente de saturação entre os terminais de fonte e dreno, ΔI_{DSsat} é a variação desta corrente de saturação, ΔV_{GS} é a variação da tensão entre os terminais de porta e fonte, ∂I_{DSsat} é a variação infinitesimal da corrente de saturação entre os terminais de fonte e dreno e ∂V_{GS} é a variação infinitesimal da tensão entre os terminais de porta e fonte.

Para um dispositivo SOI nMOSFET convencional operando na região de saturação, a transcondutância é dada pela equação (2.12) [3].

$$g_m = \frac{W\mu_n C_{ox}}{L(1 + \alpha)} (V_{GS} - V_{TH}) \quad (2.12)$$

Onde W é a largura do canal, μ_n é a mobilidade dos elétrons na camada de inversão para um nMOSFET, L é o comprimento de canal, V_{TH} é a tensão de limiar e α é o fator de acoplamento capacitivo, que no caso de um dispositivo parcialmente depletado, é dado pela equação (2.13) [3].

$$\alpha = \frac{\epsilon_{si}}{x_{dm\acute{a}x} C_{ox}} \quad (2.13)$$

Onde ϵ_{si} é a permissividade do silício e $x_{dm\acute{a}x}$ é a espessura máxima da camada de depleção. Já para um dispositivo SOI nMOSFET totalmente depletado, o fator de acoplamento capacitivo (α) é dado pela equação (2.14) [3].

$$\alpha = \frac{C_{Si}C_{ox2}}{C_{ox}(C_{Si} + C_{ox2})} \quad (2.14)$$

Onde C_{Si} é a capacitância do filme de silício e C_{ox2} é a capacitância do óxido enterrado.

Na Figura 2.9 é apresentado um exemplo de uma curva típica da transcondutância em função da tensão de porta para V_{DS} de 10 mV:

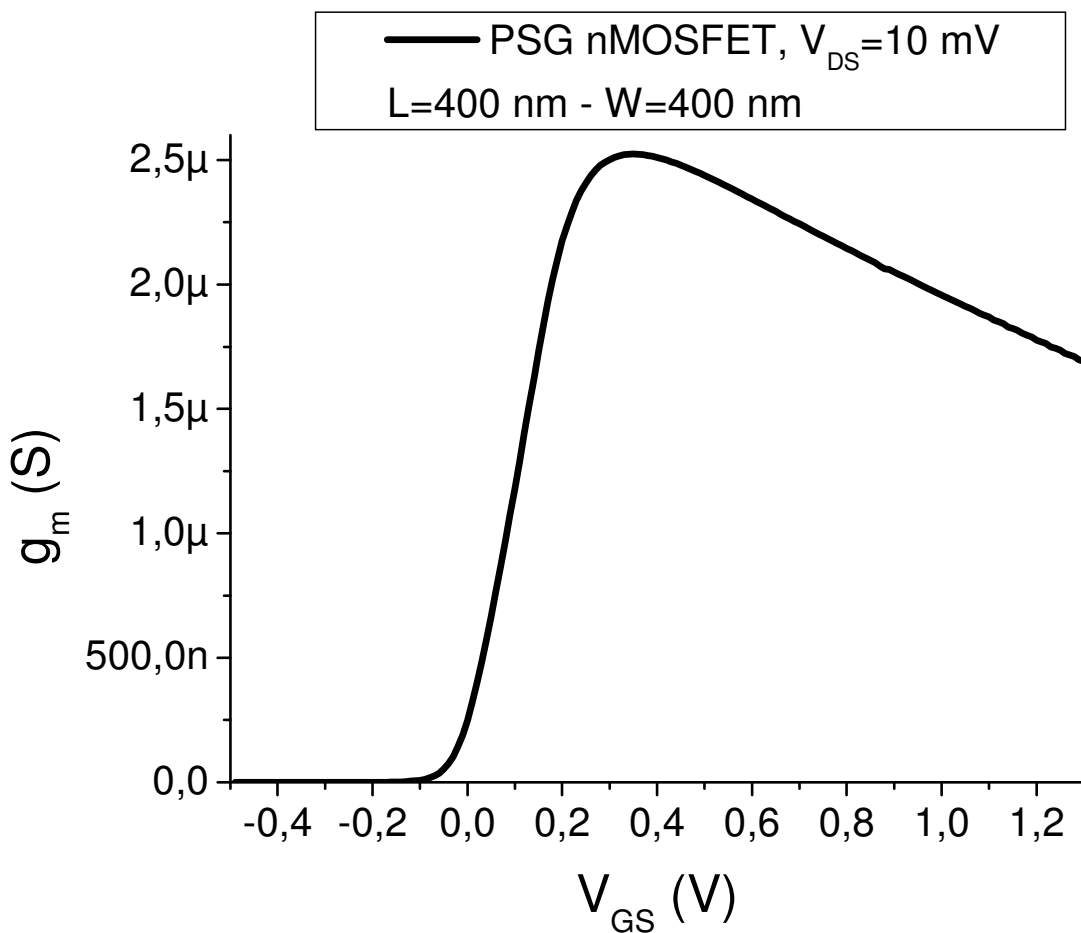


Figura 2.9: Exemplo de simulação tridimensional de uma curva típica da transcondutância em função da tensão de porta para um PSG nMOSFET com V_{DS} de 10 mV.

2.8 Razão de transcondutância pela corrente entre fonte e dreno em função da corrente entre fonte e dreno normalizada em relação ao fator geométrico

O gráfico da razão entre a transcondutância pela corrente entre fonte e dreno em função da corrente entre fonte e dreno normalizada em relação ao fator geométrico $[g_m/I_{DS} \times I_{DS}/(W/L)]$ se baseia em um tratamento unificado para todas as regiões de operação de um MOSFET. Esta metodologia é utilizada para o desenvolvimento de circuitos integrados analógicos, uma vez que é normalizada em relação à razão do comprimento (L) pela largura (W) do canal do dispositivo. Esta metodologia também é extremamente importante devido à crescente necessidade de circuitos analógicos CMOS de baixa tensão e baixa potência (“low power-low voltage”), onde se utiliza a região de inversão moderada. Nesta região é obtido um bom desempenho nas características de ganho de tensão de malha aberta, velocidade [respostas em altas frequências ou altos valores de frequência de ganho unitário (f_T)] e baixo consumo de potência elétrica [28].

A metodologia está baseada na característica $g_m/I_{DS} \times I_{DS}/(W/L)$, que por sua vez não depende das dimensões do dispositivo, como mencionado anteriormente. Evitando-se os efeitos de canal curto, esta característica é única (universal) para todos MOSFETs do tipo n ou p, desde que estes dispositivos façam parte de um mesmo processo de fabricação. Quando, na fase inicial de um projeto, as dimensões W (largura) e L (comprimento) não são conhecidas, pode-se explorar a universalidade desta curva. Para isto, basta escolhermos o par de valores g_m/I_{DS} e $I_{DS}/(W/L)$ e assim, adotando-se uma corrente de polarização I_{DS} , a razão W/L pode ser determinada de forma exata. A seguir, escolhe-se um comprimento de canal (L) conveniente, de tal forma que define uma tensão Early, que por sua vez, define um ganho de tensão de malha aberta desejado e, por fim, determina-se o valor da largura de canal (W) [28]. Portanto, através desta ferramenta, pode-se determinar o par de valores W e L de cada um dos transistores que compõem um determinado circuito analógico. Também é possível observar no gráfico de $g_m/I_{DS} \times I_{DS}/(W/L)$ as três regiões de operação: inversão fraca, inversão moderada e inversão forte. Na Figura 2.10 é apresentado um exemplo de um gráfico de $g_m/I_{DS} \times I_{DS}/(W/L)$ de um dispositivo PSG.

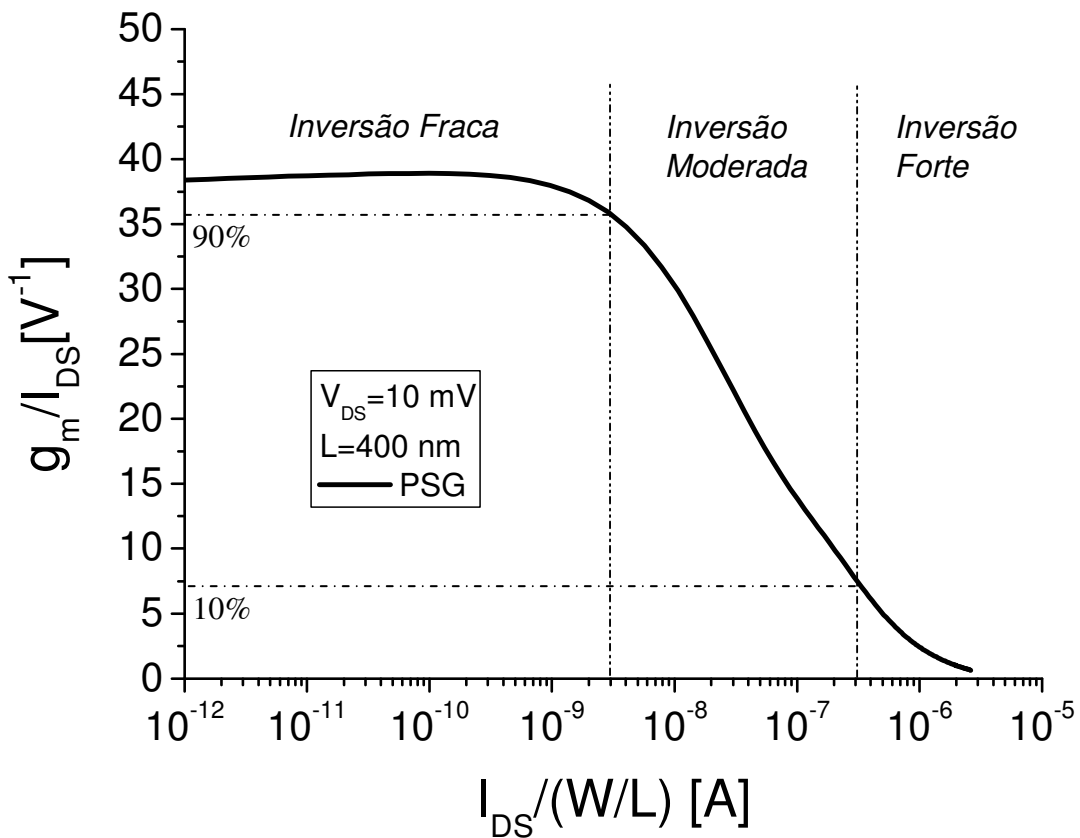


Figura 2.10: Exemplo de simulação tridimensional de um gráfico de g_m/I_{DS} versus $I_{DS}/(W/L)$ de um PSG nMOSFET.

Na Figura 2.10, para a definição do início da região de inversão moderada, foi considerado 90% do máximo valor de g_m/I_{DS} , e para o final da região de inversão moderada, foi considerado 10% do máximo valor de g_m/I_{DS} . No gráfico (Figura 2.10), observa-se a região onde se tem os maiores valores da relação g_m/I_{DS} , que neste caso encontram-se na região de inversão fraca, ideal para aplicações analógicas com alto ganho de tensão de malha aberta e baixa frequência de ganho unitário. Na região intermediária do gráfico, pode-se observar a região de inversão moderada, ideal para aplicações analógicas de baixa tensão e baixa potência, com bom compromisso de ganho de tensão de malha aberta e frequência de ganho unitário. Já na região de inversão forte, observam-se os menores valores de g_m/I_{DS} , onde se pode usá-la para obter altas frequências de ganho unitário e baixo ganho de tensão de malha aberta [28].

3 RESULTADOS DAS SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Neste capítulo, será apresentada uma breve introdução sobre o simulador ATLAS, bem como os modelos e métodos utilizados para a obtenção das simulações numéricas tridimensionais.

Serão apresentados também, as características dos dispositivos simulados como largura de canal, comprimento de canal, concentração de dopantes entre outras características.

Por fim, são apresentadas as curvas características obtidas através das simulações numéricas tridimensionais.

3.1 O simulador ATLAS

O ATLAS é um programa produzido pela SILVACO que possui a capacidade de realizar simulações numéricas bidimensionais e tridimensionais. Sua interface com o usuário é através do editor “DeckBuild” (vide Apêndice A), que possibilita ao usuário não somente a edição do programa, mas também o acompanhamento da simulação [17].

O processamento do simulador Atlas parte do uso de equações matemáticas que descrevem o comportamento físico dos dispositivos. Através da solução deste conjunto de equações é possível obter, com grande precisão, as características elétricas associadas às estruturas e suas condições de polarização [17].

Uma das formas de se gerar o arquivo de entrada para o ATLAS, que descreve a estrutura a ser simulada, é através do editor de estruturas chamado “DevEdit”. Também é possível gerar estruturas através do próprio editor “DeckBuild”. Para a edição de estruturas tridimensionais utiliza-se o editor de estruturas “DevEdit3D” ou também o próprio “DeckBuild”. Em ambos os casos, a estrutura é gerada a partir de linhas e colunas de grade onde, em cada cruzamento, geram-se os chamados pontos ou nós da estrutura [17].

Uma vez carregado este arquivo de estrutura no “DeckBuild”, o simulador ATLAS resolve as equações citadas anteriormente para cada ponto ou nó desta estrutura [17].

Para que uma simulação tenha um bom desempenho e se aproxime ao máximo das características reais do dispositivo, é recomendável seguir algumas regras básicas, tais quais:

- Nas interfaces entre os materiais devem existir uma maior concentração de pontos (grade mais concentrada);
- Em regiões onde a concentração de dopantes é constante, não é necessário uma grande quantidade de pontos (grade menos concentrada);
- A formação de triângulos obtusos na construção da grade prejudica a convergência do conjunto de equações pertinentes aos modelos usados no simulador.

A Figura 3.1 apresenta um exemplo de uma estrutura tridimensional (a) com sua respectiva grade (b), assim como um corte longitudinal (c) e um corte transversal nesta grade, que modela um PSG nMOSFET:

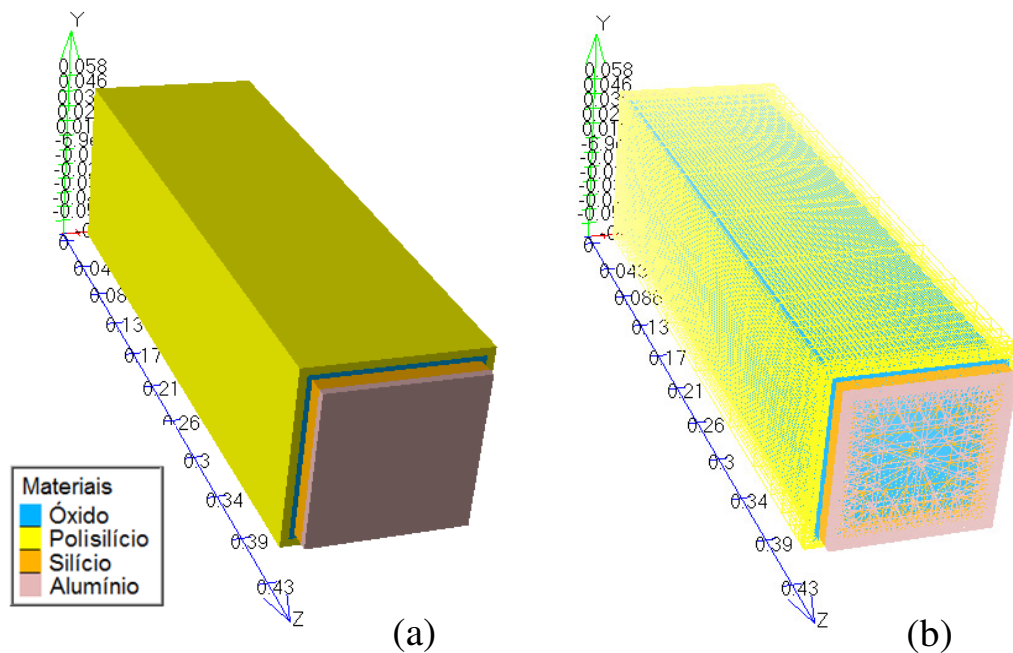


Figura 3.1 - (a): Estrutura tridimensional de um PSG nMOSFET. (b): Grade tridimensional de um PSG nMOSFET.

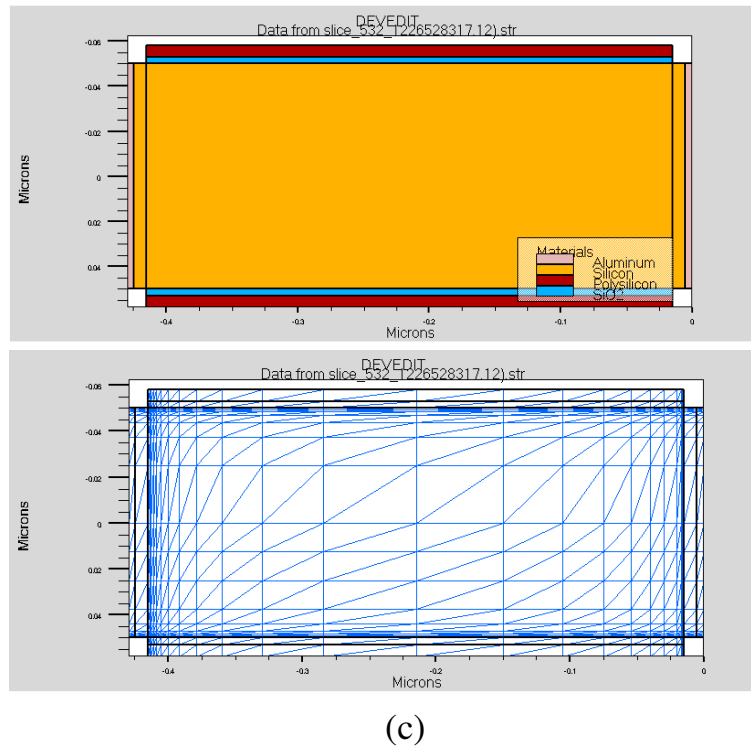


Figura 3.1 – CONTINUAÇÃO (c): Corte longitudinal da grade tridimensional de um PSG nMOSFET.

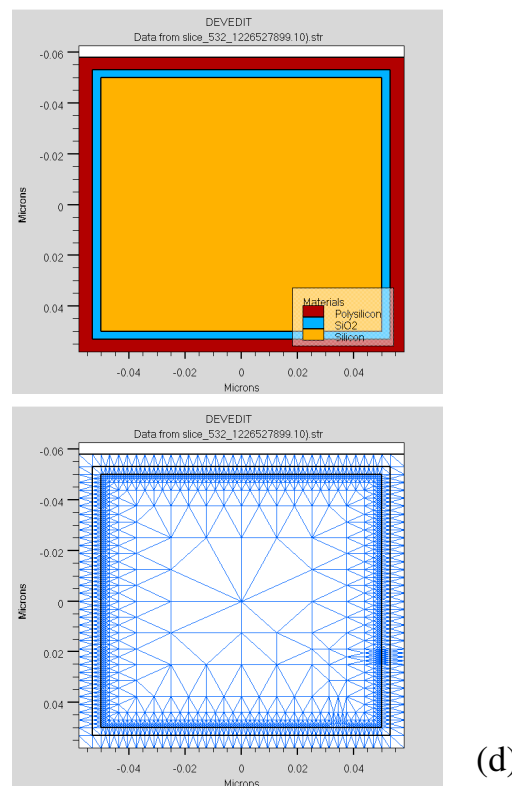


Figura 3.1 – CONTINUAÇÃO (d): Corte transversal da grade tridimensional de um PSG nMOSFET.

O comprimento de canal do PSG nMOSFET apresentado na Figura 3.1(a) é igual a 400 nanômetros. Repare que na Figura 3.1(b), pode-se observar o mesmo dispositivo, onde as

linhas da grade estão realçadas. Já nas Figuras 3.1(c) e 3.1(d), observa-se um corte no sentido longitudinal e transversal respectivamente, onde se verifica que nas interfaces entre os materiais existe uma maior quantidade de linhas e colunas que formam a grade da estrutura. Por outro lado, nas regiões onde a concentração de dopantes é constante, a quantidade de grade é reduzida consideravelmente. As visualizações das estruturas das Figuras 3.1(a) e 3.1(b) foram feitas através do “TonyPlot3D”, já os cortes das estruturas nas Figuras 3.1(c) e 3.1(d) foram feitos através do “TonyPlot” [17].

3.1.1 Modelos utilizados

No arquivo de entrada gerado pela ferramenta “DeckBuild”, deve ser especificado quais os modelos matemáticos serão utilizados na simulação. Estes modelos descrevem os fenômenos físicos que devem ser considerados durante a simulação. Dependendo do dispositivo e do tipo de estudo que se deseja realizar através da simulação, escolhem-se os modelos que melhor descrevem estes fenômenos a ser estudados. Dentre todos os modelos disponíveis para simulação, podemos encontrar modelos que descrevem os fenômenos do comportamento da mobilidade de portadores, da ionização por impacto, da geração e recombinação de portadores, entre outros [17]. A seguir são apresentados os modelos utilizados nesta pesquisa, bem como uma breve descrição sobre cada um deles.

- FERMI (Fermi-Dirac): Este modelo é utilizado no cálculo estatístico de portadores com concentração reduzida em regiões altamente dopadas [17];
- CVT (Lombardi Model): Modelo de mobilidade completo, incluindo a dependência da concentração de dopantes (N), da temperatura (T), do efeito dos campos elétricos paralelo e perpendicular. Este modelo é recomendado para dispositivos não planares [17];
- SRH (Shockley-Read-Hall): Modelo de recombinação de pares elétrons-lacuna, que considera fixo o tempo de vida dos portadores minoritários [17];
- FNORD [Fowler-Nordheim (elétrons)]: Modelo para cálculo da corrente de porta, através do óxido de porta (tunelamento) [17];

- FNHOLES [Fowler-Nordheim (lacunas)]: Modelo de cálculo da corrente de porta, semelhante ao FNORD, porém para lacunas (tunelamento) [17].

3.2 Dispositivos simulados

A seguir são apresentados os dispositivos nMOSFETs que foram estudados neste trabalho, assim como suas principais características:

Tabela 3.1 – nMOSFETs estudados e suas principais características.

DISPOSITIVOS		W (nm) (Para L=400 nm)					L (nm) (Para W=400 nm)				L _{LD} (nm)				L _{LD} / L			
Convencional	PSG	100	200	300	400	1000	200	400	600	800	-				-			
	CYNTHIA	100	200	300	400	1000	200	400	600	800	-				-			
Canal gradual	PSG	400				1000	400				50	100	150	200	0,125	0,25	0,375	0,5
	CYNTHIA	400				1000	400				50	100	150	200	0,125	0,25	0,375	0,5

Como apresentado na Tabela 3.1, foram realizadas simulações tridimensionais dos dispositivos PSG de seção transversal quadrada e CYNTHIA de canal convencional e gradual. Para os dispositivos de canal convencional, variou-se a largura do canal (W) de 100, 200, 300, 400 e 1000 nanômetros, mantendo-se L igual a 400 nanômetros, e variou-se também o comprimento do canal (L) de 200, 400, 600 e 800 nanômetros, mantendo-se W igual a 400 nanômetros. Já para os dispositivos PSG e CYNTHIA de canal gradual, variou-se o comprimento da região de baixa dopagem (“low doped”) de 50, 100, 150 e 200 nanômetros, para um mesmo comprimento de canal (400 nm) e uma mesma largura de canal (400 nm) e, conseqüentemente, obteve-se a variação da relação L_{LD}/L em 0,125, 0,250, 0,375 e 0,500. Adicionalmente, realizou-se simulações tridimensionais para dispositivos de canal gradual com comprimento de canal de 400 nanômetros, comprimento da região “low doped” de 200 nanômetros, porém com largura de canal de 1000 nanômetros. Foi utilizado espessura da camada de óxido (t_{ox}) de 3 nm em todos os dispositivos. As regiões de fonte e dreno possuem o mesmo comprimento de 10 nanômetros, e os seus contatos possuem 5 nanômetros de espessura. O contato de porta possui espessura de 5 nanômetros.

A concentração de dopantes (N_A) utilizada na região de canal dos dispositivos convencionais PSG e CYNTHIA foi de $5.5 \times 10^{17} \text{ cm}^{-3}$. Por outro lado, a concentração de dopantes utilizada na região de canal dos dispositivos PSG e CYNTHIA de canal gradual foi de $5.5 \times 10^{15} \text{ cm}^{-3}$ na região de baixa dopagem, e de $5.5 \times 10^{17} \text{ cm}^{-3}$ na região de alta dopagem. Para as regiões de fonte e dreno, foram utilizadas as mesmas concentrações de dopantes para os dispositivos convencionais e de canal gradual, concentrações estas de $1 \times 10^{20} \text{ cm}^{-3}$. Em todas as simulações foi considerada a temperatura ambiente.

Para o estudo do modo de funcionamento dos nMOSFETs PSG e CYNTHIA foi utilizado o critério dos dispositivos de porta dupla, ou seja, o dispositivo estará parcialmente depletado (“partially depleted SOI”, PDSOI), caso a espessura do filme de silício seja maior do que duas vezes o valor de $x_{dm\acute{a}x}$ ($t_{Si} > 2x_{dm\acute{a}x}$) [7], e o dispositivo estará totalmente depletado (“fully depleted SOI”, FDSOI), caso a espessura do filme de silício seja menor do que duas vezes $x_{dm\acute{a}x}$ ($t_{Si} < 2x_{dm\acute{a}x}$) [7]. Desta forma, foi calculado o valor do potencial de Fermi ϕ_F e o valor de $x_{dm\acute{a}x}$ conforme as equações (3.1) e (3.2) a seguir:

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_a}{n_i} \right) = 0,0259 \ln \left(\frac{5,5 \cdot 10^{17}}{1,45 \cdot 10^{10}} \right) = 0,452 \text{ V} \quad (3.1)$$

$$x_{dm\acute{a}x} = \sqrt{\frac{4\epsilon_{Si}\phi_F}{qN_a}} = \sqrt{\frac{4 \cdot 11,7 \cdot 8,854 \cdot 10^{-14} \cdot 0,452}{1,6 \cdot 10^{-19} \cdot 5,5 \cdot 10^{17}}} = 46,133 \text{ nm} \quad (3.2)$$

Onde k é a constante de Boltzmann, T é a temperatura, q é a carga elementar do elétron, N_a é a concentração de dopantes no canal e n_i é a concentração intrínseca de portadores do Si. Como mencionado anteriormente a espessura da camada de silício do PSG varia de acordo com a largura do canal, assim como o dispositivo CYNTHIA. Utilizando-se os critérios para definição do modo de funcionamento descritos anteriormente, foi montada a Tabela 3.2 onde são apresentados os modos de funcionamento de cada um dos dispositivos simulados.

Tabela 3.2 – Modo de funcionamento do transistores simulados.

Modo de funcionamento ($x_{d\text{máx}}=46,133\text{ nm}$)				
Largura de Canal W (nm)	PSG		CYNTHIA	
	t_{Si}	Modo	t_{Si}	Modo
100	25	FDSOI	32	FDSOI
200	50	FDSOI	64	FDSOI
300	75	FDSOI	95	PDSOI
400	100	PDSOI	127	PDSOI
1000	250	PDSOI	318	PDSOI

3.3 Resultados das simulações numéricas tridimensionais

A seguir serão apresentados os resultados das simulações tridimensionais dos dispositivos PSG e CYNTHIA nMOSFETs de canal convencional e de canal gradual.

3.3.1 Tensão de limiar nos dispositivos PSG e CYNTHIA SOI MOSFETs

Para a determinação da tensão de limiar foram realizadas simulações numéricas tridimensionais com tensão de dreno (V_{DS}) de 10 mV, uma vez que se devem utilizar tensões próximas à zero para que o método descrito no capítulo 2 item 4 tenha validade. Na Tabela 3.3, estão apresentados os valores da tensão de limiar dos transistores de canal convencional, variando-se o comprimento de canal e considerando largura de canal fixa em 400 nanômetros.

Tabela 3.3 – Tensão de limiar (V_{TH}) dos dispositivos nMOSFETs PSG e CYNTHIA de canal convencional e com comprimento de canal variável e considerando largura de canal fixa em 400 nanômetros.

W=400 nm	Tensão de limiar	
	PSG	CYNTHIA
Comprimento de Canal L (nm)	$V_{TH(PSG)}$ (V)	$V_{TH(CYNTHIA)}$ (V)
200	0,10	0,12
400	0,12	0,13
600	0,13	0,14
800	0,13	0,14

A Figura 3.2 apresenta um gráfico comparativo construído através da Tabela 3.3 dos valores de V_{TH} dos nMOSFETs PSG e CYNTHIA em função do comprimento de canal.

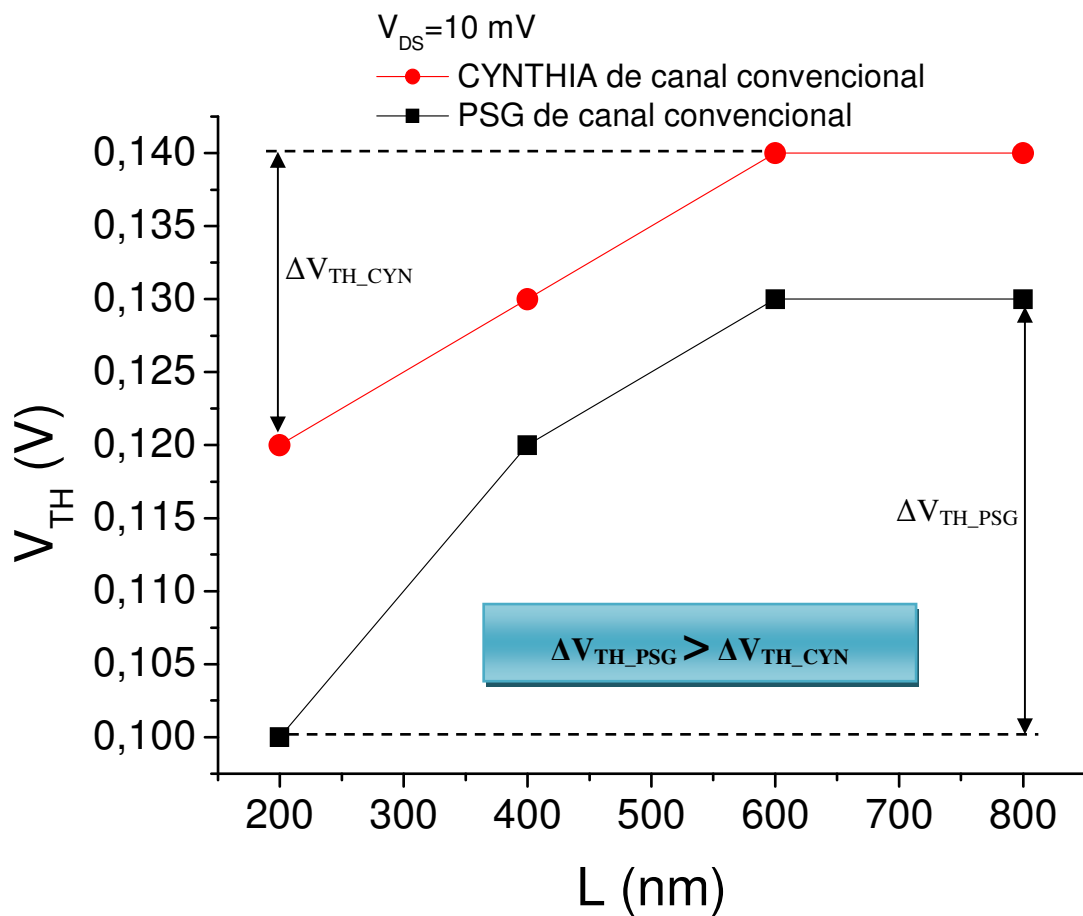


Figura 3.2: Gráfico da tensão de limiar em função do comprimento de canal dos dispositivos nMOSFETs PSG e CYNTHIA de canal convencional.

Na Figura 3.2, ΔV_{TH_PSG} e ΔV_{TH_CYN} são as variações da tensão de limiar para uma faixa de variação de L de 200 a 800 nanômetros, para os dispositivos PSG e CYNTHIA respectivamente.

Como pode ser observado na Tabela 3.3 e no gráfico da Figura 3.2, a tensão de limiar diminui a medida que o valor do comprimento de canal diminui, para o dispositivo PSG de seção transversal quadrada e, desta mesma forma, para o dispositivo CYNTHIA de canal convencional.

Quando compara-se as tensões de limiar do PSG com as respectivas tensões de limiar do CYNTHIA, verifica-se valores maiores para os dispositivos CYNTHIA. Observa-se também na Figura 3.2 que o CYNTHIA é ligeiramente mais imune aos efeitos de canal curto, já que houve menos degradação da tensão de limiar (ΔV_{TH_CYN} igual a 20 mV), ao contrário do PSG que é mais afetado pelo efeito de canal curto (ΔV_{TH_PSG} igual a 30 mV) [2], [29]. Já os transistores com comprimento de canal superior a 600 nanômetros não apresentam o efeito da degradação da tensão de limiar, independentemente da geometria da seção transversal do canal, ou seja, é uma constatação que eles não apresentam efeito de canal curto para comprimentos acima de 600 nanômetros [2], [29].

Para justificar os maiores valores das tensões de limiar dos dispositivos CYNTHIA sobre os valores dos dispositivos PSG, são apresentadas na Figura 3.3, as concentrações de elétrons nas seções transversais dos canais dos dispositivos PSG e CYNTHIA (posição $L/2$), para comprimento e largura de canal de 400 nanômetros, V_{DS} igual a 10 mV, V_{GS} igual a 1,3 V e considerando mesma relação W/L , que implica em uma área da seção transversal das regiões de fonte e dreno do CYNTHIA maior que a do PSG ($A_{PSG} < A_{CYN}$), como demonstrado anteriormente.

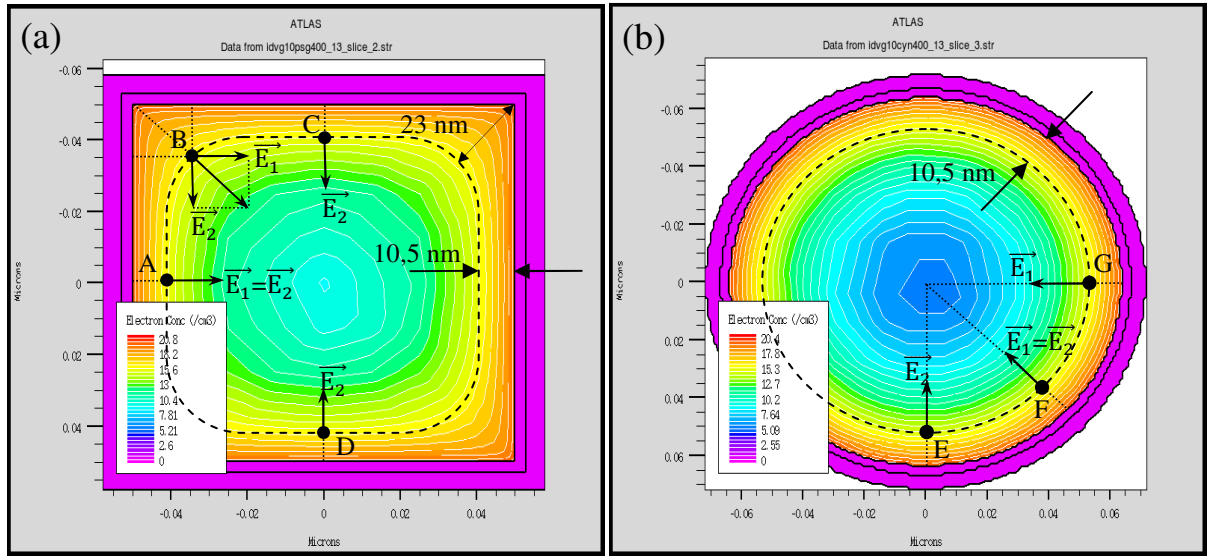


Figura 3.3: Concentração de elétrons medida na posição $L/2$ do canal dos dispositivos PSG (a) e CYNTHIA (b) de canal convencional (Seção transversal).

Observa-se na Figura 3.3(a), que no ponto B ocorre a soma vetorial dos campos elétricos $\vec{E}_1$ e $\vec{E}_2$ decorrente da polarização de porta, e este comportamento ocorre em todos os cantos do dispositivo. Já nas regiões afastadas dos cantos do PSG (região central do canal), não ocorre a soma vetorial dos campos elétricos, uma vez que existe apenas uma componente, $\vec{E}_1$ ou $\vec{E}_2$ (pontos A, C e D, respectivamente), considerando-se estas condições de polarização e dimensões do dispositivo. Analogamente, no dispositivo CYNTHIA, existe sempre apenas uma componente do campo elétrico na direção radial ($\vec{E}_1$ ou $\vec{E}_2$), como está ilustrado na Figura 3.3(b), nos pontos E, F e G, respectivamente.

Com o objetivo de analisar a influência do campo elétrico na concentração dos portadores no canal, foram feitas medidas nos dispositivos PSG e CYNTHIA da distância (d) entre a interface Si-SiO₂ até o ponto onde a concentração de elétrons vale, como um critério de análise, $5,5 \times 10^{17} \text{ cm}^{-3}$ [indicada na linha pontilhada da Figura (3.3)]. A distância “ d ” é proporcional ao campo elétrico resultante gerado pela tensão aplicada à porta. Quanto maior é a resultante do campo elétrico, maior é o valor da distância “ d ”. Na Tabela 3.4 a seguir, são apresentados os valores medidos da distância “ d ” para $V_{DS}=10 \text{ mV}$, $V_{GS}=1,3 \text{ V}$ e considerando a largura e comprimento de canal de 400 nanômetros para ambos os dispositivos.

Tabela 3.4 – Distância da interface Si-SiO₂ até o ponto onde a concentração de elétrons vale $5,5 \times 10^{17} \text{ cm}^{-3}$ nos dispositivos PSG e CYNTHIA de canal convencional.

Dispositivos: (W=400 nm; L=400 nm; V _{DS} =100 mV; V _{GS} =1.3 V)	d (nm)
PSG	Pontos A, C e D (posição L/2 do canal): 10,5
	Ponto B (nos cantos do canal): 23
CYNTHIA	Pontos E, F e G: 10,5

Na Tabela 3.4, pode-se verificar que os valores de “d” nos pontos A, C e D do PSG são iguais aos valores de “d” nos pontos E, F e G do dispositivo CYNTHIA, que por sua vez, são menores que o valor de “d” no ponto B do transistors PSG. Este resultado pode ser explicado devido a resultante do campo elétrico nos pontos A, C e D do PSG e nos pontos E, F e G do CYNTHIA serem compostas por uma única componente do campo elétrico, $\vec{E}_1$ ou $\vec{E}_2$, enquanto que no ponto B do transistor PSG existem duas componentes do campo elétrico, $\vec{E}_1$ e $\vec{E}_2$, que são perpendiculares entre si, e cuja a resultante é maior do que o próprio valor das componetes $\vec{E}_1$ e $\vec{E}_2$.

Para ilustrar o comportamento dos elétrons no canal dos dispositivos são apresentadas na Figura 3.4, uma superfície de concentração de elétrons de $2,8 \times 10^{18} \text{ cm}^{-3}$, como um critério de análise, para os dispositivos PSG e CYNTHIA com comprimento e largura de canal de 400 nanômetros ($A_{\text{PSG}} < A_{\text{CYN}}$), V_{DS} de 10 mV e V_{GS} de 200 mV.

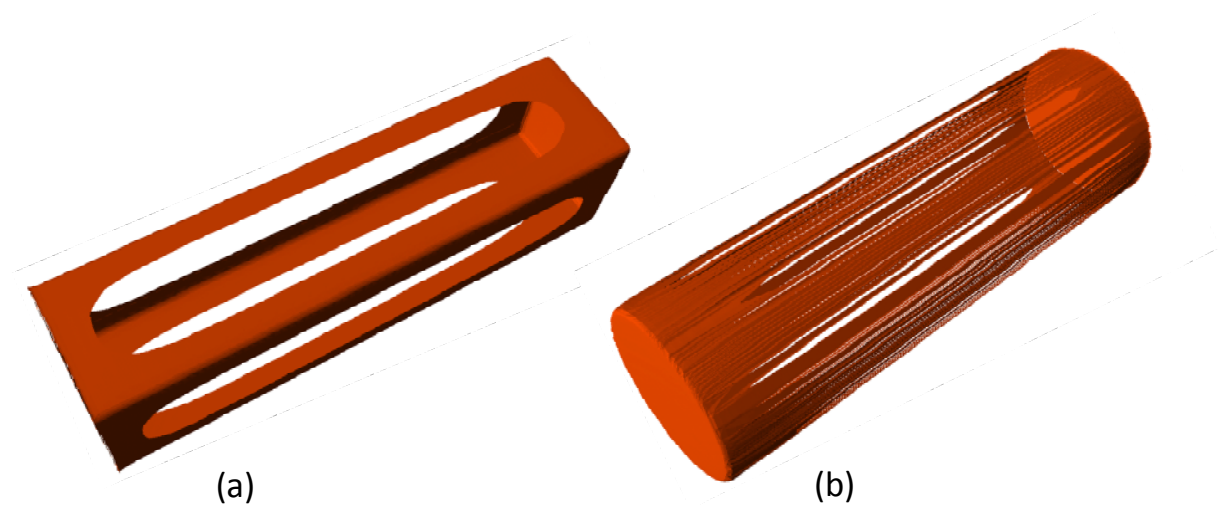


Figura 3.4: Superfície com concentração de elétrons de $2,8 \times 10^{18} \text{ cm}^{-3}$ no canal dos dispositivos PSG (a) e CYNTHIA (b).

Observe que na Figura 3.4(a) existe uma grande tendência dos elétrons se concentrarem próximos às regiões dos cantos do PSG, ao passo que nos dispositivos CYNTHIA, Figura 3.4(b), esta concentração é uniforme em todo o canal, apesar da não uniformidade da grade do transistor (limitação do editor de dispositivos DevEdit3D [17]), e na Figura 3.5 a seguir, é apresentado o resultado da simulação do campo elétrico nos dispositivos PSG e CYNTHIA de comprimento de canal de 400 nanômetros, V_{DS} igual a 10 mV, V_{GS} igual a 1,3 V (região triodo) e considerando mesma largura de canal ($A_{PSG} < A_{CYN}$).

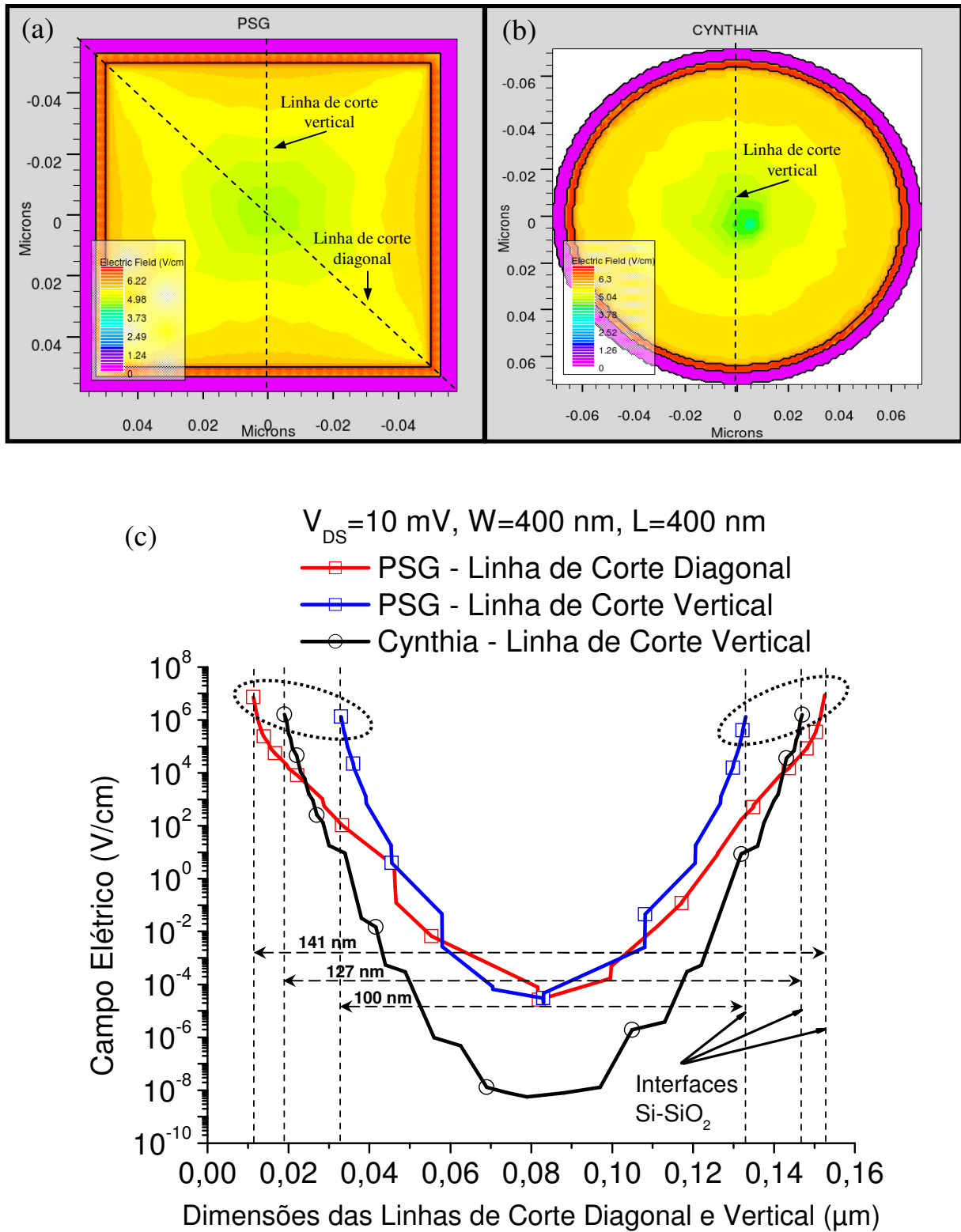


Figura 3.5: Campo Elétrico na seção transversal (posição $L/2$) dos dispositivos PSG (a) e CYNTHIA (b), e o gráfico do campo elétrico em função das linhas de corte diagonal e vertical nesses dispositivos (c).

Analisando a Figura 3.5 pode-se verificar que o campo elétrico nos cantos do PSG é maior (7×10^6 V/cm) do que o campo elétrico na região plana do próprio PSG ($1,5 \times 10^6$ V/cm)

e também maior do que o dispositivo CYNTHIA ($1,5 \times 10^6$ V/cm). Observe que, tanto a região plana do PSG quanto no dispositivo CYNTHIA, ambos possuem o mesmo valor de campo elétrico, que é igual a $1,5 \times 10^6$ V/cm, pois nessas regiões existe apenas uma componente do campo elétrico, para essas condições de polarização e dimensões, como mencionado anteriormente. Portanto, devido ao maior campo elétrico nos cantos do PSG em comparação ao CYNTHIA, a tensão de limiar do PSG tende a ser menor que a do CYNTHIA [18].

Com o objetivo de aprofundar o estudo das regiões dos cantos do PSG foram realizadas simulações numéricas tridimensionais dos dispositivos PSG e CYNTHIA de canal convencional variando-se a largura do canal.

Na Tabela 3.5 são apresentados os valores de tensão de limiar dos transistores PSG e CYNTHIA de canal convencional, variando-se a largura de canal e com comprimento de canal fixado em 400 nanômetros.

Tabela 3.5 – Tensão de limiar (V_{TH}) dos dispositivos nMOSFETs PSG e CYNTHIA de canal convencional, variando-se a largura de canal de 100 a 400 nanômetros e comprimento de canal de 400 nanômetros.

L=400 nm $V_{DS}=10$ mV	Tensão de limiar	
	PSG	CYNTHIA
Largura de Canal W (nm)	$V_{TH(PSG)}$ (V)	$V_{TH(CYNTHIA)}$ (V)
100	-0,06	-0,05
200	-0,01	0,01
300	0,04	0,08
400	0,12	0,13

A Figura 3.6 apresenta um gráfico comparativo dos valores de tensão de limiar dos nMOSFETs PSG e CYNTHIA de canal convencional, em função da largura de canal (variando de 100 a 400 nanômetros), a fim de verificar a influência do efeito de canto no comportamento da tensão de limiar.

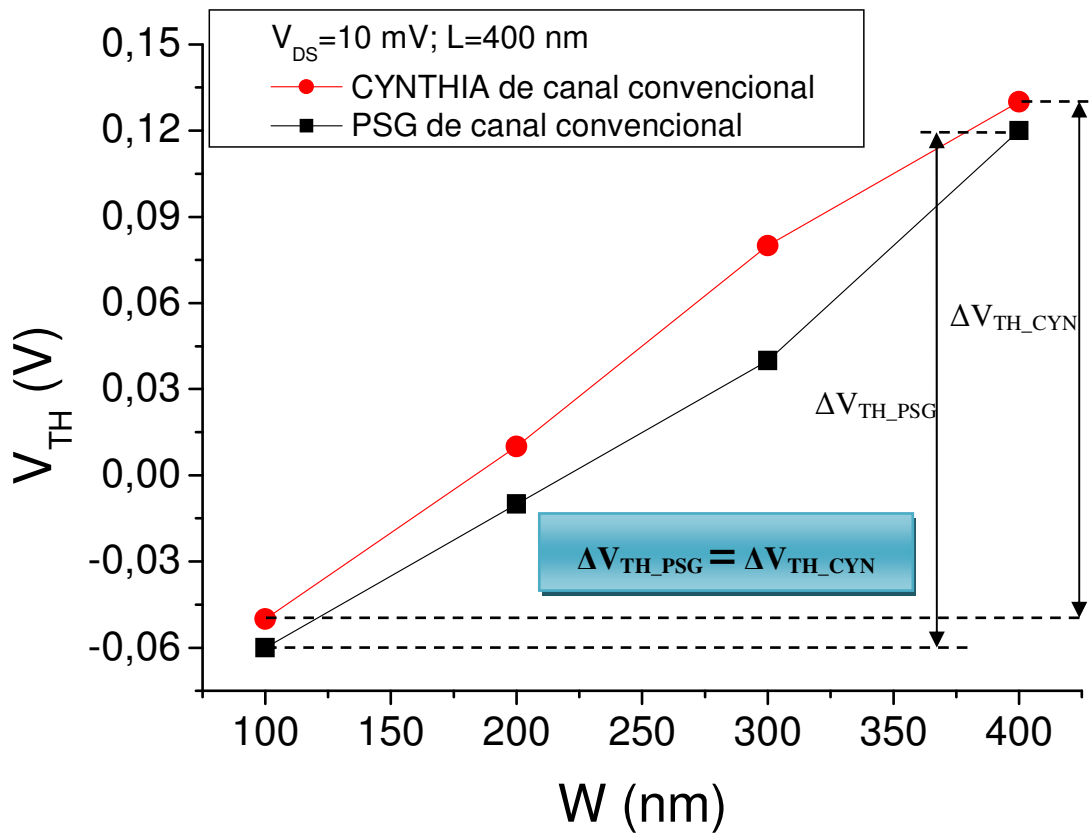


Figura 3.6: Gráfico da tensão de limiar em função da largura de canal dos PSG e CYNTHIA nMOSFETs de canal convencional.

Observa-se na Figura 3.6, que o efeito de canto continua sendo preponderante no comportamento da tensão de limiar do PSG, ou seja, os PSGs possuem menores tensões de limiar comparada às tensões de limiar dos dispositivos CYNTHIA, independentemente da largura do canal. Quando a largura do canal é de 300 nanômetros, pode-se verificar que esta diferença é máxima (0,04 V), e quando a largura do canal é de 400 nanômetros esta diferença diminui para 0,01 V, ou seja, quanto maior for a largura do canal dos dispositivos, menor será a diferença entre as tensões de limiar destes, pois quanto maior a largura do canal, menor é a influência do canto no comportamento do dispositivo PSG, fazendo com que as tensões de limiar destes dispositivos tendam a um mesmo valor.

Observa-se também na Figura 3.6 que o ΔV_{TH_CYN} , que vale 0,18 V, é igual ao ΔV_{TH_PSG} , que também vale 0,18 V, ficando evidente que o efeito de canto não degrada a tensão de limiar do PSG, para a variação de largura de canal apresentada no gráfico.

Afim de verificar a diferença do efeito de canto para os transistores PSG com largura W variável, é apresentada na Figura 3.7 a concentração de elétrons na posição $L/2$ do canal dos transistores, considerando-se uma concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$ como um critério de análise, V_{GS} igual a 10 mV, V_{DS} igual a 1,3 V e L igual a 400 nanômetros.

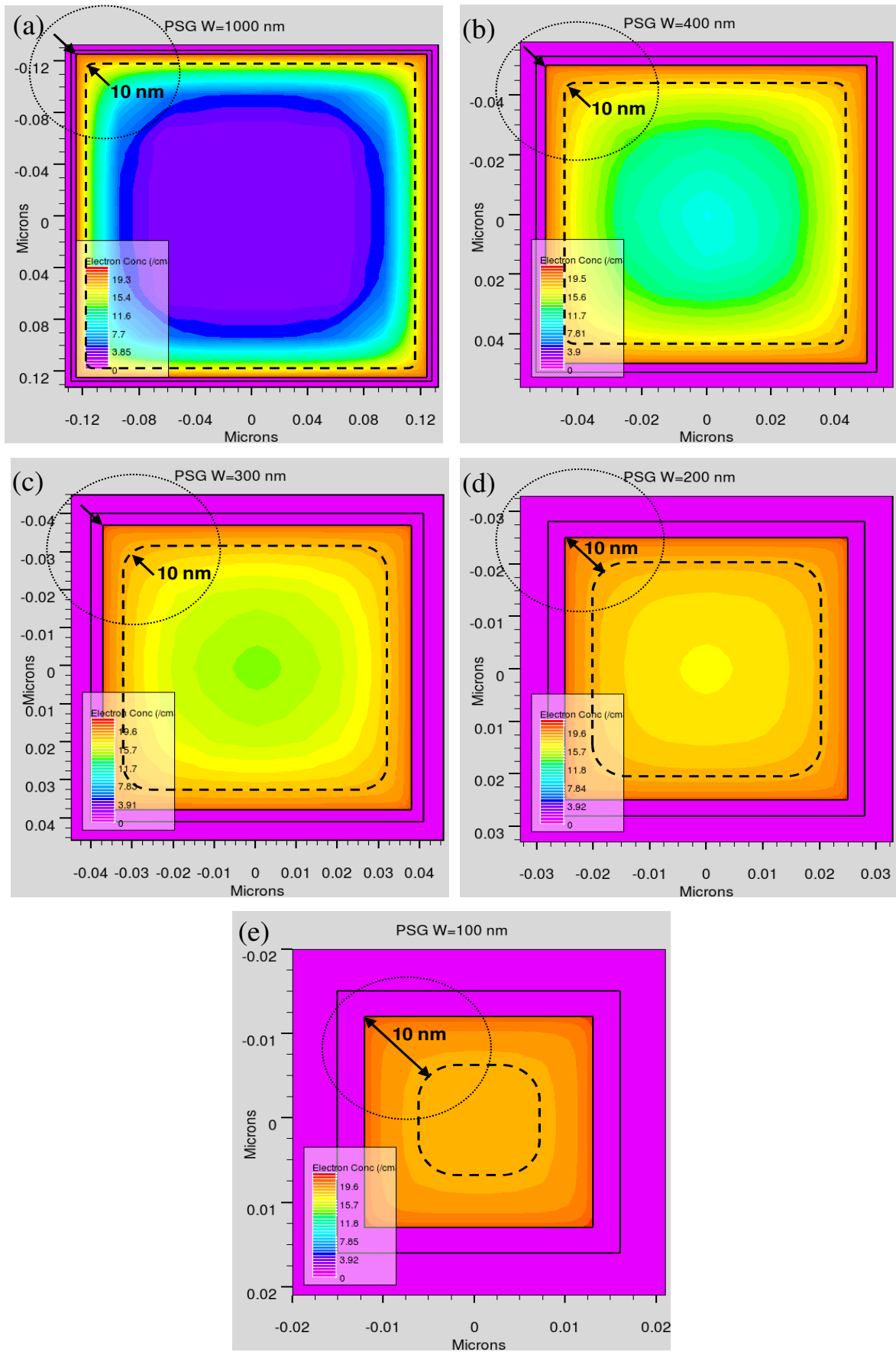


Figura 3.7: Concentração de elétrons na seção transversal dos dispositivos PSG de canal convencional na posição L/2 para diferentes larguras de canal [1000 (a), 400 (b), 300 (c), 200 (d) e 100 (e) nanômetros].

A Figura 3.7 apresenta a concentração de elétrons na seção transversal de cinco PSGs para diferentes larguras de canal (W) e com mesmo potencial aplicado à porta (1,3 V), para um V_{DS} de 10 mV. Foi destacado através de uma linha tracejada, uma camada com concentração de elétrons igual a $5,5 \times 10^{17} \text{ cm}^{-3}$, como critério de avaliação [20], e observa-se que, em todos os dispositivos apresentados, a distância entre a interface Si-SiO₂ (vértice) e a região onde a concentração de elétrons é de $5,5 \times 10^{17} \text{ cm}^{-3}$ é igual 10 nanômetros, independentemente da largura de canal do dispositivo apresentado, portanto, quanto maior for a largura de canal do dispositivo, menor será o efeito de canto sobre o funcionamento do PSG. Observa-se que o PSG de $W=400 \text{ nm}$ [Figura 3.7(b)] e principalmente o PSG de $W=1000 \text{ nm}$ [Figura 3.7(a)], ambos parcialmente depletados (PDSOI), apresentam a região próxima ao canto relativamente pequena quando comparada à largura total do dispositivo (10 nm/400 nm=2,5% e 10 nm/1000 nm=1%, respectivamente).

Quando observamos as Figuras 3.7(c) e 3.7(d) dos PSGs de 300 e 200 nanômetros respectivamente, sendo ambos “totalmente depletados” (FDSOI), verifica-se que começa a ocorrer uma maior interação dos campos elétricos decorrente da polarização de porta nos cantos do dispositivos (10 nm/300 nm=3,3% e 10 nm/200 nm=5%, respectivamente). Na Figura 3.7(e), onde o PSG tem largura de canal de 100 nanômetros e também é totalmente depletado (FDSOI), verifica-se que este dispositivo apresenta forte influência dos cantos sobre o comportamento da concentração de elétrons (10 nm/100 nm=10%), chegando ao ponto de uma região de canto interferir fortemente na outra. Portanto, a medida que a largura do dispositivo é reduzida, observa-se uma maior influência do efeito de canto, e conseqüentemente, tem-se uma menor tensão de limiar [18]. Por outro lado, os PSGs com maior largura de canal tem menor influência do efeito de canto e, conseqüentemente, sua tensão de limiar é maior, pois necessita de uma maior tensão aplicada à porta para que ocorra a formação do canal [18].

3.3.2 Tensão de limiar nos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual

O método utilizado para a extração da tensão de limiar (V_{TH}) dos nMOSFETs CYNTHIA e PSG de canal gradual (GC) foi o mesmo utilizado nos dispositivos de canal convencional. Da mesma forma, foi adotado uma tensão de dreno (V_{DS}) de 10 mV, uma vez que se devem utilizar tensões próximas à zero para que este método tenha validade [21].

Na Tabela 3.6 a seguir, são apresentados os valores de tensão de limiar, obtidos através do método da segunda derivada [21], para dispositivos de $L=400$ nm, $W=400$ nm, considerando mesma relação W/L ($A_{PSG_GC} < A_{CYN_GC}$) e variando-se a relação L_{LD}/L .

Tabela 3.6 – Tensão de limiar V_{TH} dos dispositivos PSG e CYNTHIA de canal gradual.

Tensão de limiar ($L=400$ nm)			
Relação L_{LD} / L	L_{HD} (nm)	PSG GC	CYNTHIA GC
		$V_{TH(PSG_GC)}$ (V)	$V_{TH(CYNTHIA_GC)}$ (V)
0,125	350	0,12	0,13
0,250	300	0,11	0,13
0,375	250	0,10	0,12
0,500	200	0,07	0,12

A Tabela 3.6 apresenta os valores de tensão de limiar para transistores com diferentes valores de L_{LD}/L e mesma largura de canal ($A_{PSG_GC} < A_{CYN_GC}$). Vale ressaltar que, todos os dispositivos simulados possuem comprimento de canal (L) igual a 400 nanômetros. Para ilustrar, o dispositivo com a relação L_{LD}/L igual a 0,125 possui um comprimento da região de dopagem natural “low doped” igual a 50 nanômetros e um comprimento da região com dopagem dada pela implantação iônica de ajuste de V_{TH} (“high doped”) igual a 350 nanômetros. A Figura 3.8 apresenta um gráfico comparativo dos valores de tensão de limiar do PSG e do CYNTHIA de canal gradual obtidos através da Tabela 3.6.

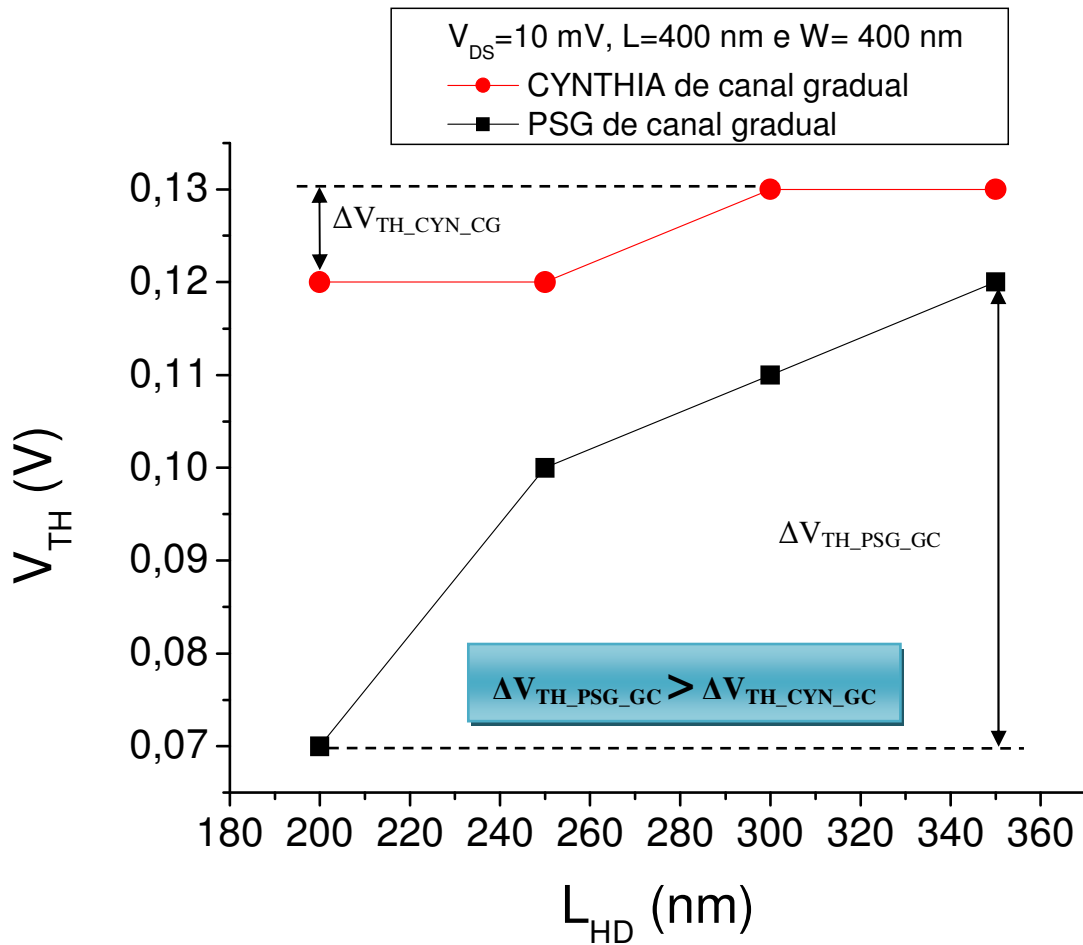


Figura 3.8: Gráfico dos valores de tensão de limiar dos PSG e CYNTHIA nMOSFETs de canal gradual com L e W iguais a 400 nanômetros e variando-se L_{HD} .

Na Figura 3.8, $\Delta V_{TH_PSG_GC}$ e $\Delta V_{TH_CYN_GC}$ são as variações da tensão de limiar para uma faixa de variação de L_{HD} de 200 a 350 nanômetros, para os dispositivos PSG e CYNTHIA de canal gradual respectivamente.

Observando a Figura 3.8, pode-se concluir que a medida que se reduz o comprimento da região “high doped” dos dispositivos PSG GC e CYNTHIA GC, a tensão de limiar diminui devido ao efeito de canal curto [29]. Observa-se também que os transistores de canal gradual com L_{LD} igual a 50 nm (L_{HD} de 350 nanômetros), possuem tensões de limiar muito próximas às tensões de limiar dos dispositivos de canal convencional com L igual a 400 nm, como pode ser observado na Figura 3.2. Como mencionado no capítulo 2 item 2, a região “low doped”, para efeitos funcionais, comporta-se como uma extensão da região de dreno, portanto o comprimento efetivo do canal neste caso será de aproximadamente 350 nm, que é o

comprimento da região mais dopada e se aproxima ao comprimento de canal dos dispositivos convencionais (400 nm) [15].

Verifica-se também através de Figura 3.8 que, assim como nos dispositivos de canal convencional, os dispositivos PSG GC também possuem tensões de limiar menores que os dispositivos CYNTHIA GC, devido à influência do efeito de canto nos dispositivos de seção transversal quadrada. Ainda, na Figura 3.8, observa-se também que o CYNTHIA GC é bastante imune aos efeitos de canal curto, já que houve pouca degradação da tensão de limiar ($\Delta V_{TH_CYN_GC}$ igual a 10 mV), ao contrário do PSG que é mais afetado pelo efeito de canal curto ($\Delta V_{TH_PSG_GC}$ igual a 50 mV).

3.3.3 Característica $I_{DS} \times V_{GT}$ dos dispositivos PSG e CYNTHIA SOI MOSFETs

A Figura 3.9 apresenta a curva da corrente de dreno (I_{DS}) em função da sobretensão de porta (V_{GT}) dos dispositivos PSG e CYNTHIA considerando o mesmo W/L e para tensão de dreno (V_{DS}) igual a 10 mV. Esse gráfico foi elaborado em função de V_{GT} para eliminar os efeitos das diferenças da tensão de limiar entre esses dispositivos.

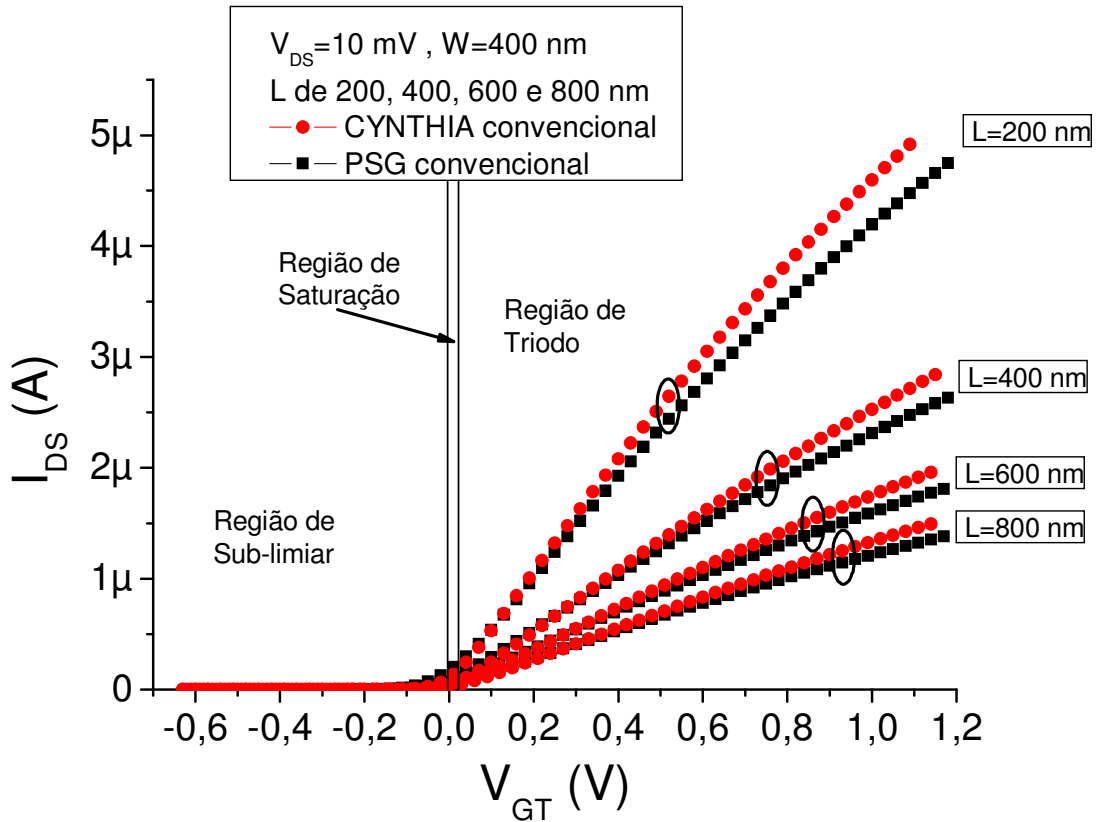


Figura 3.9: Curva da corrente de dreno em função da sobre-tensão de porta dos dispositivos PSG e CYNTHIA convencional para $V_{DS}=10$ mV.

Na Figura 3.9 observa-se que, na região de triodo, quanto menor o comprimento de canal do dispositivo, sendo ele o PSG ou o CYNTHIA, maior é a corrente de dreno (I_{DS}), pois a corrente de dreno é inversamente proporcional ao comprimento efetivo de canal, de acordo com as equações (3.3) e (3.4) (I_{DS} para a região de triodo e para a região de saturação, respectivamente).

$$I_{DS} \cong \mu_n C_{ox} \frac{W}{L_{eff}} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} n V_{DS}^2 \right], \text{ para } V_{DS} < V_{GS} - V_{TH} \quad (3.3)$$

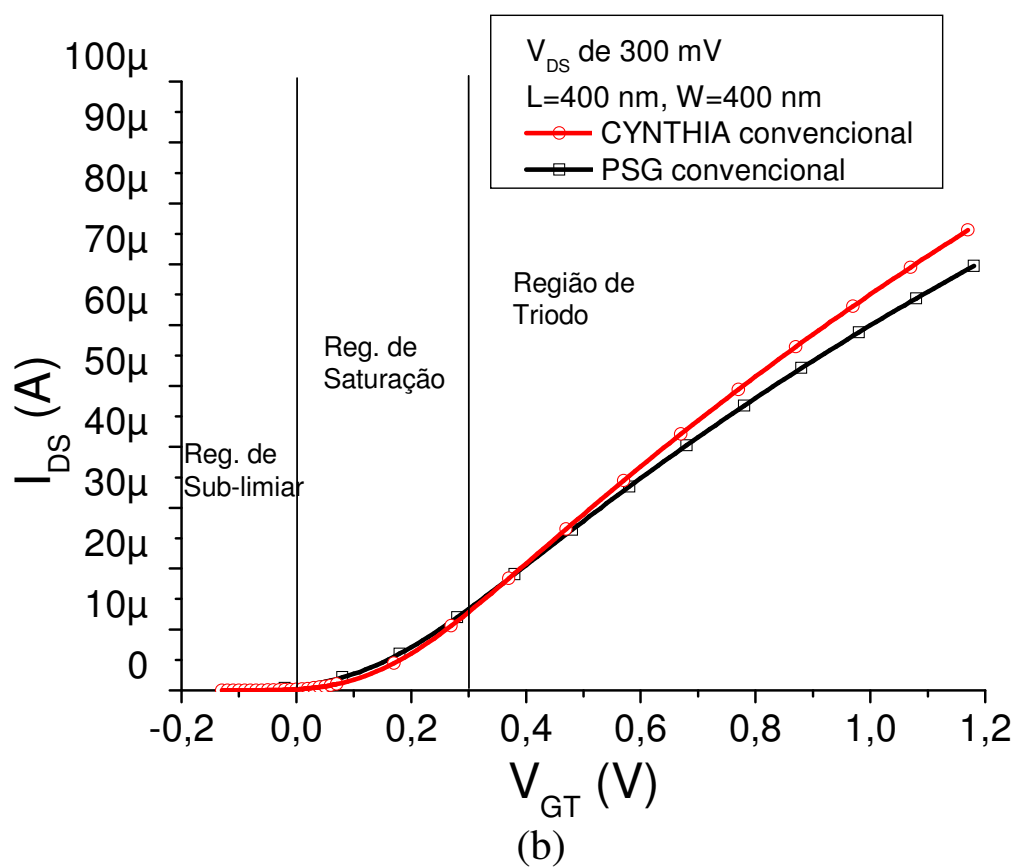
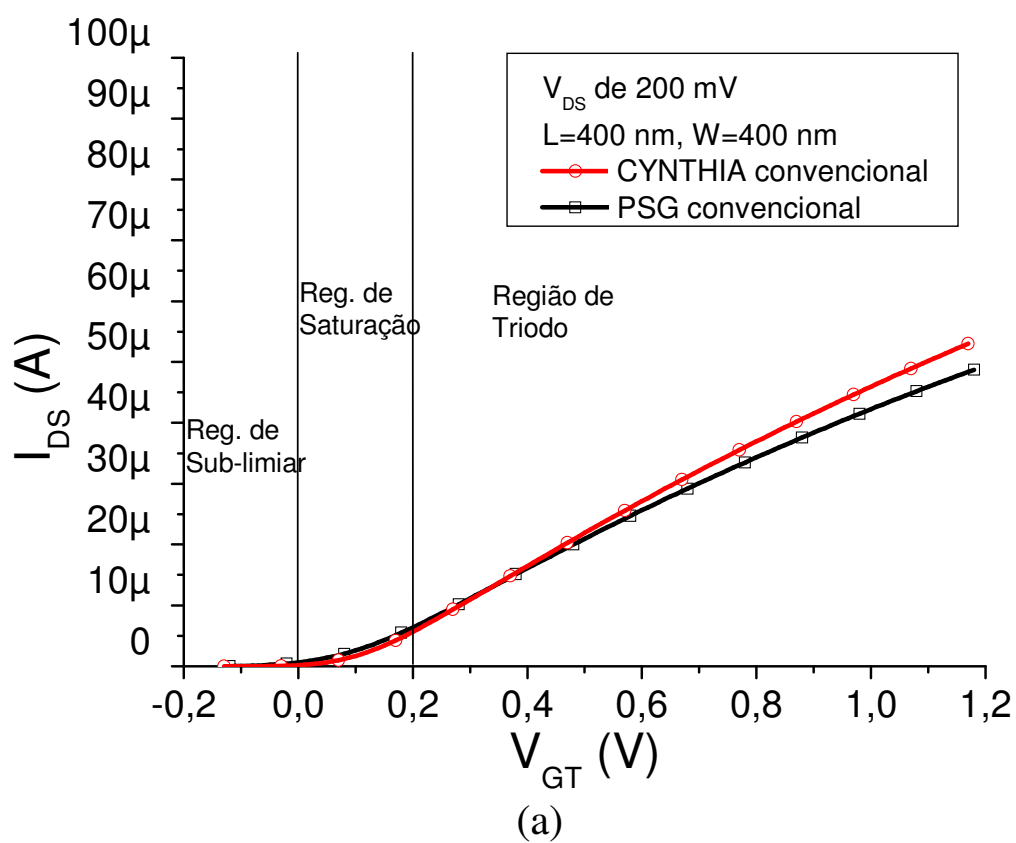
$$I_{DSsat} \cong \mu_n C_{ox} \frac{W}{L_{eff}} \frac{(V_{GS} - V_{TH})^2}{2n}, \text{ para } V_{DS} \geq V_{GS} - V_{TH} \quad (3.4)$$

Onde, I_{DS} é a corrente de dreno, μ_n é a mobilidade efetiva dos elétrons na camada de inversão, C_{ox} é a capacitância do óxido por unidade de área, W é a largura do dispositivo, L_{eff} é o comprimento efetivo de canal, V_{GS} é a tensão de porta, V_{TH} é a tensão de limiar, V_{DS} é a tensão de dreno e n é o fator de corpo para os dispositivos MOS convencional e SOI

parcialmente depletado, que é igual a $1+C_D/C_{ox}$, onde C_D é a capacitância da região de depleção por unidade de área. Já para os dispositivos SOI totalmente depletado, o fator de corpo (n) é dado por $1+(C_{Si}\cdot C_{ox2})/C_{ox}\cdot(C_{Si}+C_{ox2})$.

Na região de triodo, para todos os comprimentos de canal simulados, os valores de I_{DS} dos dispositivos CYNTHIA, para um determinado valor de V_{GT} , são maiores que os valores dos dispositivos PSG. Essa diferença de comportamento explica-se pois, a resistência série de fonte e dreno do CYNTHIA é menor que a resistência série de fonte e dreno do PSG, uma vez que a área da seção transversal das regiões de fonte e dreno do CYNTHIA é maior que a área seção transversal das regiões de fonte e dreno do PSG. O estudo das resistências série de fonte e dreno dos dispositivos CYNTHIA e PSG de canal convencional e gradual será detalhado no item dedicado a este assunto.

A Figura 3.10 apresenta a curva da corrente de dreno (I_{DS}) em função da sobretensão de porta (V_{GT}) para tensões de dreno (V_{DS}) iguais a 200 mV, 300 mV e 400 mV. Todos os dispositivos CYNTHIA e PSG de canal convencional possuem o mesmo comprimento ($L=400$ nm) e mesma largura ($W=400$ nm) de canal.



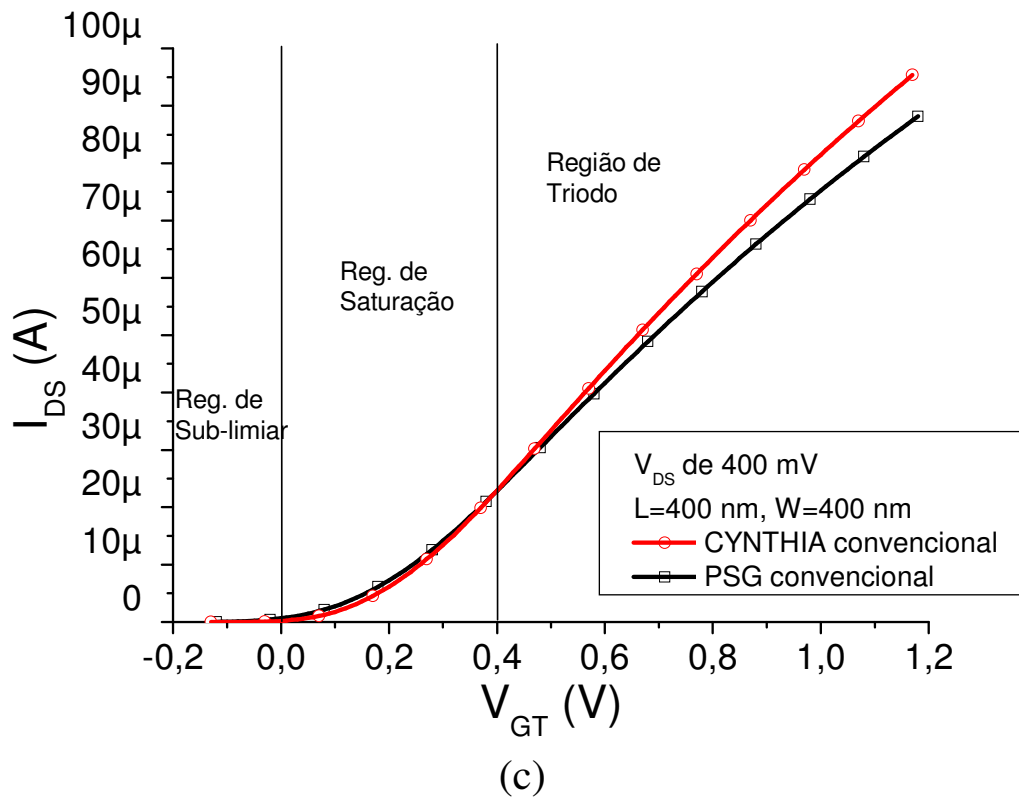


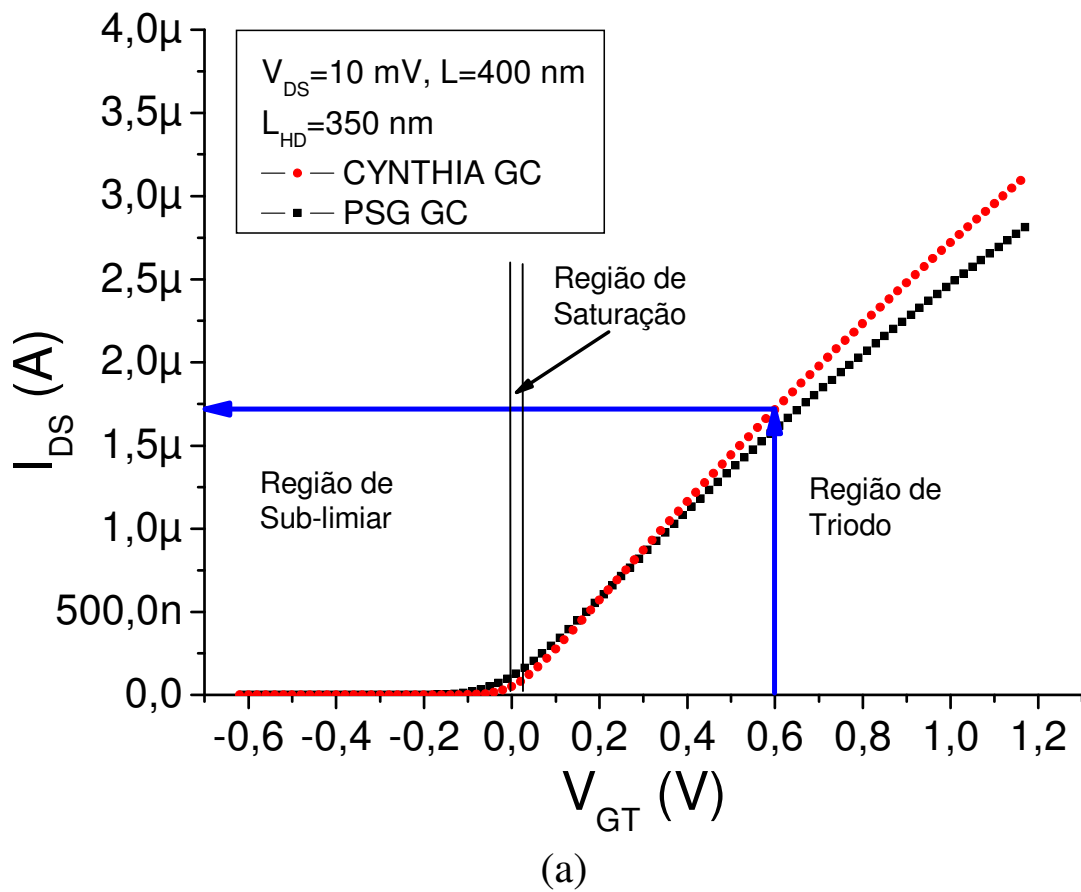
Figura 3.10: Curvas da corrente de dreno em função da sobre-tensão de porta dos dispositivos PSG e CYNTHIA convencionais para tensões de dreno (V_{DS}) iguais a 200 mV (a), 300 mV (b) e 400 mV (c).

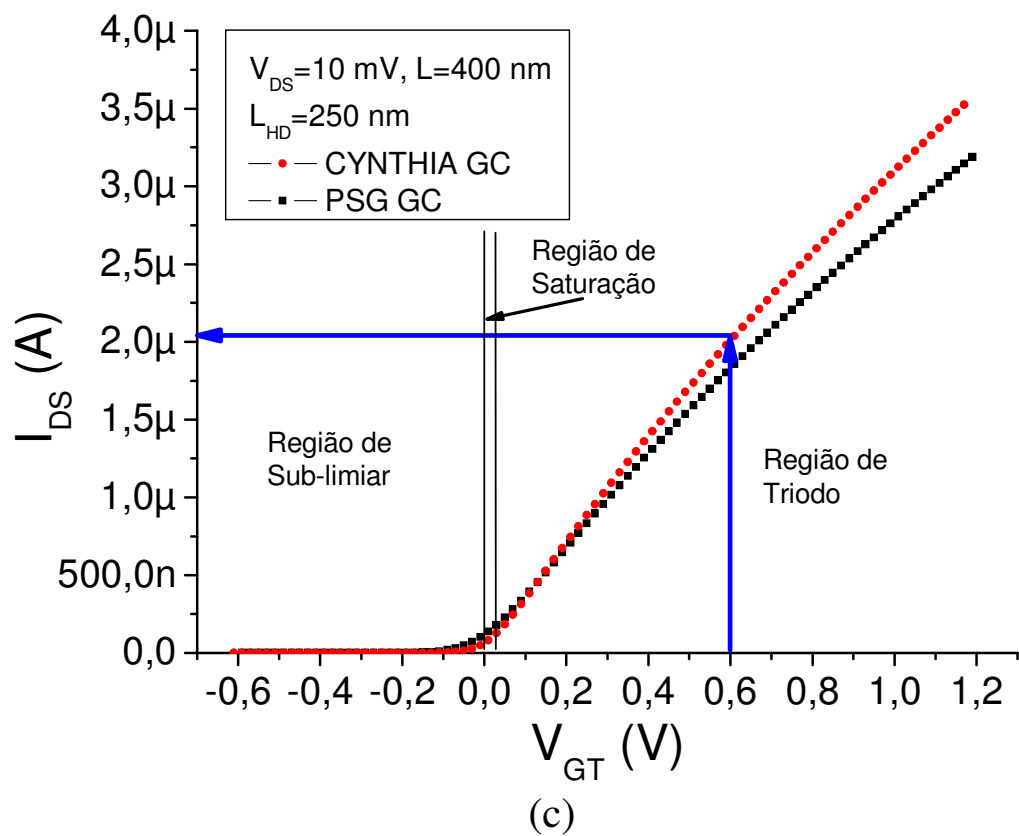
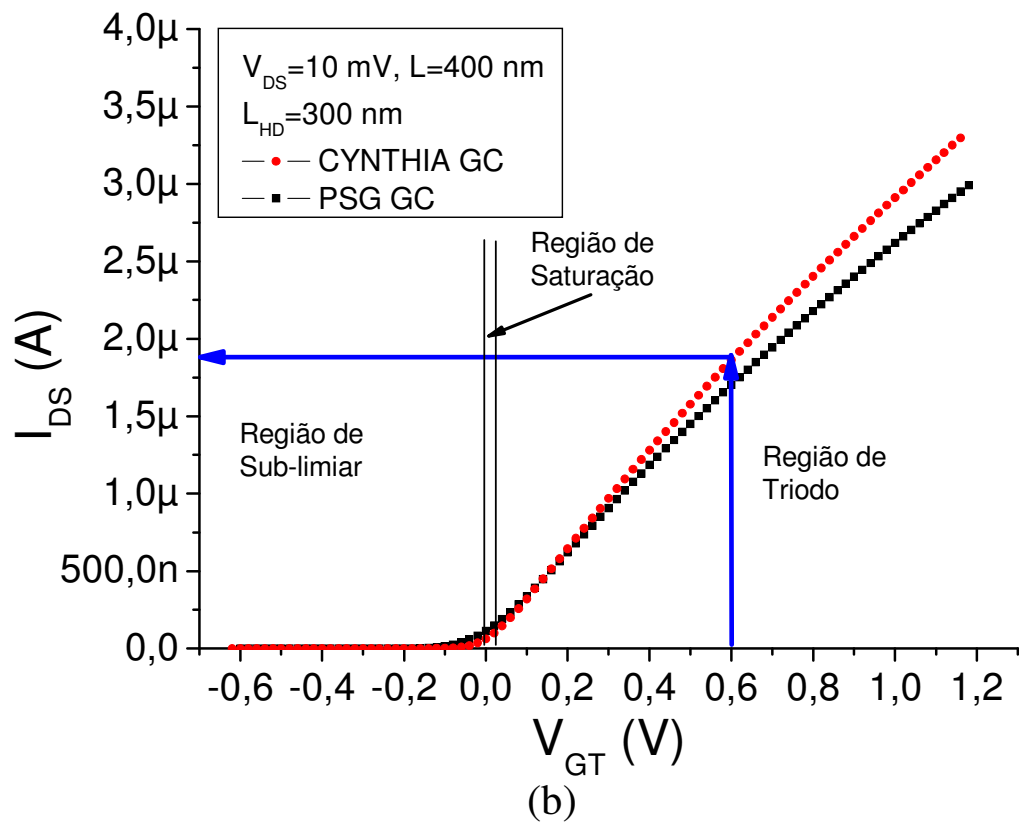
Nas Figuras 3.10 (a), 3.10 (b) e 3.10 (c) pode-se observar que, quanto maior a tensão de dreno, maior será a corrente de dreno nos dispositivos CYNTHIA e PSG, de acordo com as equações (3.5) e (3.6). Verifica-se que na região de triodo, prevalece mais pronunciadamente o efeito da resistência série de fonte e dreno no PSG, pois a resistência série de fonte e dreno do PSG é maior que a resistência série de fonte e dreno do CYNTHIA ($A_{CYNTHIA} > A_{PSG}$), e conseqüentemente, a corrente entre fonte e dreno do PSG será menor que a corrente entre fonte e dreno do CYNTHIA, para uma mesma sobre-tensão de porta. Na região de saturação, o efeito de canto do PSG interfere diretamente no comportamento da corrente I_{DS} , uma vez que, a sobreposição dos campos elétricos decorrentes da polarização de porta nos vértices do transistor faz com que o PSG apresente menor valor de V_{TH} que o do CYNTHIA, e conseqüentemente, na região de saturação, o PSG possui maiores valores de corrente de dreno do que o CYNTHIA (equação 3.4).

A região de sub-limiar será analisada no item específico para o estudo da inclinação de sub-limiar.

3.3.4 Característica $I_{DS} \times V_{GT}$ dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual (GC)

A Figura 3.11 apresenta a curva da corrente de dreno (I_{DS}) em função da sobretensão de porta (V_{GT}), para tensão de dreno (V_{DS}) igual a 10 mV, largura de canal (W) igual a 400 nm, comprimento total de canal (L) de 400 nm e mesma relação W/L ($A_{PSG_GC} < A_{CYN_GC}$).





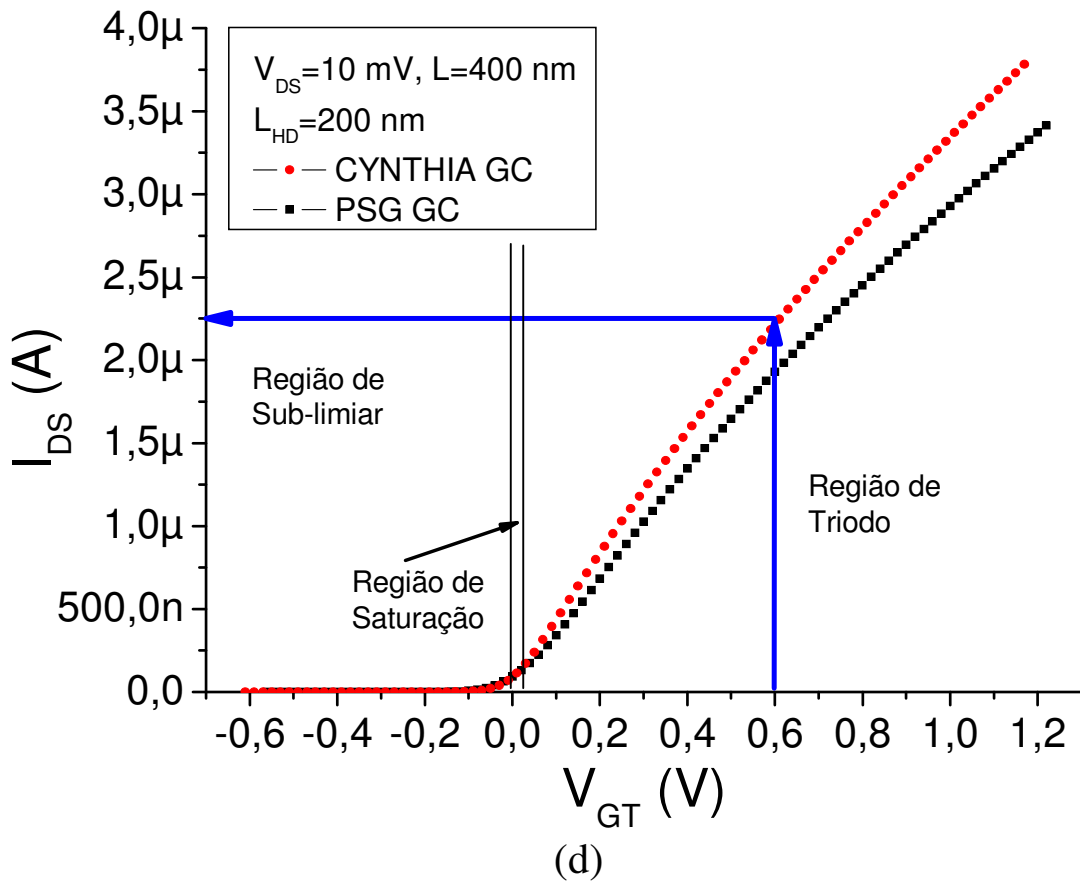


Figura 3.11: Curvas da corrente de dreno em função da sobre-tensão de porta dos dispositivos PSG e CYNTHIA de canal gradual para $V_{DS}=10$ mV e L_{HD} iguais a 350 nm (a), 300 nm (b), 250 nm (c) e 200 nm (d).

Observando-se a Figura 3.11, pode-se concluir que em todos os casos na região triodo, as correntes de dreno dos nMOSFETs CYNTHIA GC foram maiores que as correntes de dreno dos PGSs GC, para mesma sobre-tensão de porta. Este comportamento é semelhante aos dispositivos de canal convencional, onde sua origem está relacionada à sua menor resistência série de fonte e dreno em relação ao PSG GC. A resistência série de fonte e dreno será estudada mais adiante em um item específico para este tema.

Outro resultado importante apresentado na Figura 3.11, é que a medida que o comprimento da região "high doped" é reduzido, a corrente de dreno aumenta, para a mesma sobre-tensão de porta. Como apresentado no início deste capítulo, todos os transistores de canal gradual simulados possuem o mesmo comprimento de canal (400 nm) e variou-se a razão L_{LD}/L (0,125, 0,25, 0,375 e 0,5), e como consequência, a região de "high doped" possui comprimentos de 350, 300, 250 e 200 nanômetros, respectivamente. Como mencionado anteriormente, o comprimento efetivo de canal dos dispositivos de canal gradual é

praticamente igual ao comprimento da região “high doped” [15]. Portanto, como a corrente de dreno é inversamente proporcional ao comprimento efetivo do canal [equação (3.3)], logo os transistores GC com menor comprimento da região “high doped”, possuem maiores correntes de dreno, para mesma sobretensão de porta [equações (3.3) e (3.4)].

A seguir é apresentada a Figura 3.12, onde pode-se observar a curva $I_{DS} \times V_{GT}$ para L igual a 400 nanômetros, L_{LD} igual a 200 nanômetros, W igual a 400 nanômetros e considerando a mesma relação W/L ($A_{PSG_GC} < A_{CYN_GC}$), porém para $V_{DS}=400$ mV, afim de estudarmos o comportamento desses dispositivos na região de saturação.

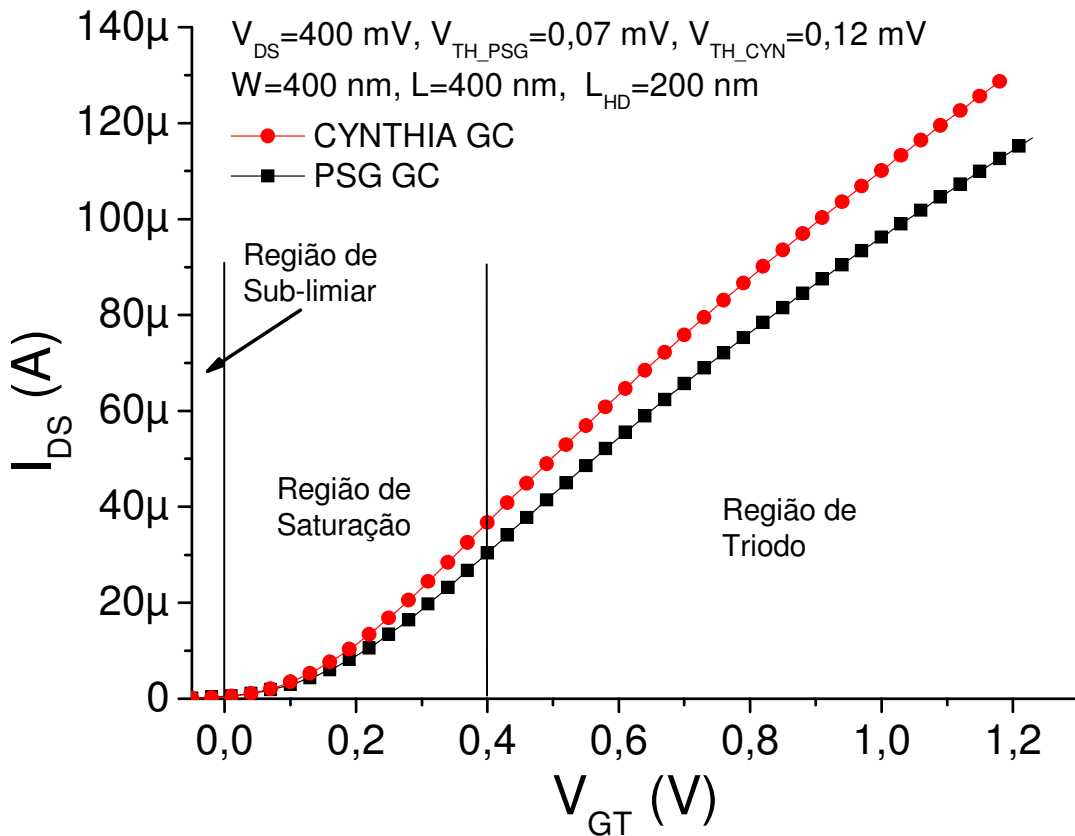


Figura 3.12: Curva da corrente de dreno em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual para $V_{DS}=400$ mV e L_{HD} igual a 200 nm.

Observando-se a Figura 3.12, a corrente de dreno do nMOSFET CYNTHIA GC é maior que a corrente de dreno do PSG nMOSFET GC, em quase toda região de saturação e em toda a região de triodo, mantendo a tendência observada na Figura 3.11. A Figura 3.13

mostra uma vista ampliada da região de sub-limiar da curva $I_{DS} \times V_{GT}$ para $V_{DS}=400$ mV, L igual a 400 nanômetros e L_{HD} igual a 200 nanômetros ($L_{LD}/L=0,5$).

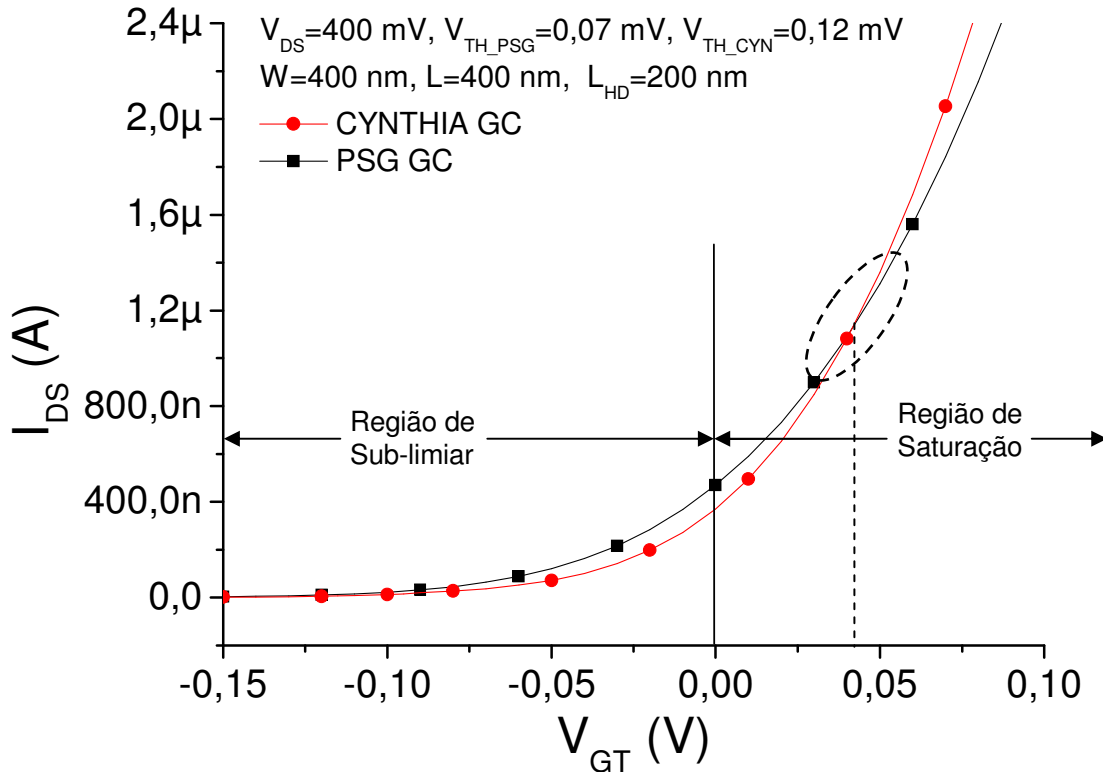


Figura 3.13: Vista ampliada da região de sub-limiar de $I_{DS} \times V_{GT}$ dos dispositivos PSG e CYNTHIA de canal gradual para $V_{DS}=400$ mV e L_{HD} igual a 200 nm.

Verifica-se na Figura 3.13, que na região de sub-limiar e em parte da região de saturação, o transistor PSG GC possui maiores valores de corrente de dreno que o CYNTHIA GC. Isso ocorre porque, assim como no convencional, os PSGs GC de canal gradual também sofrem uma maior influência do efeito de canto, quando comparados aos CYNTHIAS GC, que é caracterizada por uma menor tensão de limiar que o CYNTHIA GC, fazendo com que a condução da corrente de dreno no PSG GC ocorra antes que a condução da corrente de dreno do CYNTHIA GC. Outro fator relevante que contribui para uma maior corrente de dreno do PSG comparado ao CYNTHIA é o comprimento efetivo de canal, que no caso do PSG é menor que o comprimento efetivo de canal do CYNTHIA e será estudado nos próximos capítulos. A partir de V_{GT} igual a 0,04 volts, o efeito da resistência série de fonte e dreno prevalece, pois como a área da seção transversal das regiões de fonte e dreno do CYNTHIA

GC é maior que a do PSG GC, logo a resistência série de fonte e dreno do CYNTHIA GC é menor, implicando em uma maior corrente I_{DS} comparada a do PSG GC.

3.3.5 Estudo do comprimento efetivo de canal (L_{eff}) nos dispositivos PSG e CYNTHIA SOI nMOSFETs

Neste item será estudado o comportamento do comprimento efetivo de canal dos dispositivos CYNTHIA e PSG de canal convencional, que implica no estudo da região de estrangulamento (“pinch-off”), em função da polarização de dreno. Como exemplo, adotando-se como critério de análise uma superfície de concentração de elétrons (“Isosurface”) de $5,5 \times 10^{17} \text{ cm}^{-3}$ para os dispositivos PSG e CYNTHIA com comprimento e largura de canal de 400 nanômetros, V_{DS} de 800 mV e V_{GS} de 200 mV (região de saturação), tem-se como resultado da simulação aquele apresentado na Figura 3.14.

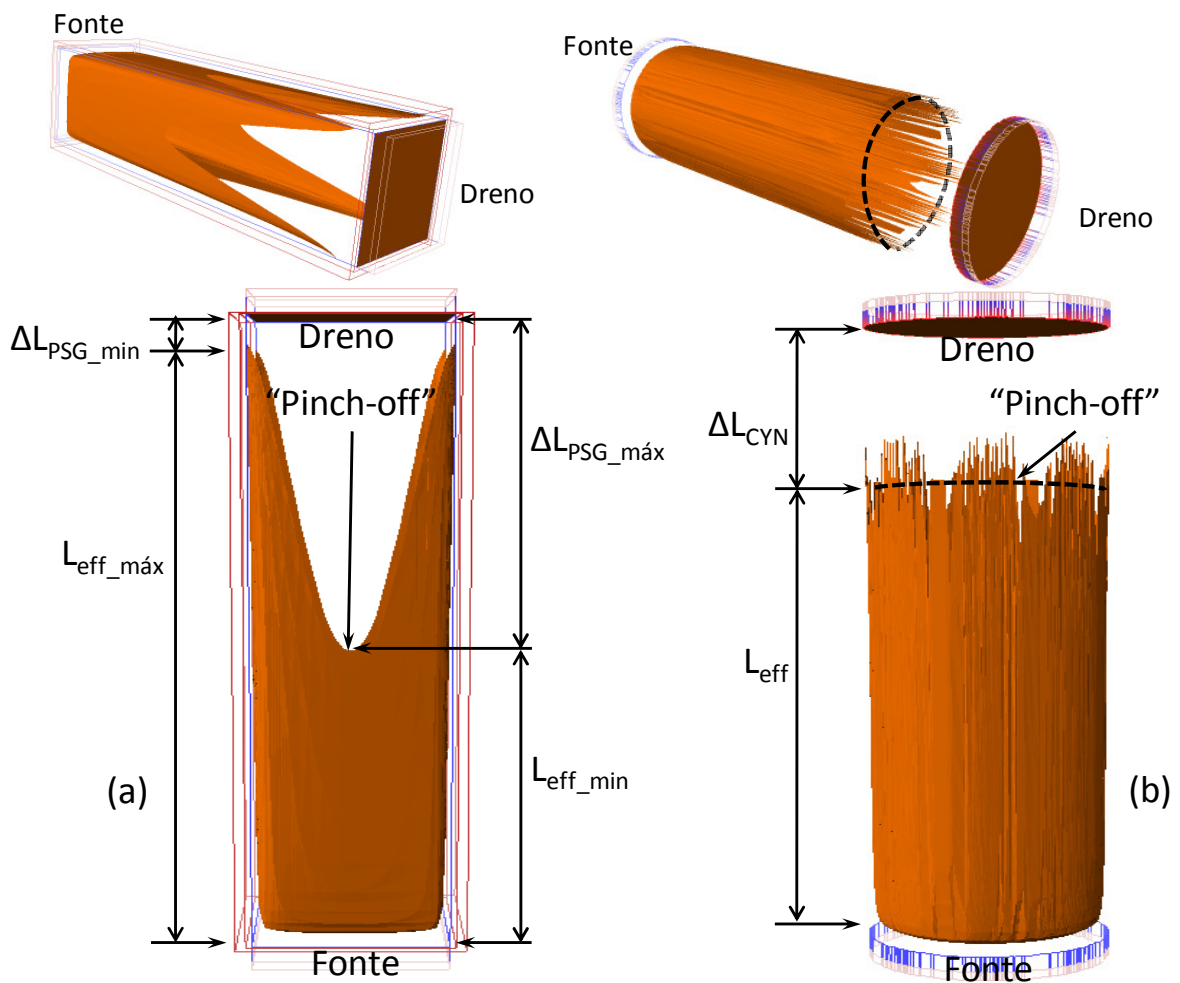


Figura 3.14: Superfície de concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$ do transistor PSG de canal convencional (a) e do transistor CYNTHIA de canal convencional (b).

Observa-se na Figura 3.14(b) que, em virtude das imperfeições na grade de simulação, a distribuição de elétrons não ocorre de forma uniforme ao redor do canal do CYNTHIA, porém é possível distinguir a região de estrangulamento (“Pinch-off”) conforme indicação. Observa-se também na Figura 3.14(a), que a distância entre a região de estrangulamento (“pinch-off”) até a região de dreno do transistor PSG (ΔL_{PSG}), é variável ao longo da largura do canal, possuindo uma região de mínimo próximo aos cantos do canal ($\Delta L_{\text{PSG_min}}$), e uma região de máximo fora dos cantos (região central) do canal ($\Delta L_{\text{PSG_máx}}$), e dessa forma, acarreta em um comprimento efetivo de canal máximo ($L_{\text{eff_máx}} = L - \Delta L_{\text{PSG_min}}$) nas regiões de canto, e um comprimento efetivo de canal mínimo ($L_{\text{eff_min}} = L - \Delta L_{\text{PSG_máx}}$) nas regiões centrais do canal do PSG. Em primeira aproximação, será considerado que o comprimento efetivo de canal do PSG, é dado pela média aritmética entre os valores máximo e mínimo identificados na da Figura 3.14(a).

Para determinarmos os comprimentos efetivos de canal máximo e mínimo do PSG é apresentada a Figura 3.15 a seguir, considerando-se as mesmas condições de polarização adotadas na figura anterior.

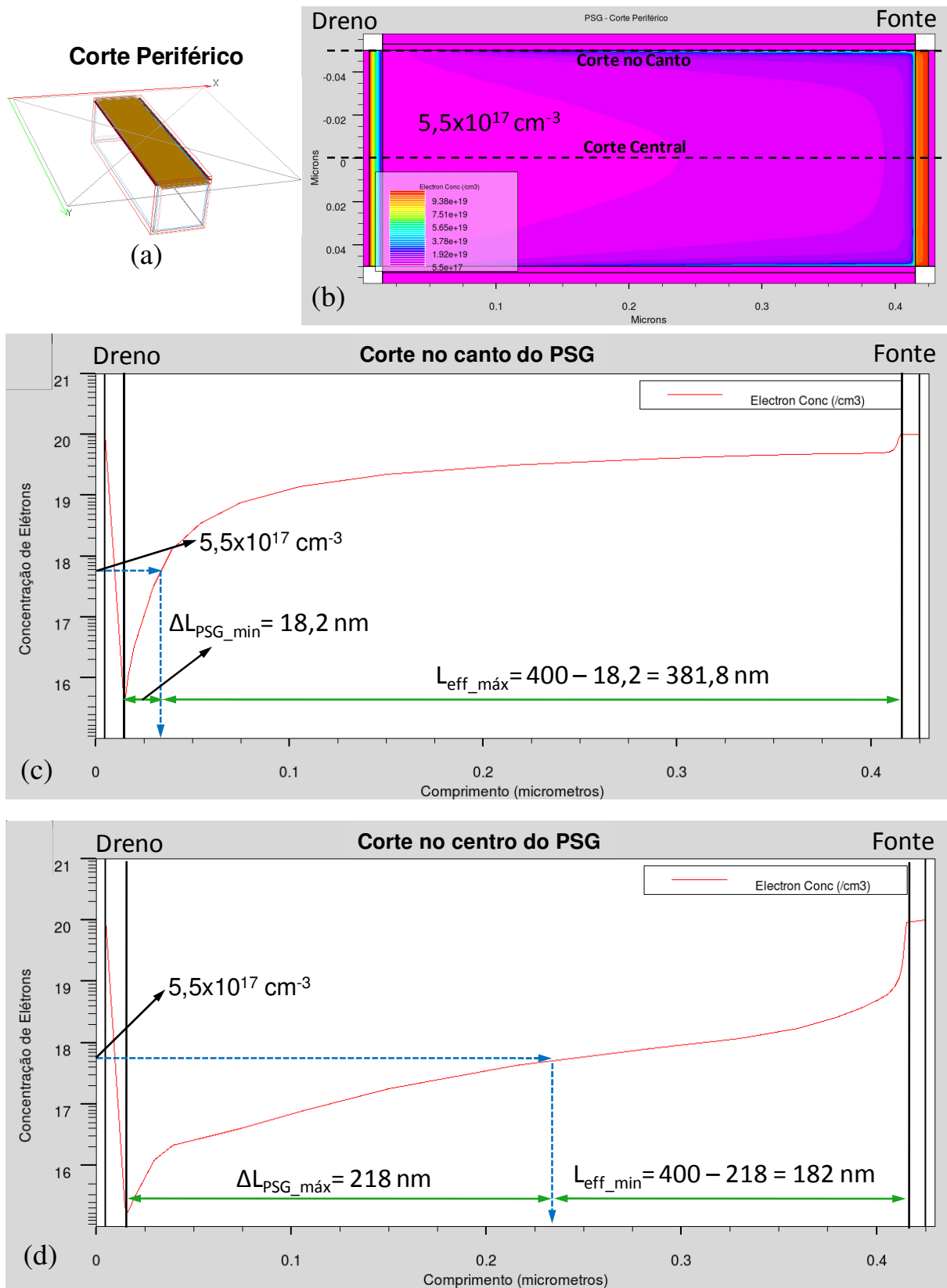


Figura 3.15: Concentração de elétrons do transistor PSG de canal convencional. Indicação do corte periférico (a). Concentração de elétrons na periferia (b), no canto (c) e no centro do PSG (d), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=400 \text{ nm}$.

Pode-se observar que na região próxima ao canto, a distância entre o dreno e o ponto de “pinch-off” (usando como critério de análise um valor de concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$) é de 18,2 nanômetros [Figura 3.15(c)], portanto o comprimento efetivo de canal nesta região é de 381,8 nanômetros, uma vez que o comprimento total do canal é de 400 nanômetros. Por outro lado, na região central do PSG [Figura 3.15(d)], a distância entre o dreno e o ponto de “pinch-off” é de 218 nanômetros, portanto o comprimento efetivo de canal na região central é de 182 nanômetros.

Para a determinação do comprimento efetivo de canal do CYNTHIA é apresentada a seguir a Figura 3.16, para $L=400 \text{ nm}$, V_{DS} de 800 mV, V_{GS} de 200 mV e $W=400 \text{ nm}$.

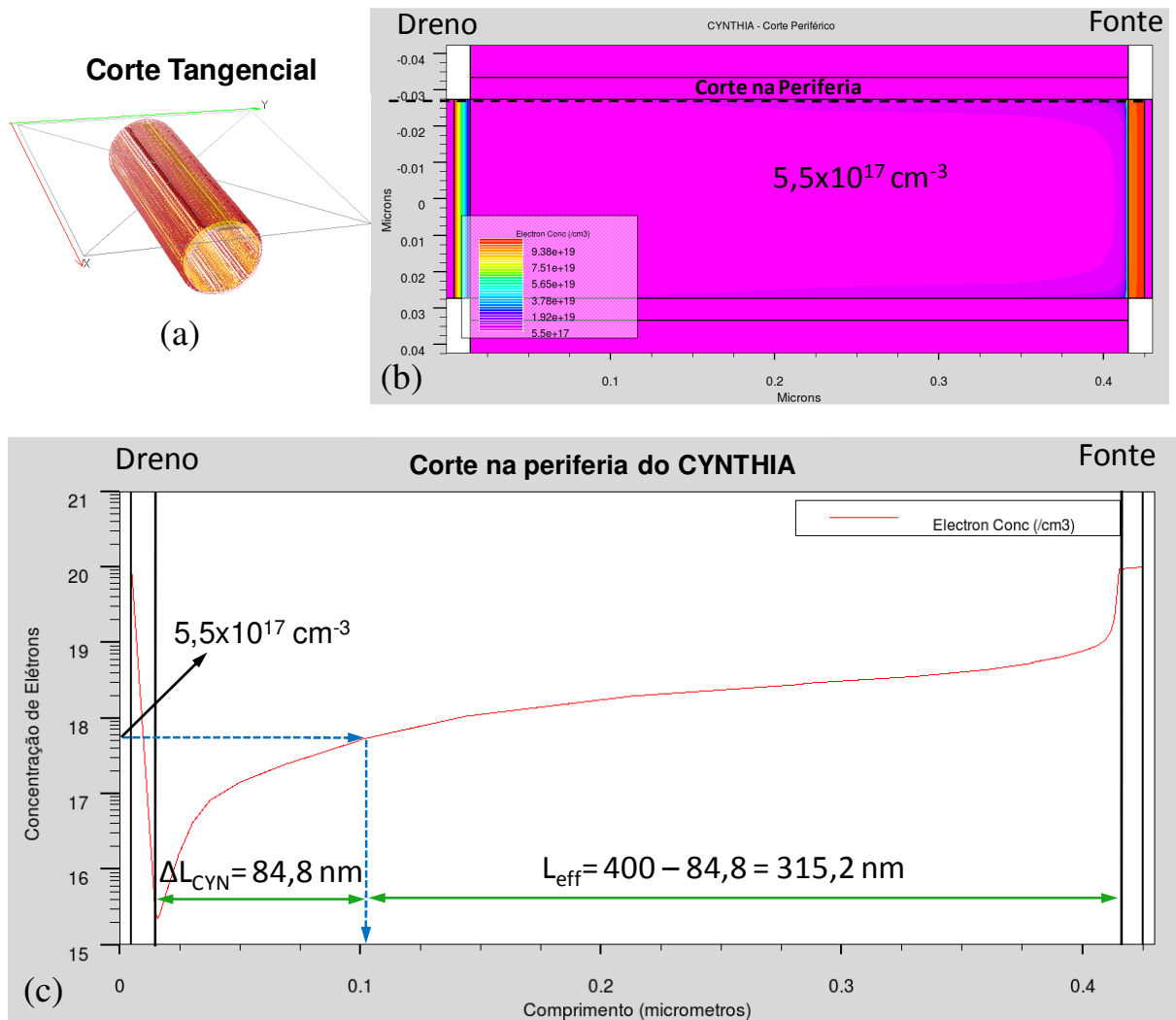


Figura 3.16: Concentração de elétrons do transistor CYNTHIA de canal convencional. Indicação do corte tangencial (a). Concentração de elétrons no canal (b) e na periferia do CYNTHIA (c), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=400 \text{ nm}$.

Observa-se na Figura 3.16(a), um corte tangencial na periferia do canal do CYNTHIA onde, por sua vez, torna-se possível verificar o comportamento da concentração de elétrons nesta região deste dispositivo, uma vez que esta distribuição é constante em toda a largura do canal. Portanto, pode-se verificar na Figura 3.16(c), que a distância entre o dreno e a região de estrangulamento no CYNTHIA (usando como critério análise uma concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$) é de $84,8 \text{ nanômetros}$, e portanto o comprimento efetivo de canal nesta região é de $315,2 \text{ nanômetros}$, uma vez que o comprimento total do canal é de 400 nanômetros .

Como mencionado anteriormente, considerando-se como L_{eff} do PSG a média aritmética entre os valores máximo ($381,8$) e mínimo (182), logo o comprimento efetivo do

canal deste será de 281,9 nanômetros, que por sua vez é menor que o comprimento efetivo do canal do CYNTHIA, que no caso vale 315,2 nanômetros, logo a corrente de dreno do PSG é maior que a corrente de dreno do CYNTHIA, na região de saturação, fato este que pode ser comprovado através do gráfico de $I_{DS} \times V_{GT}$ (Figura 3.10).

Afim de entender o perfil do comprimento efetivo (L_{eff}) ao longo da largura do canal (W) do PSG, a Figura 3.17 apresenta as variações da tensão de limiar (V_{TH}) e das condições de polarização do transistor na região de saturação, a medida que se caminha na direção dos cantos, que por sua vez, afeta diretamente a distância da região de estrangulamento (ΔL_{PSG}), o comprimento efetivo de canal e a corrente de dreno, considerando-se $W=400$ nm, $L=400$ nm, V_{DS} de 800 mV e V_{GS} de 200 mV (região de saturação).

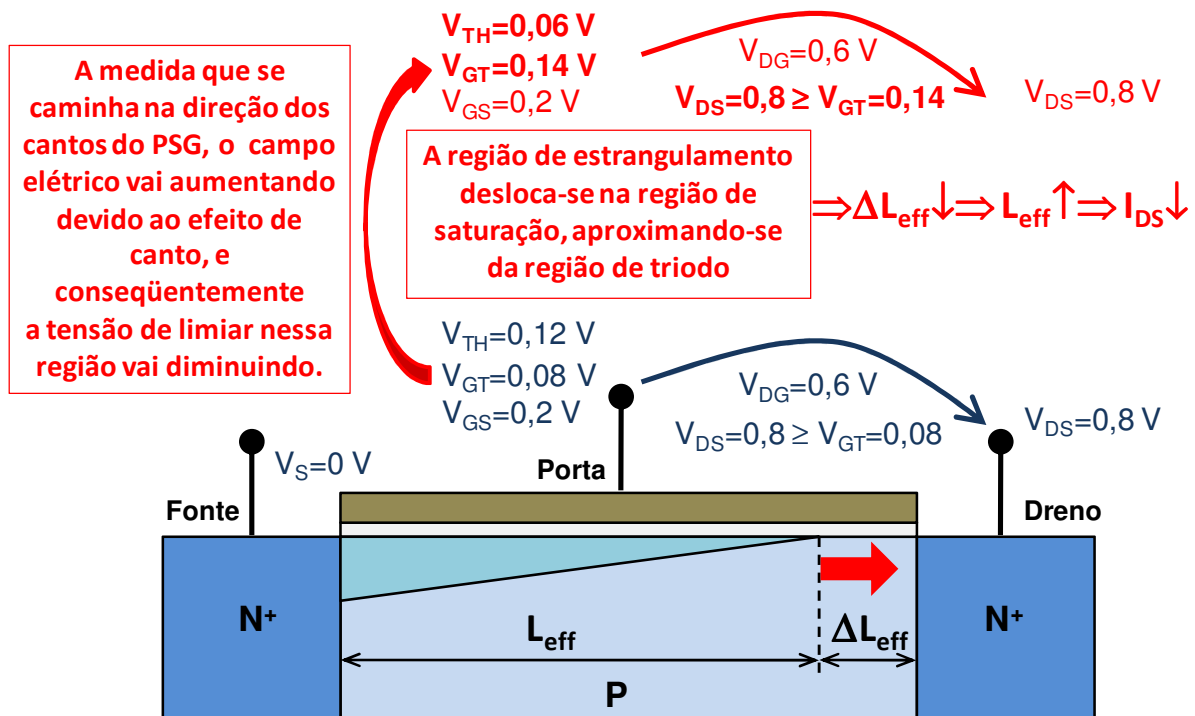


Figura 3.17: Análise do L_{eff} em função das variações de V_{TH} e das condições de polarização, a medida que se caminha na direção dos cantos do canal do PSG.

Considera-se que inicialmente o transistor PSG possui V_{TH} igual a 0,12 V, V_{GS} igual a 0,2 V e V_{DS} de 0,8 V, logo a sobretensão de porta (V_{GT}) é de 0,08 V e a tensão entre dreno e porta (V_{GD}) é de 0,6 V. Sabendo-se que a condição para o transistor estar na região de saturação é $V_{DS} \geq V_{GT}$, e que neste caso $V_{DS} = 0,8$ V e $V_{GT} = 0,08$ V, logo o transistor está, de fato, na região de saturação. A medida que se caminha na direção dos cantos do canal do PSG (ao longo da largura do canal), a tensão de limiar tende a diminuir devido ao efeito de canto (sobreposição de duas componentes de campo elétrico devido a polarização de porta). Neste

caso, como um exemplo para efeito de análise, está sendo considerado uma variação de tensão de limiar de 0,12 V para 0,06 V. Portanto, para essas novas condições, a sobretensão de porta passa de 0,08 V para 0,14 V (um aumento de 0,06 V), e a condição de polarização na região de saturação passa de $V_{DS}=0,8 \geq V_{GT}=0,06$ para $V_{DS}=0,8 \geq V_{GT}=0,14$, que corresponde ao seu ponto de operação se deslocar no sentido da região triodo, que por sua vez, implica na diminuição da distância da região de estrangulamento (ΔL_{PSG}), e conseqüentemente um maior comprimento efetivo de canal (L_{eff}) [Figura 3.14] e por fim, em uma menor corrente de dreno.

Analogamente, a Figura 3.18 apresenta as variações da tensão de limiar (V_{TH}) e das condições de polarização do transistor na região de saturação, a medida que se caminha na direção da região central do canal do PSG, que afeta diretamente ΔL_{PSG} , o comprimento efetivo de canal e a corrente de dreno, considerando-se as mesmas condições da Figura 3.17.

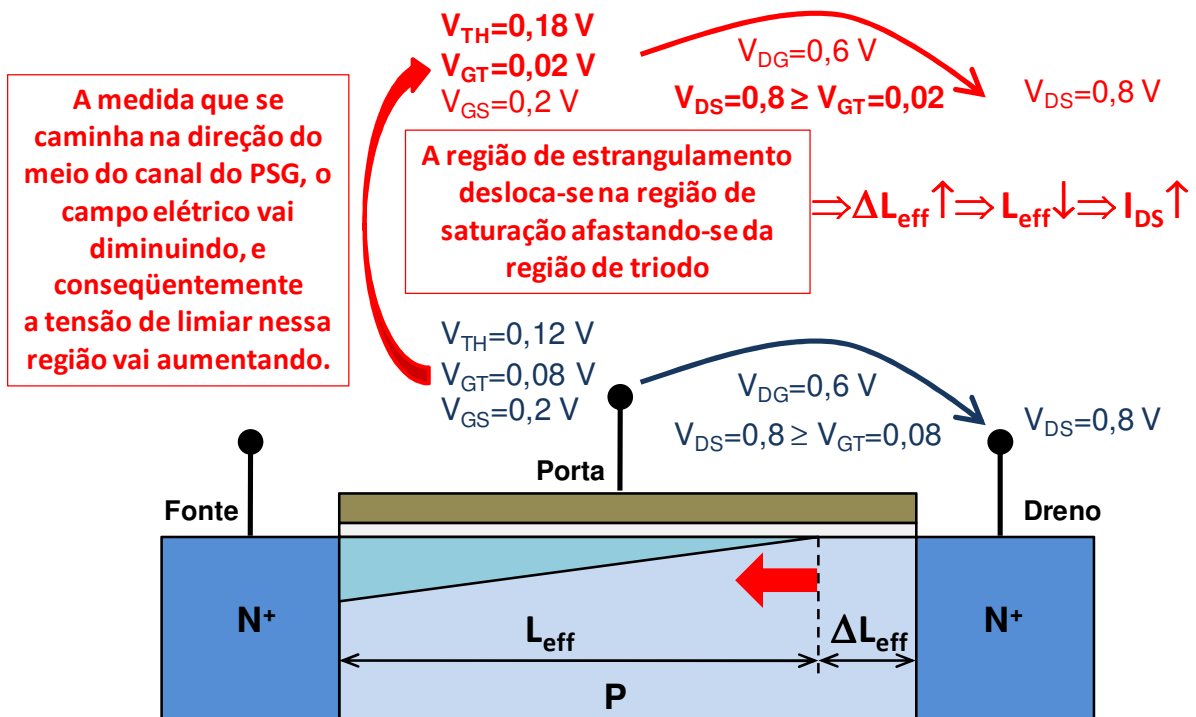


Figura 3.18: Análise do L_{eff} em função das variações de V_{TH} e das condições de polarização, a medida que se caminha na direção da região central do canal do PSG.

Inicialmente, considere que o transistor PSG possua V_{TH} igual a 0,12 V, V_{GS} igual a 0,2 V e V_{DS} de 0,8 V, logo a sobretensão de porta (V_{GT}) é de 0,08 V e a tensão entre dreno e porta (V_{GD}) é de 0,6 V. Neste caso $V_{DS}=0,8$ V e $V_{GT}=0,08$ V, logo o transistor está de fato na região de saturação, e a medida que se caminha na direção da região central do canal do PSG, a tensão de limiar tende a aumentar devido ao afastamento das regiões de canto onde o efeito de canto ocorre. Como um exemplo para efeito de análise, neste caso está sendo considerado

uma variação de tensão de limiar de 0,12 V para 0,18 V e portanto, nessas condições, a sobretensão de porta passa de 0,08 V para 0,02 V (uma redução de 0,06 V), e a condição de polarização na região de saturação passa de $V_{DS}=0,8 \geq V_{GT}=0,08$ para $V_{DS}=0,8 \geq V_{GT}=0,02$, que corresponde ao seu ponto de operação se afastar da região triodo, que por sua vez, implica em um aumento da distância da região de estrangulamento (ΔL_{PSG}), e conseqüentemente um menor comprimento efetivo de canal (L_{eff}) [Figura 3.14] e em uma corrente de dreno maior.

Como pôde ser observado ainda na Figura 3.14, o comprimento efetivo do canal da região central do PSG é menor que o comprimento efetivo de canal do dispositivo CYNTHIA. Com o objetivo de entender este comportamento, é apresentado na Figura 3.19, o gráfico do campo elétrico decorrente da polarização de porta na posição $L/2$ do canal dos dispositivos PSG e o CYNTHIA de canal convencional, para comprimento de canal de 400 nanômetros, V_{DS} de 800 mV e V_{GS} de 200 mV (região de saturação), e largura de canal de 400 e 1000 nanômetros.

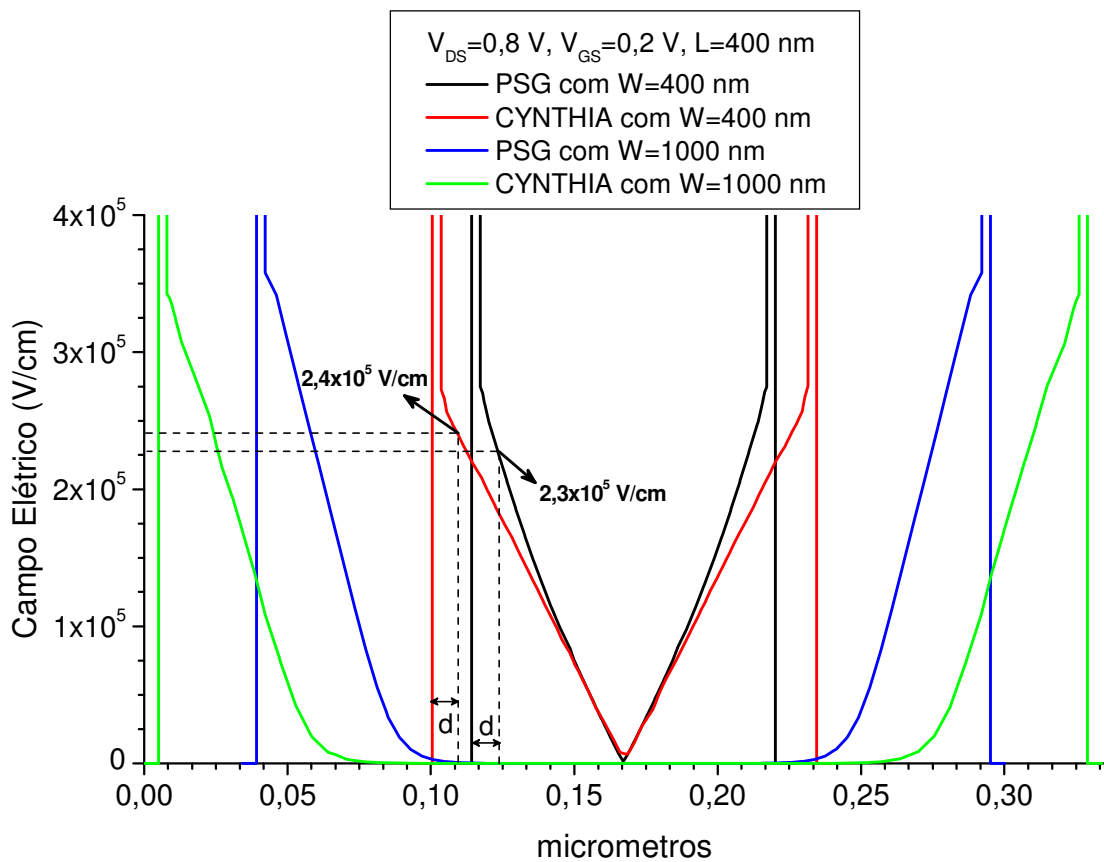


Figura 3.19: Campo elétrico na posição $L/2$ do canal dos dispositivos PSG e CYNTHIA de canal convencional com W igual a 400 nanômetros e 100 nanômetros.

Pode-se observar na Figura 3.19, que o comportamento do campo elétrico do dispositivo PSG com $W=1000$ nm é semelhante ao comportamento do CYNTHIA com o mesmo W , isso ocorre pois o efeito de canto, embora exista, tem menos influência na região central do canal, uma vez que a camada de silício (t_{Si}) é igual a 250 nm. Nos dispositivos com $W=400$ nm a espessura da camada de silício (t_{Si}) é menor, valendo 100 nm para o PSG e 127,3 nm para o CYNTHIA, ou seja, os dispositivos CYNTHIA e PSG são parcialmente depletados, apesar do PSG está muito próximo de ser totalmente depletado (conforme apresentado no início deste capítulo). Portanto, devido a camada de silício destes dispositivos ser muito pequena, ocorre uma diminuição do campo elétrico no canal [3], fato este que ocorre de forma mais acentuada no PSG, devido a seu menor valor de t_{Si} quando comparado ao valor do CYNTHIA. Este comportamento pode ser comprovado ainda na Figura 3.19, onde verifica-se que o transistor CYNTHIA com $W=400$ nm possui um maior valor de campo elétrico ($2,4 \times 10^5$ V/cm) do que o PSG com mesmo W ($2,3 \times 10^5$ V/cm), utilizando-se como critério uma mesma distância “d” da interface Si-SiO₂ (5 nanômetros), ficando desta forma evidente que isso ocorre pois o CYNTHIA possui uma camada de silício (t_{Si}) maior que a do PSG, logo o campo elétrico do CYNTHIA é de fato maior [3].

Uma vez que o CYNTHIA possui um maior campo elétrico decorrente da polarização de porta do que o PSG (Figura 3.19), logo sua tensão de limiar será menor que a tensão de limiar do PSG na região fora dos cantos, portanto, a sobretensão de porta (V_{GT}) do CYNTHIA aumenta, o que implica em seu ponto de operação se deslocar no sentido da região triodo, que por sua vez, corresponde na diminuição da distância da região de estrangulamento (ΔL_{CYN}), e conseqüentemente em um maior comprimento efetivo de canal (L_{eff}), comparado ao comprimento efetivo de canal do PSG na região central e ao longo da largura do transistor (Figura 3.14).

Porém, se a largura do canal do PSG for suficientemente grande, logo a espessura da camada de silício também será grande o suficiente para que não ocorra uma diminuição no campo elétrico decorrente da polarização de porta no centro do PSG [3], e conseqüentemente é esperado que o comprimento efetivo de canal dos dois dispositivos sejam muito próximos. A fim de constatar esta hipótese, foram realizadas novas simulações numéricas tridimensionais, considerando-se a largura de canal de 1000 nanômetros. Na Figura 3.20, é apresentada uma superfície de concentração de elétrons (“Isosurface”) de $5,5 \times 10^{17}$ cm⁻³, como um critério de análise, para os dispositivos PSG e CYNTHIA com comprimento de canal de 400 nanômetros, V_{DS} de 800 mV, V_{GS} de 200 mV e considerando-se a mesma relação W/L .

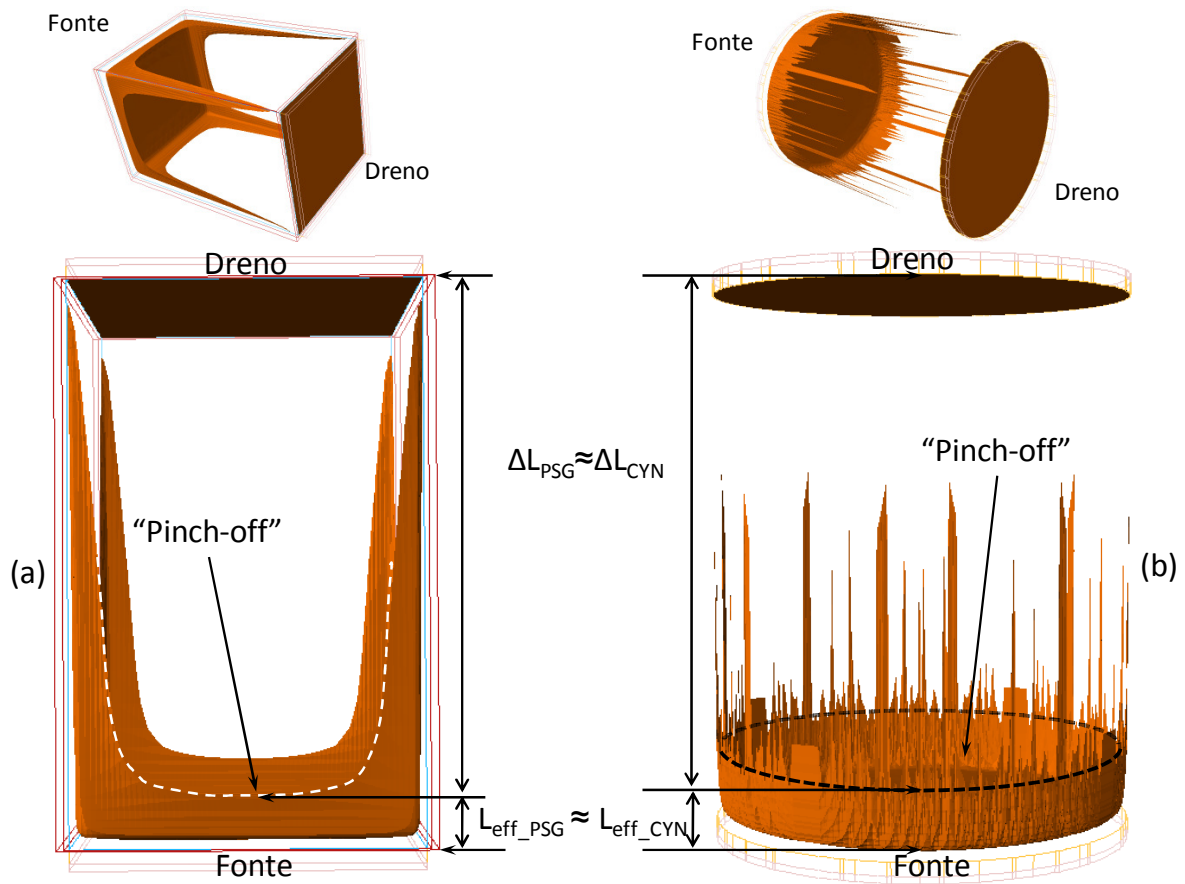


Figura 3.20: Superfície de concentração de elétrons de $5,5 \times 10^{17}$ do transistor PSG de canal convencional (a) e do transistor CYNTHIA de canal convencional (b), para $W=1000$ nm.

Pode-se observar na Figura 3.20 que, de fato, quando a largura de canal é suficientemente grande, que no caso é de 1000 nanômetros, o comprimento efetivo de canal de no centro do PSG (fora dos cantos) e o comprimento efetivo de canal do CYNTHIA são aproximadamente iguais. Para determinarmos o comprimento efetivo de canal do PSG é apresentada a Figura 3.21 a seguir, para as mesmas condições de polarização adotadas na Figura 3.20, onde são medidos os comprimentos efetivos mínimos e máximos de canal.

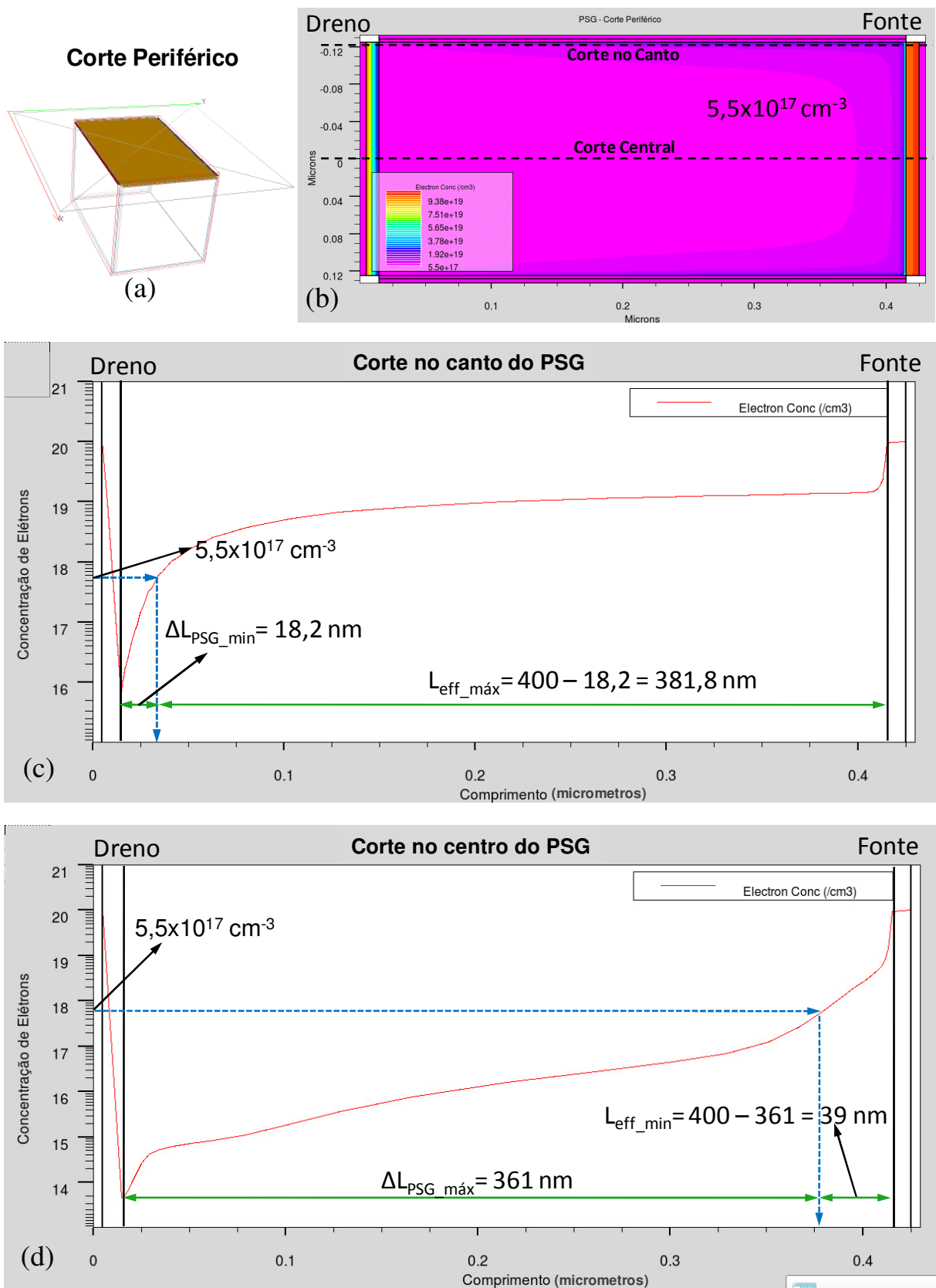


Figura 3.21: Concentração de elétrons do transistor PSG de canal convencional. Indicação do corte periférico (a). Concentração de elétrons na periferia (b), no canto (c) e no centro do PSG (d), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=1000 \text{ nm}$.

Pode-se observar na Figura 3.21(b) que o comportamento da concentração de elétrons ao longo da largura de canal do PSG não é uniforme, e sim variável, conforme mencionado anteriormente. Por esse motivo, o comprimento de canal neste dispositivo também é variável, sendo maior próximo às regiões dos cantos, e menor na região central do PSG. Na região próxima ao canto, a distância entre o dreno e o ponto de “pinch-off” (usando como critério de análise um valor de concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$) é de 18,2 nanômetros [Figura 3.21(c)], portanto o comprimento efetivo de canal nesta região é de 381,8 nanômetros, uma vez que o comprimento total do canal é de 400 nanômetros. Por outro lado, na região central do PSG, a distância entre o dreno e o ponto de “pinch-off” é de 361 nanômetros, portanto o comprimento efetivo de canal na região central é de 39 nanômetros.

Para a determinação do comprimento efetivo de canal do CYNTHIA é apresentada a seguir a Figura 3.22, para $L=400 \text{ nm}$, V_{DS} de 800 mV, V_{GS} de 200 mV e $W=1000 \text{ nm}$.

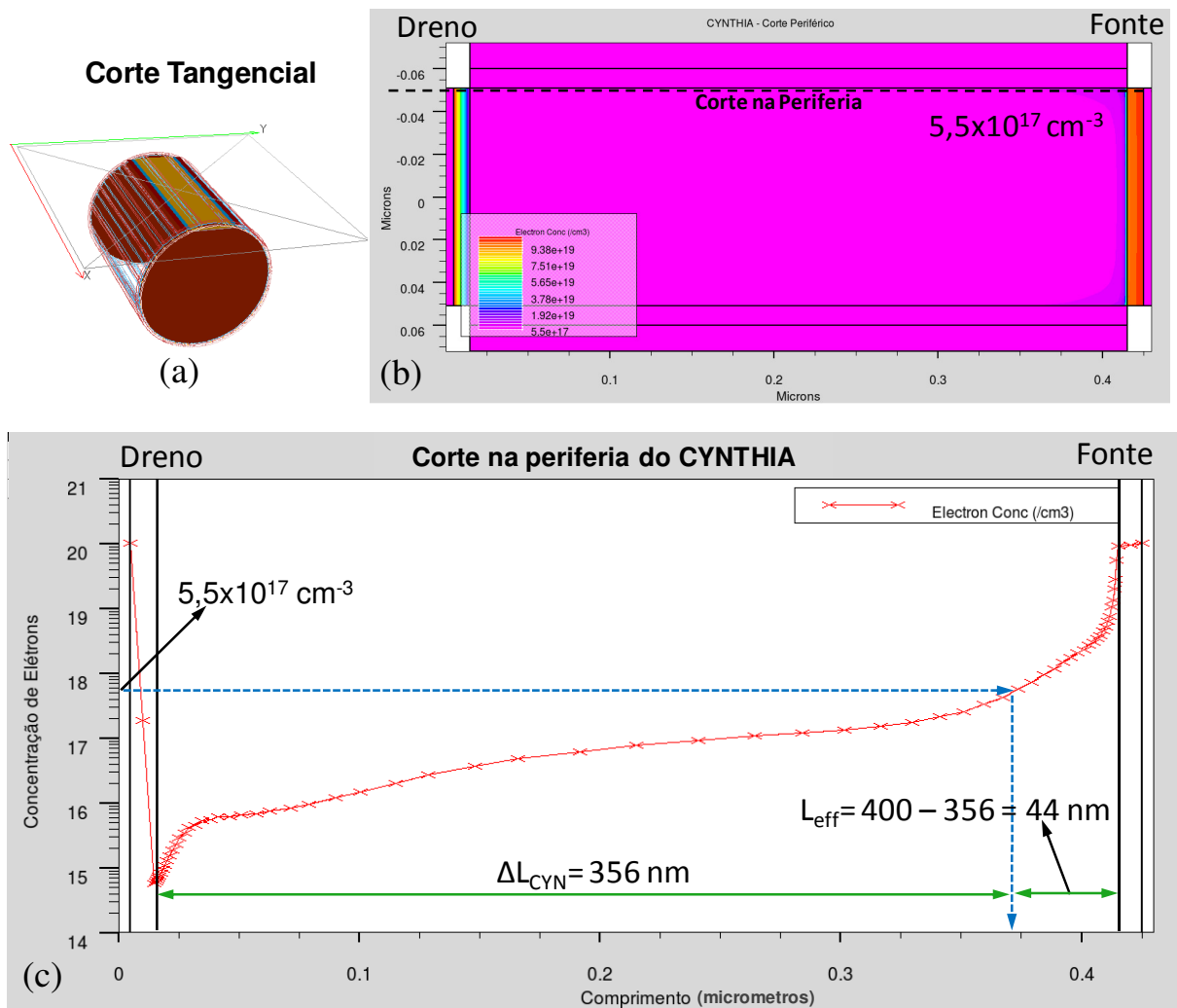


Figura 3.22: Concentração de elétrons do transistor CYNTHIA de canal convencional. Indicação do corte periférico (a). Concentração de elétrons no canal (b) e na periferia do CYNTHIA (c), para $L=400 \text{ nm}$, V_{DS} de 800 mV , V_{GS} de 200 mV e $W=1000 \text{ nm}$.

Devido a limitações do “software” de visualização TonyPlot3D [17] onde, em condições ideais, faz-se um corte periférico no canal tangenciando a interface entre o óxido de porta e o canal propriamente dito, semelhante ao corte realizado na Figura 3.21(a), no dispositivo CYNTHIA este corte não é possível pois sua geometria é cilíndrica. Observa-se portanto na Figura 3.22(a), um corte próximo à periferia no canal do CYNTHIA onde, por sua vez, torna-se possível verificar o comportamento da concentração de elétrons na periferia deste dispositivo, uma vez que esta distribuição é constante em toda a largura do canal.

Pode-se verificar na Figura 3.22(c) que, a distância entre o dreno e a região de estrangulamento (“pinch-off”) é de 356 nanometros (usando como critério análise uma concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$), e portanto o comprimento efetivo de canal nesta região é de 44 nanometros , uma vez que o comprimento total do canal é de 400 nanometros .

Desta forma, quando compara-se o resultado do comprimento efetivo de canal do CYNTHIA com o comprimento efetivo de canal do PSG na região central, observa-se que ambos possuem valores muito aproximados (39 nm para o PSG e 44 nm para o CYNTHIA). Assim é confirmada a hipótese sugerida anteriormente, pois tanto a região central do canal do PSG, quanto toda a região ao longo do perímetro do canal do CYNTHIA, estão sobre influência de apenas uma componente de campo elétrico, ao passo que, nas regiões próximas aos cantos do PSG existem duas componentes de campo elétrico atuando sobre o canal.

Portanto, pode-se concluir que a medida que se reduz a largura do canal do PSG, o efeito de canto aumenta em relação a largura do canal, implicando em uma menor tensão de limiar (logo o V_{GT} é maior) e, conseqüentemente o comprimento efetivo de canal também aumenta (pois ΔL_{PSG} diminui), dessa forma, a corrente de dreno do PSG tenderá a ser menor que a corrente de dreno do CYNTHIA, na região de saturação. Por outro lado, se a largura do canal aumenta, o efeito de canto diminui em relação a largura do canal e conseqüentemente o comprimento efetivo de canal também diminui, e dessa forma, a corrente de dreno do PSG tenderá a ser maior que a corrente de dreno do CYNTHIA, na região de saturação, fato este observado para os transistores com largura de canal de 400 nanômetros (Figura 3.10).

3.3.6 Estudo do L_{eff} nos dispositivos PSG e CYNTHIA SOI MOSFETs com canal gradual

Da mesma forma que ocorre com os dispositivos PSG e CYNTHIA convencional, estes mesmos dispositivos, quando possuem o canal gradual, também apresentam comportamentos distintos da região de estrangulamento e do comprimento efetivo de canal. Como exemplo, se adotarmos como critério uma superfície de concentração de elétrons (“Isosurface”) de $5,5 \times 10^{17} \text{ cm}^{-3}$ para os dispositivos PSG GC e CYNTHIA GC com comprimento e largura de canal de 400 nanômetros, L_{LD}/L de 0,5, V_{DS} de 800 mV e V_{GS} de 200 mV (região de saturação), tem-se como resultado da simulação aquele apresentado na Figura 3.23.

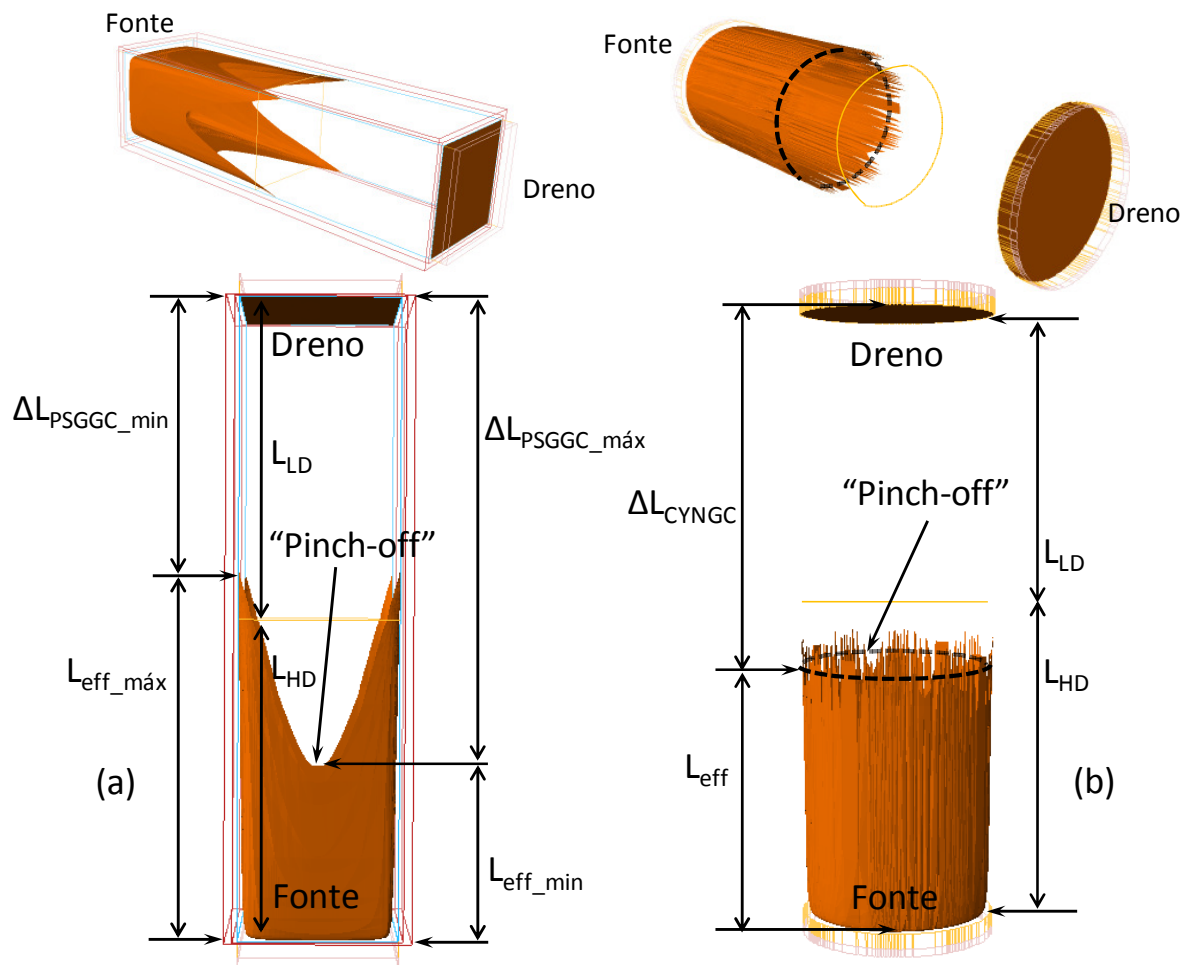


Figura 3.23: Superfície de concentração de elétrons de $5,5 \times 10^{17}$ do transistor PSG de canal gradual (a) e do transistor CYNTHIA de canal gradual (b).

Na Figura 3.23, pode-se observar o comprimento efetivo do canal dos transistores CYNTHIA e PSG de canal gradual. A região com menor dopagem comporta-se praticamente como uma extensão da região de dreno, logo abaixo da porta, e portanto, o comprimento efetivo do canal (L_{eff}) dos dispositivos GC, se aproxima do comprimento da região de alta dopagem (L_{HD}). Vale lembrar que o comprimento do canal (L) do dispositivo é a soma do comprimento da região com alta dopagem (L_{HD}) com o comprimento da região com baixa dopagem (L_{LD}).

Ainda que estes dispositivos GC possuam concepção de canal diferente dos dispositivos convencionais, pode-se verificar que a distância entre a região de estrangulamento ("pinch-off") até a região de dreno do transistor PSG (ΔL_{PSGGC}), é variável ao longo da largura e do comprimento do canal, possuindo uma região de mínimo próximo aos cantos do canal (ΔL_{PSGGC_min}), e uma região de máximo fora dos cantos (região central) do canal ($\Delta L_{PSGGC_m\acute{a}x}$), e dessa forma acarreta e um comprimento efetivo de canal máximo

($L_{\text{eff_máx}} = L - \Delta L_{\text{PSGGC_mín}}$) nas regiões de canto, e um comprimento efetivo de canal mínimo ($L_{\text{eff_mín}} = L - \Delta L_{\text{PSGGC_máx}}$) nas regiões centrais do canal do PSG GC. Em primeira aproximação e, assim como para os dispositivos de canal convencional, será considerado que o comprimento efetivo de canal do PSG GC, é dado pela média aritmética entre os valores máximo e mínimo identificados na da Figura 3.23(a).

Realizando-se as medições dos comprimentos efetivos de canal dos dispositivos CYNTHIA e PSG através do mesmo método utilizado para os transistores de canal convencional, verificou-se que na região próxima ao canto do PSG GC, a distância entre o dreno e o ponto de “pinch-off” (usando-se como critério de análise um valor de concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$) é de 167 nanômetros, portanto o comprimento efetivo de canal nesta região é de 233 nanômetros, uma vez que o comprimento total do canal é de 400 nanômetros. Por outro lado, na região central do PSG, a distância entre o dreno e o ponto de “pinch-off” é de 297 nanômetros, e portanto, o comprimento efetivo de canal na região central é de 103 nanômetros. Para o transistor CYNTHIA GC, verificou-se que a distância entre o dreno e a região de estrangulamento (usando-se o mesmo critério de análise) é de 223 nanômetros, e portanto, o comprimento efetivo de canal do CYNTHIA GC é de 177 nanômetros.

Como mencionado anteriormente, considerando-se como L_{eff} do PSG GC a média aritmética entre os valores máximo (233) e mínimo (103), logo o comprimento efetivo do canal deste será de 168 nanômetros, que por sua vez é menor que o comprimento efetivo de canal do CYNTHIA GC, que no caso vale 177 nanômetros. Observe que nos dispositivos de canal gradual esta diferença ($177 \text{ nm} - 168 \text{ nm} = 9 \text{ nm}$) é menor que a diferença observada para os dispositivos de canal convencional ($315,2 \text{ nm} - 281,9 \text{ nm} = 33,3 \text{ nm}$), logo a corrente de dreno do PSG GC é maior que a corrente de dreno do CYNTHIA GC apenas em parte da região de saturação, fato este que pode ser comprovado através do gráfico $I_{\text{DS}} \times V_{\text{GT}}$ da Figura 3.13.

Porém, se a largura do canal do PSG GC for suficientemente grande, a ponto do efeito de canto não ter grande influência no comportamento da concentração de elétrons no centro do PSG GC, espera-se que, assim como nos dispositivos de canal convencional, o comprimento efetivo de canal dos dois dispositivos sejam semelhantes, uma vez que, tanto na região central do PSG GC, quanto em toda a largura do CYNTHIA GC não ocorre a somatória de campos elétricos. A fim de constatar esta hipótese, foram realizadas novas simulações numéricas tridimensionais, considerando-se a largura de canal de 1000 nanômetros. Na Figura 3.24, é apresentada uma superfície de concentração de elétrons

(“Isosurface”) de $5,5 \times 10^{17} \text{ cm}^{-3}$, como um critério de análise, para os dispositivos PSG GC e CYNTHIA GC com comprimento de canal de 400 nanômetros, L/L_{LD} igual a 0,5, V_{DS} de 800 mV e V_{GS} de 200 mV.

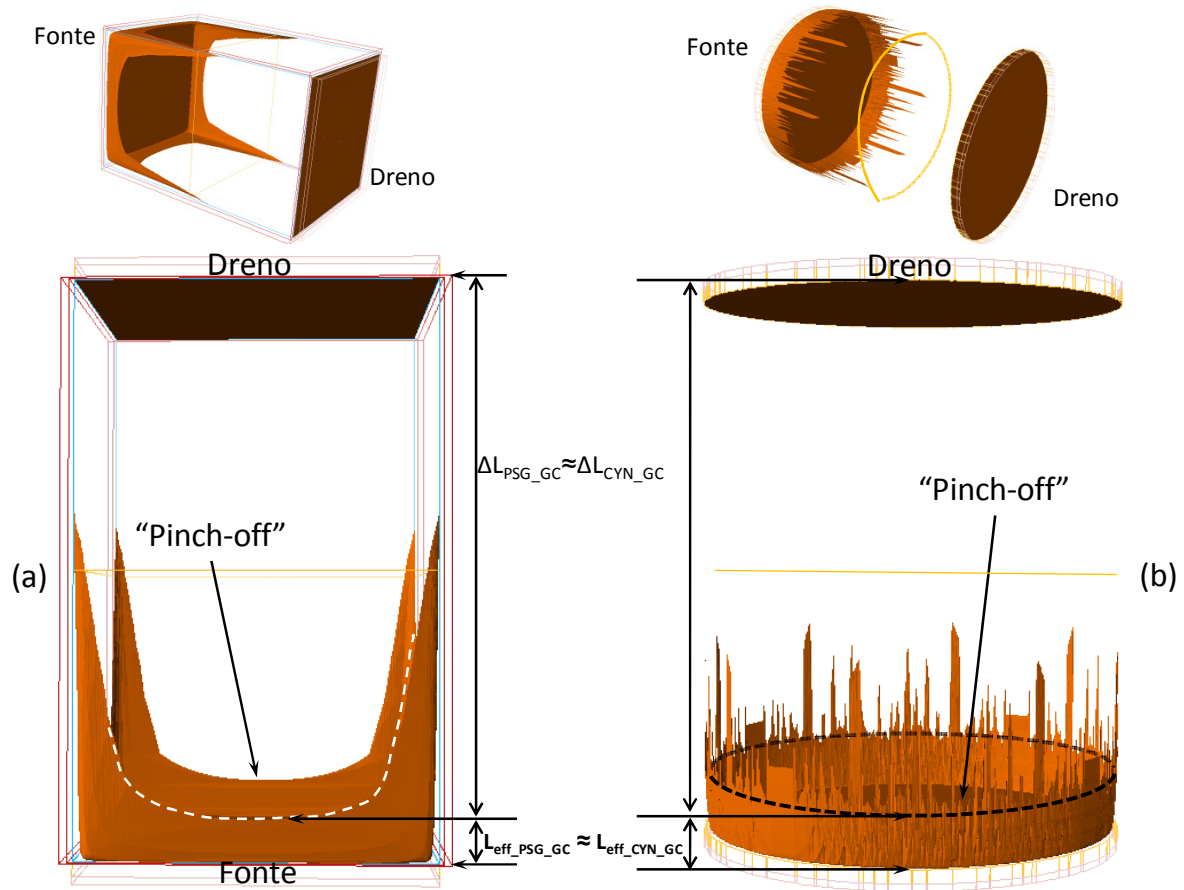


Figura 3.24: Superfície de concentração de elétrons de $5,5 \times 10^{17}$ do transistor PSG de canal gradual (a) e do transistor CYNTHIA de canal gradual (b), para $W=1000 \text{ nm}$.

Pode-se observar na Figura 3.24 que, de fato, quando a largura de canal é suficientemente grande, como no caso 1000 nanômetros, o comprimento efetivo de canal na região do centro do PSG GC (região fora dos cantos) e o comprimento efetivo de canal do CYNTHIA GC são aproximadamente iguais. Para determinarmos o comprimento efetivo de canal do PSG GC, é apresentado a Figura 3.25 a seguir, para as mesmas condições de operação da figura anterior.

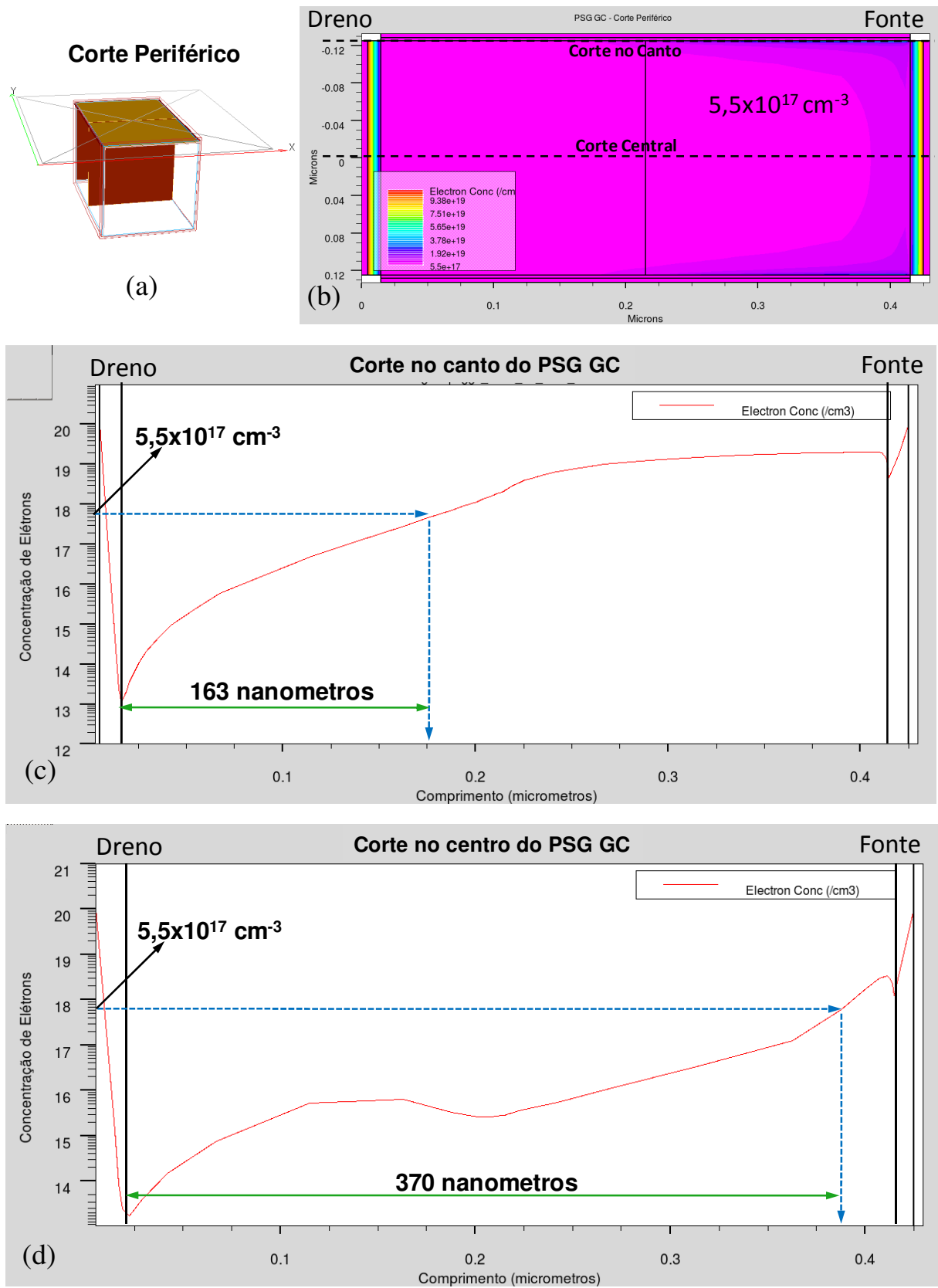


Figura 3.25: Concentração de elétrons do transistor PSG de canal gradual. Indicação do corte periférico (a). Concentração de elétrons na periferia (b), no canto (c) e no centro do PSG GC (d), para $L=400$ nm, V_{DS} de 800 mV, V_{GS} de 200 mV e $W=1000$ nm.

Pode-se observar na Figura 3.25(b) que o comportamento da concentração de elétrons ao longo da largura de canal do PSG GC não é uniforme, e sim variável, conforme mencionado anteriormente. Por esse motivo, o comprimento de canal neste dispositivo também é variável, sendo maior próximo às regiões dos cantos, e menor, na região central do PSG GC. Na região próxima ao canto, a distância entre o dreno e o ponto de “pinch-off” (usando como critério de análise uma concentração de elétrons de $5,5 \times 10^{17} \text{ cm}^{-3}$) é de 163 nanômetros [Figura 3.25(c)], e portanto, o comprimento efetivo de canal nesta região é de 237 nanômetros, uma vez que o comprimento total do canal é de 400 nanômetros. Por outro lado, na região central do PSG GC, a distância entre o dreno e o ponto de “pinch-off” é de 370 nanômetros, portanto o comprimento efetivo de canal na região central é de 30 nanômetros.

Para a determinação do comprimento efetivo de canal do CYNTHIA GC é apresentada a seguir a Figura 3.26, para $L=400 \text{ nm}$, V_{DS} de 800 mV, V_{GS} de 200 mV e $W=1000 \text{ nm}$.

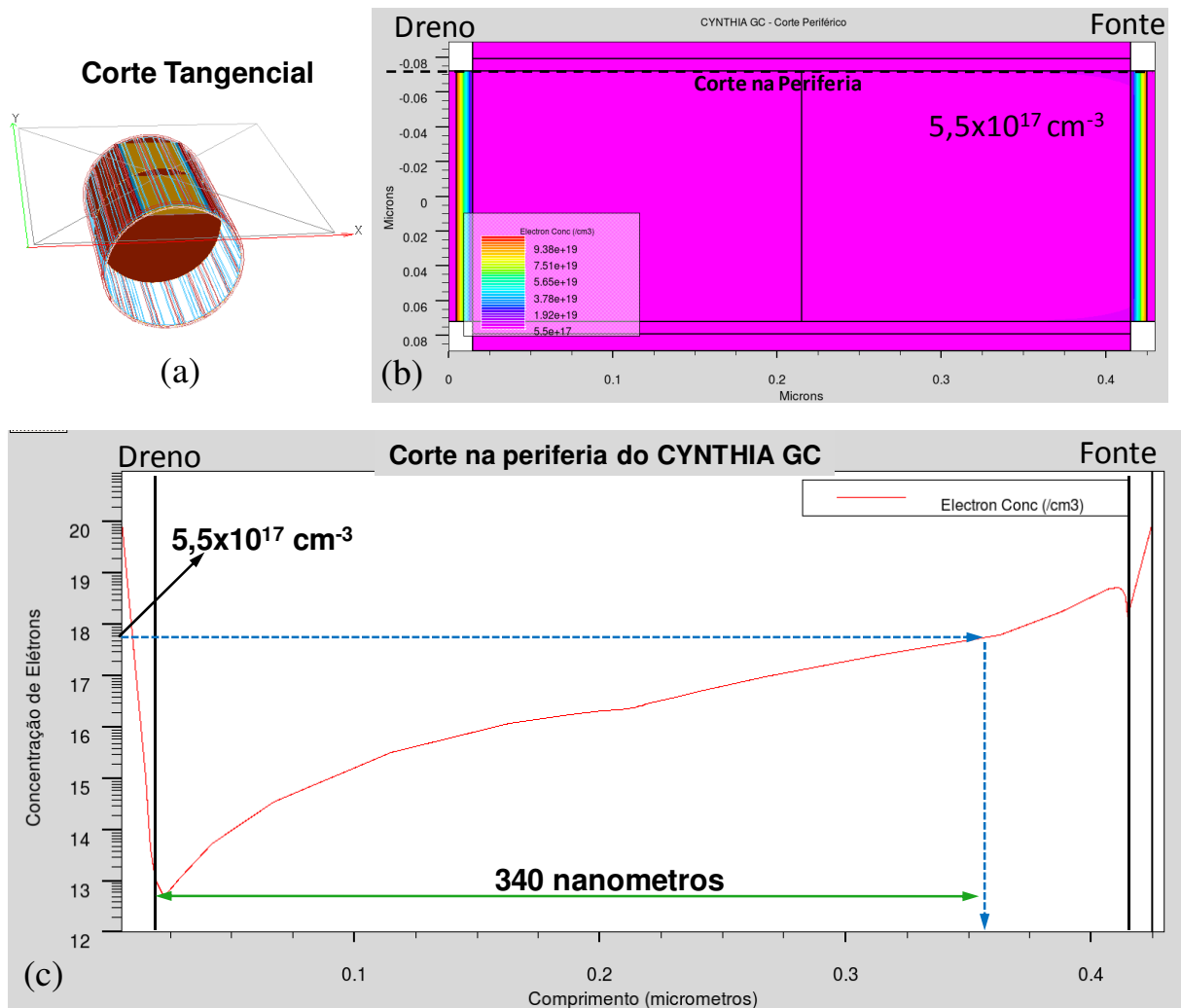


Figura 3.26: Concentração de elétrons do transistor CYNTHIA de canal gradual. Indicação do corte periférico (a). Concentração de elétrons no canal (b) e na periferia do CYNTHIA GC (c), para $L=400 \text{ nm}$, V_{DS} de 800 mV, V_{GS} de 200 mV e $W=1000 \text{ nm}$.

Pode-se verificar na Figura 3.26(c), que a distância entre o dreno e o ponto de “pinch-off” (usando como critério $5,5 \times 10^{17} \text{ cm}^{-3}$) é de 340 nanômetros, portanto o comprimento efetivo de canal nesta região é de 60 nanômetros. Desta forma, quando compara-se o resultado do comprimento efetivo de canal do CYNTHIA GC com o comprimento efetivo de canal do PSG GC na região central, observa-se que ambos possuem valores menos aproximado do que os dispositivos convencionais, porém ainda na mesma ordem de grandeza (30 nm para o PSG GC e 60 nm para o CYNTHIA GC). Este é o resultado esperado pois, como mencionado anteriormente, tanto a região central do canal do PSG GC, quanto toda a região ao longo da largura do canal do CYNTHIA GC, estão sobre influência de apenas uma componente de campo elétrico, ao passo que, nas regiões próximas aos cantos do PSG GC

existem duas componentes de campo elétrico atuando sobre o canal, assim como ocorre com os dispositivos de canal convencional.

3.3.7 Resistência série total dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal convencional

A Figura 3.27 apresenta o gráfico da resistência série total (R_{S_Total}) dos dispositivos PSG de seção transversal quadrada e dos dispositivos CYNTHIA de canal convencional, para diferentes comprimentos de canal.

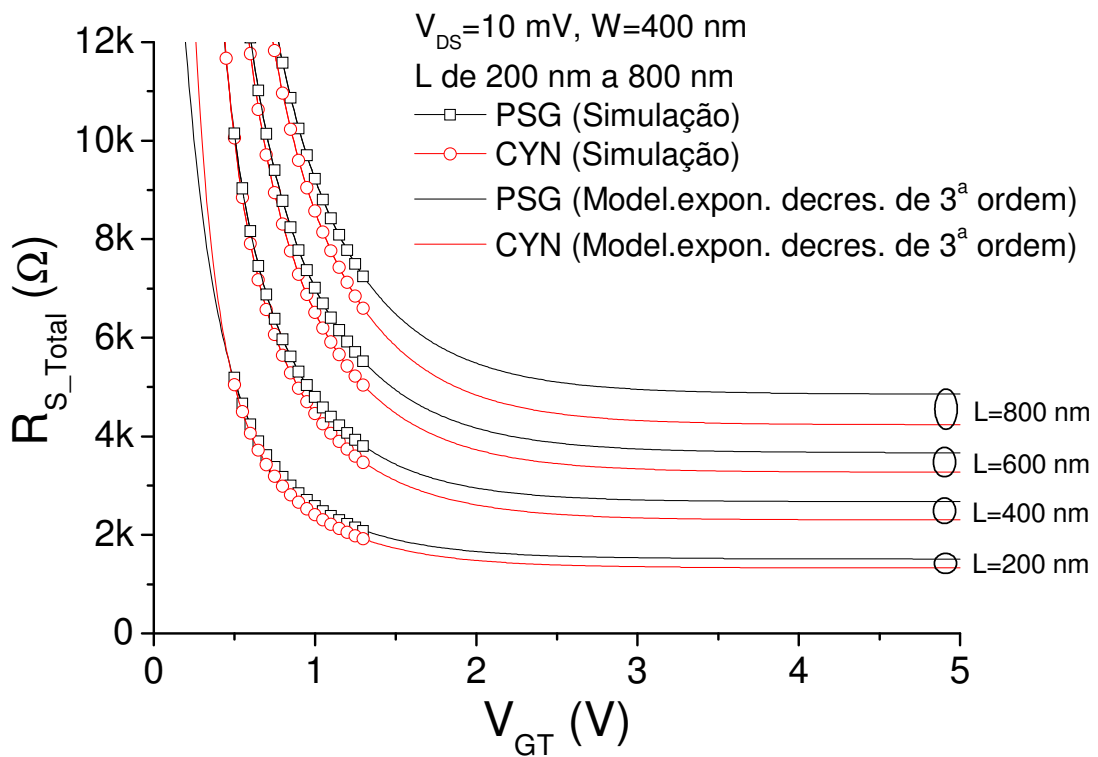


Figura 3.27: Gráfico para determinação da resistência série total dos dispositivos PSG e CYNTHIA de canal convencional, para diferentes comprimentos de canal.

Na Figura 3.27, pode-se observar que quanto maior o comprimento de canal, maior é a resistência série total (R_{S_Total}) do dispositivo. Esse comportamento indica que a utilização deste método para a determinação da resistência série de fonte e dreno (R_S) não é efetivo para

esta tecnologia, pois as distâncias entre o patamar formado e o eixo de V_{GT} deveriam ser semelhantes devido a suas idênticas dimensões das regiões de fonte e dreno. Nesse método, observa-se que o patamar formado para cada dispositivo é maior conforme se aumenta o comprimento de canal, isso porque esse patamar está indicando a somatória entre as resistências de fonte e dreno (R_S) com a resistência do canal (R_{Canal}), que neste caso não é desprezível. A seguir é apresentada a Tabela 3.7 que mostra as resistências série totais dos PSG e CYNTHIA nMOSFETs com diferentes comprimentos de canal, extraídas do gráfico da Figura 3.27.

Tabela 3.7 – Resistência série total dos dispositivos PSG e CYNTHIA de canal convencional.

W=400 (nm)	Resistência Série Total	
	PSG	CYNTHIA
Comprimento de Canal L (nm)	$R_{S_PSG} (\Omega)$	$R_{S_CYN} (\Omega)$
200	1514	1332
400	2676	2302
600	3668	3274
800	4861	4239

Na Tabela 3.7, verifica-se que para um mesmo comprimento de canal, os nMOSFETs PSG de seção transversal quadrada possuem maiores valores de resistência série total do que os dispositivos CYNTHIA. Essa diferença de comportamento pode ser explicada estudando-se a resistência série de fonte e dreno desses transistores. Sabe-se que a resistência é dada pela equação (3.5).

$$R_S = \rho \times \frac{l}{A_{D/S}} \quad (3.5)$$

Onde, R_S é a resistência série de fonte e dreno, ρ é a resistividade elétrica, l é o comprimento da região condutora de fonte e dreno e $A_{D/S}$ é a área da seção transversal da região condutora nas regiões de fonte e dreno. Com o objetivo de verificar a região condutora

na seção transversal das regiões de fonte e dreno e, desta forma, validar a utilização da equação (3.5) no estudo da resistência série destas regiões, é apresentado a seguir na Figura 3.28, a densidade de corrente na seção transversal do dreno dos dispositivos PSG e CYNTHIA de canal convencional, com largura e comprimento de canal de 400 nanômetros, V_{DS} de 0,8 volts e V_{GS} de 200 milivolts (região de saturação).

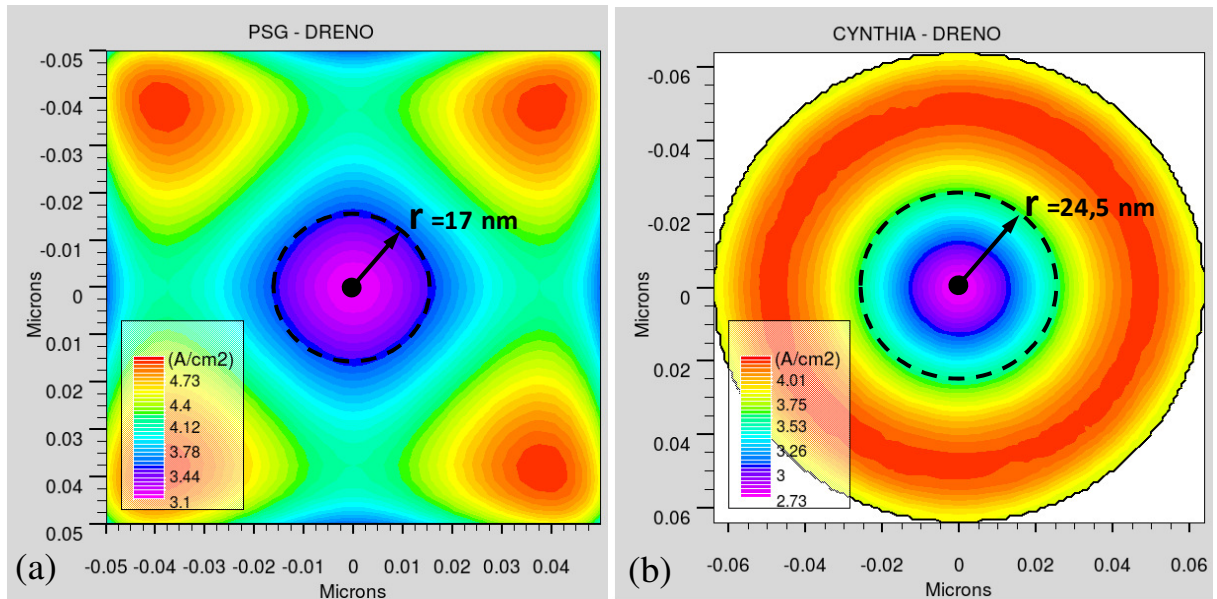


Figura 3.28: Densidade de corrente elétrica na região do dreno dos dispositivos PSG (a) e CYNTHIA (b) de canal convencional, para largura de canal de 400 nanômetros.

Observa-se na Figura 3.28(a) e na Figura 3.28(b) a densidade de corrente elétrica na seção transversal da região de dreno dos dispositivos PSG e CYNTHIA de canal convencional. A linha pontilhada representa uma camada com mesma densidade de elétrons, que no caso de ambos os dispositivos é de $1 \times 10^{3.5} \text{ A/cm}^2$ e, como um critério de avaliação, considerou-se como região condutora a região que apresenta densidade de corrente superior a este valor de densidade de corrente. Como apresentado anteriormente, a área da seção transversal do canal do PSG é igual a 10.000 nm^2 que, por sua vez, é igual a área da seção transversal das regiões de fonte ou de dreno. O raio da seção pontilhada do PSG é igual a 17 nanômetros, portanto, a área desta região é igual a 908 nm^2 ($\pi \cdot 17^2$), aproximadamente. Desta forma, a área condutora da região de dreno do PSG é de 9.092 nm^2 ($10.000 - 908$). Já no dispositivo CYNTHIA, onde o raio da seção pontilhada é igual a 24,5 nanômetros, logo, a área desta região é igual a 1.886 nm^2 . Como a área da seção transversal das regiões de fonte e dreno do CYNTHIA é igual a 12.747 nm^2 , logo a área da seção condutora da região de dreno do CYNTHIA será igual a 10.861 nm^2 . Portanto, a área condutora na região de dreno do PSG

(9.9092 nm^2) é menor que a área condutora na região de dreno no CYNTHIA (10.861 nm^2), logo a resistência do dreno do PSG é maior que a resistência de dreno do CYNTHIA, de acordo com a equação (3.5). É apresentado a seguir na Figura 3.29, a densidade de corrente na seção transversal da fonte dos dispositivos PSG e CYNTHIA de canal convencional, com largura e comprimento de canal de 400 nanômetros, V_{DS} de 0,8 volts e V_{GS} de 200 milivolts (região de saturação).

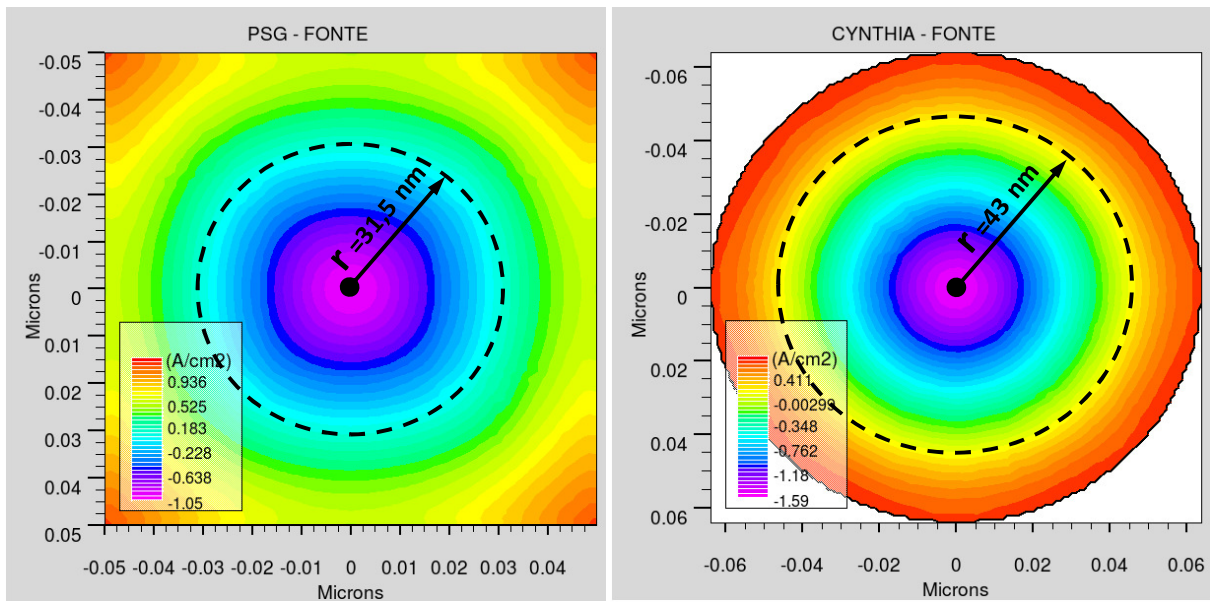


Figura 3.29: Densidade de corrente elétrica na região da fonte dos dispositivos PSG (a) e CYNTHIA (b) de canal convencional, para largura de canal de 400 nanômetros.

Na Figura 3.29(a) e na Figura 3.29(b), é apresentada a densidade de corrente elétrica na seção transversal da região de fonte dos dispositivos PSG e CYNTHIA de canal convencional. Assim como para a região de dreno, a linha pontilhada na região de fonte representa uma camada com mesma densidade de elétrons, que no caso de ambos os dispositivos é de $1 \times 10^0 \text{ A/cm}^2$ (igual a 1 A/cm^2), e também considerou-se como região condutora a região que apresenta densidade de corrente superior a este valor de densidade de corrente, como um critério de avaliação. No dispositivo PSG, como o raio da região pontilhada é igual a 31,5 nanômetros, logo a área desta região é igual a 3.117 nm^2 , que subtraído da área total da seção transversal da região de fonte (10.000 nm^2), resta uma área condutora de 6.883 nm^2 . Já para o dispositivo CYNTHIA, como o raio da região pontilhada é igual a 43 nanômetros, logo a área desta região é igual a 5.809 nm^2 , que subtraído da área total da seção transversal da região de fonte (12.747 nm^2), resta uma área condutora de 6.938 nm^2 . Portanto, assim como na região de dreno e apesar da pequena diferença entre as áreas, a

área condutora na região de fonte do PSG (6.883 nm^2) é menor que a área condutora na região de fonte no CYNTHIA (6.938 nm^2), logo a resistência da fonte do PSG é maior que a resistência da fonte do CYNTHIA, também de acordo com a equação (3.5).

Verifica-se ainda que, a resistência do dreno é maior que a resistência da fonte, independentemente de ser do PSG ou do CYNTHIA, e a área condutora na fonte é pelicular à estrutura da própria fonte, fato este que não se verifica na região de dreno, independentemente de ser do PSG ou do CYNTHIA.

Por fim, uma vez que a área da seção transversal condutora do CYNTHIA é, de fato, maior que a área da seção transversal condutora do PSG, e ambos possuem o mesmo fator geométrico (W/L), como mencionado no capítulo 2 item 1, logo, a resistência série de fonte e dreno do CYNTHIA é menor que a resistência série de fonte e dreno do PSG, validando assim a utilização da equação (3.5) no estudo da resistência série destas regiões.

A fim de determinarmos efetivamente a resistência série de fonte e dreno (R_S) dos transistores PSG e CYNTHIA de canal convencional seguindo-se o método da seção 2.5, é apresentado o gráfico da resistência série total em função do comprimento de canal.

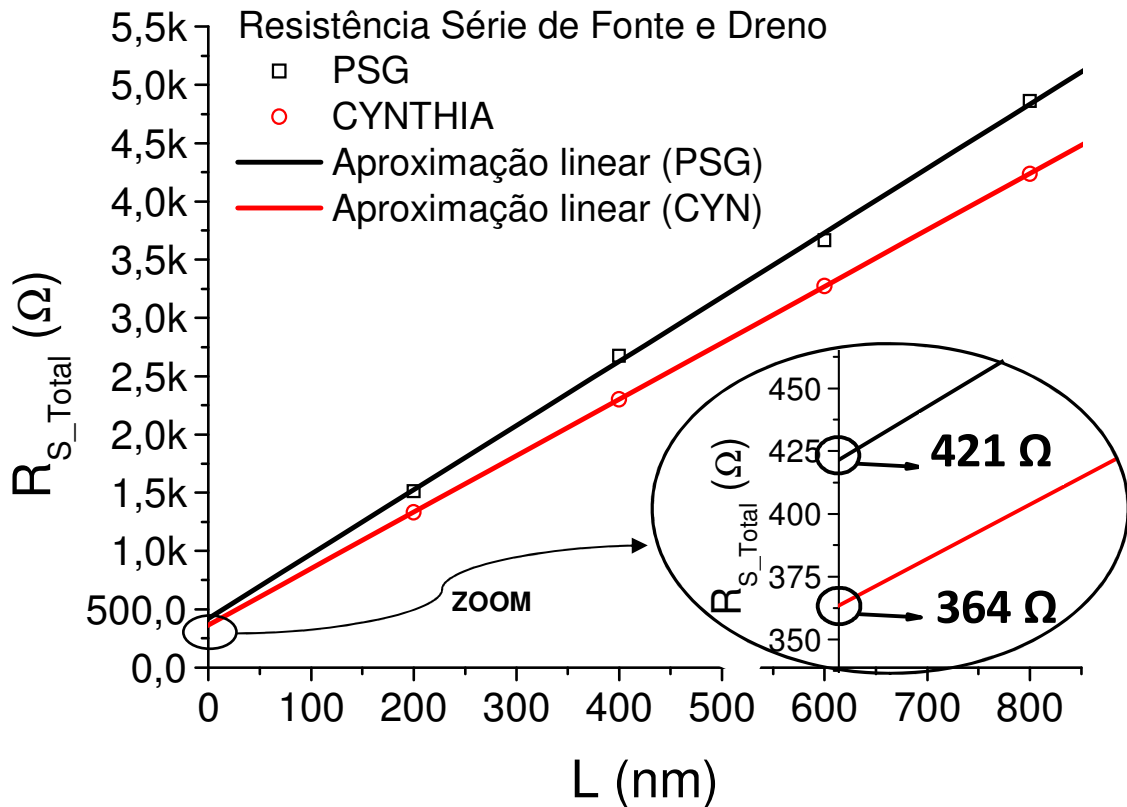


Figura 3.30: Gráfico para determinação da resistência série de fonte e dreno dos dispositivos PSG e CYNTHIA de canal convencional.

A Figura 3.30 apresenta o gráfico da resistência série total, obtida na Tabela 3.7, em função do comprimento de canal. Traçando-se a melhor reta média da R_{S_Total} para os valores de PSG e o mesmo para os valores do CYNTHIA, pode-se determinar a resistência série de fonte e dreno destes dispositivos quando suas respectivas retas cruzarem com o eixo das ordenadas (R_S), ou seja, quando L tende a zero. Sendo assim, para os dispositivos PSG, a resistência série de fonte e dreno (R_S) é igual a 421 Ω , e para os dispositivos CYNTHIA é igual a 364 Ω . Como mencionado anteriormente, a resistência é inversamente proporcional a área, portanto, como a área do CYNTHIA é maior que a do PSG, logo sua resistência série de fonte e dreno é menor que a do PSG.

3.3.8 Resistência série total dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual

A resistência série total (R_{S_Total}) dos transistores de canal gradual se diferenciam do transistores de canal convencional, conforme apresentado na equação (3.6).

$$R_{S_Total} = R_{Fonte} + R_{Dreno} + R_{HD} + R_{LD} \quad (3.6)$$

Onde, além das resistências de fonte e dreno (R_{Fonte} e R_{Dreno}), existem também as resistências R_{HD} (resistência da região de “high doped”) e R_{LD} (resistência da região de “low doped”).

A Figura 3.31 apresenta o gráfico da resistência série total (R_{S_Total}) dos dispositivos PSG GC de seção transversal quadrada e dos dispositivos CYNTHIA GC, para comprimentos de região “high doped” (L_{HD}) de 200 e 350 nanômetros.

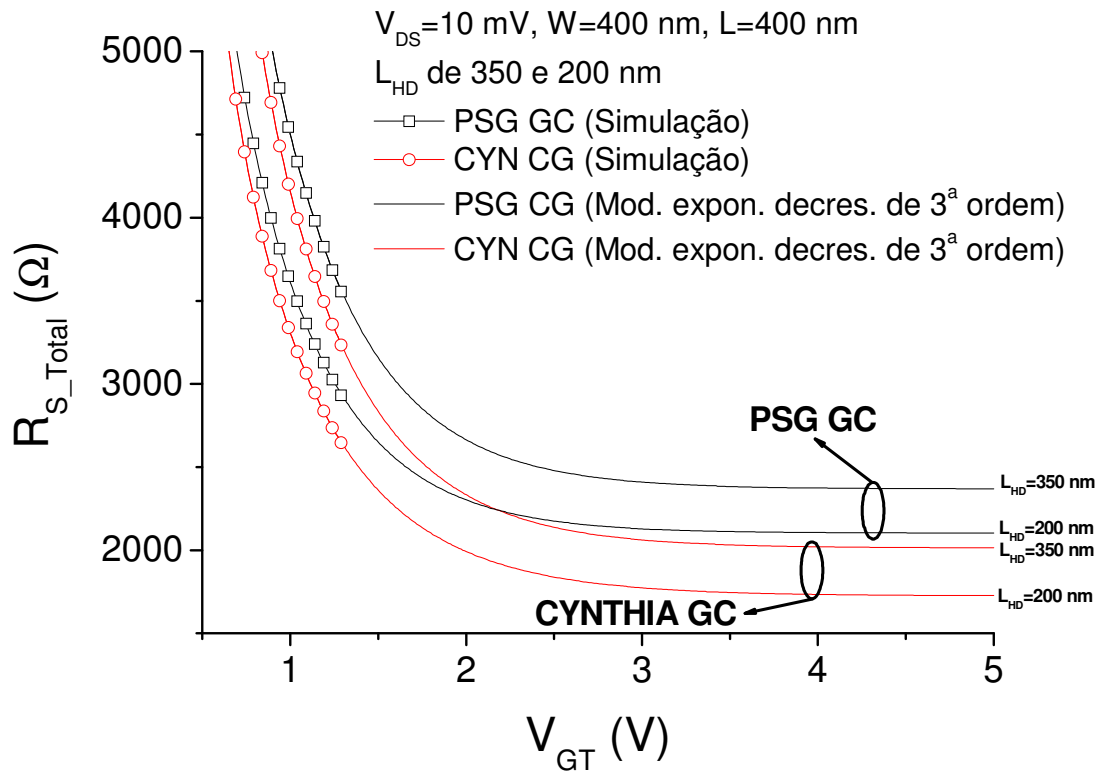


Figura 3.31: Gráfico da resistência série total dos dispositivos PSG e CYNTHIA de canal gradual em função da sobre-tensão de porta, para L_{HD} de 200 e 350 nanômetros.

Assim, como observado nos dispositivos de canal convencional, na Figura 3.31 pode-se verificar que os transistores PSG GC também possuem maiores valores de resistência série total do que os transistores CYNTHIA GC. Como mencionado anteriormente, os dispositivos PSG de canal gradual simulados nesta pesquisa, possuem área de seção transversal idênticas aos dispositivos PSG de canal convencional, assim como para os dispositivos CYNTHIA de canal gradual e convencional, motivo pelo qual, verificou-se o mesmo comportamento da resistência série total.

A seguir, na Tabela 3.8, são apresentados os valores de resistência série total extraídas para todos os comprimentos da região “high doped” simulados.

Tabela 3.8 – Resistência série total dos dispositivos PSG e CYNTHIA de canal gradual.

W=400 (nm) L=400 (nm)		Resistência Série Total	
		PSG GC	CYNTHIA GC
Comprimento da região "high doped" L_{HD} (nm)	L_{LD}/L	$R_{S_PSG_GC} (\Omega)$	$R_{S_CYN_GC} (\Omega)$
350	0,125	2369	2014
300	0,25	2311	1913
250	0,375	2255	1865
200	0,5	2102	1726

Na Tabela 3.8, verifica-se que para um mesmo comprimento da região “high doped”, os nMOSFETs CYNTHIA GC possuem menores valores de resistência série total do que os valores dos PSGs GC. Assim, como para os dispositivos de canal convencional, quanto maior a área da seção transversal do dispositivo, menor será sua resistência série.

Verifica-se através das Tabelas 3.7 e 3.8, que os dispositivos GC apresentam menores valores de resistência série total quando comparado aos valores dos dispositivos de canal convencional. Isso porque, apesar dos dispositivos de canal gradual possuírem 400 nanômetros de comprimento total de canal, seu comprimento efetivo de canal é menor quando comparado ao comprimento efetivo de canal do dispositivo de canal convencional. Por esse motivo, a resistência da região “high doped” do canal (R_{HD}) se tornou muito menor perante as resistências de fonte, de dreno e da região “low doped”, implicando assim, em menores valores de resistência série total.

É apresentada a seguir, na Figura 3.30, o gráfico da resistência série total (R_{S_Total}) dos transistores PSG e CYNTHIA de canal gradual, em função dos comprimentos das regiões “low doped ” e “high doped” para L igual a 400 nanômetros.

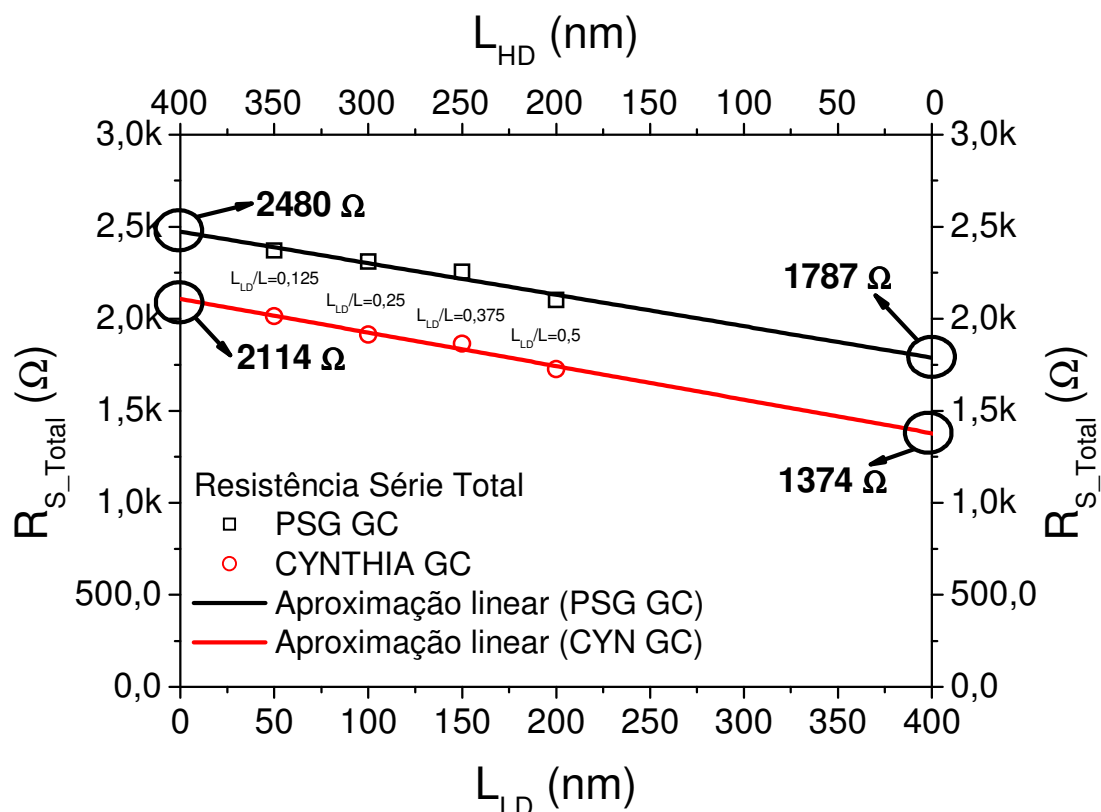


Figura 3.32: Gráfico da resistência série total dos dispositivos PSG e CYNTHIA de canal gradual em função do comprimento das regiões “high doped” e “low doped” para L de 400 nanômetros.

Na Figura 3.32, observa-se o gráfico da resistência série total, obtida na Tabela 3.8, em função do comprimento das regiões “high doped” e “low doped” e, traçando-se a melhor reta média para os pontos obtidos na Tabela 3.8 para o PSG e para o CYNTHIA, pode-se determinar a resistência série total destes dispositivos. Quando extrapolamos as retas formadas para o lado esquerdo do gráfico ($L_{LD}=0$), pode-se verificar o valor da resistência série total para um dispositivo com canal formado somente pela região “high doped”. Por outro lado, quando extrapolamos as retas formadas para o lado direito do gráfico ($L_{HD}=0$), pode-se verificar o valor da resistência série total para um dispositivo com canal formado somente pela região “low doped”. No primeiro caso, os valores encontrados foram de 2480 Ω para o PSG GC e 2114 Ω para o CYNTHIA GC, já no segundo caso, os valores encontrados foram de 1787 Ω e 1374 Ω para o PSG GC e CYNTHIA GC, respectivamente. Quando o comprimento da região “low doped” é máximo, a resistência é mínima, pois o canal está totalmente invertido. Já quando o comprimento da região “high doped” é máximo, a resistência também é máxima, pois o canal não está invertido da mesma forma que a região

“low doped”. Vale ressaltar que em todos os casos, a resistência encontrada é equivalente a resistência série de fonte e dreno acrescentada de uma parcela da resistência do canal, variando somente de acordo com a dopagem do canal.

A resistência série de fonte e dreno (R_S) dos dispositivos de canal gradual é a mesma dos dispositivos de canal convencional, uma vez que, estes dispositivos possuem as mesmas dimensões das regiões de fonte e dreno. Portanto, o resultado apresentado na Tabela 3.8 expressa a somatória das resistências das regiões de dreno, fonte e canal.

3.3.9 Inclinação de sub-limiar dos dispositivos PSG e CYNTHIA SOI MOSFETs

Foram obtidos resultados da inclinação de sub-limiar de dispositivos com comprimentos de canal de 200, 400, 600 e 800 nanômetros, porém, para melhor visualização, a Figura 3.33 mostra a inclinação de sub-limiar dos dispositivos PSG e CYNTHIA com comprimento de canal de 200 e 800 nanômetros.

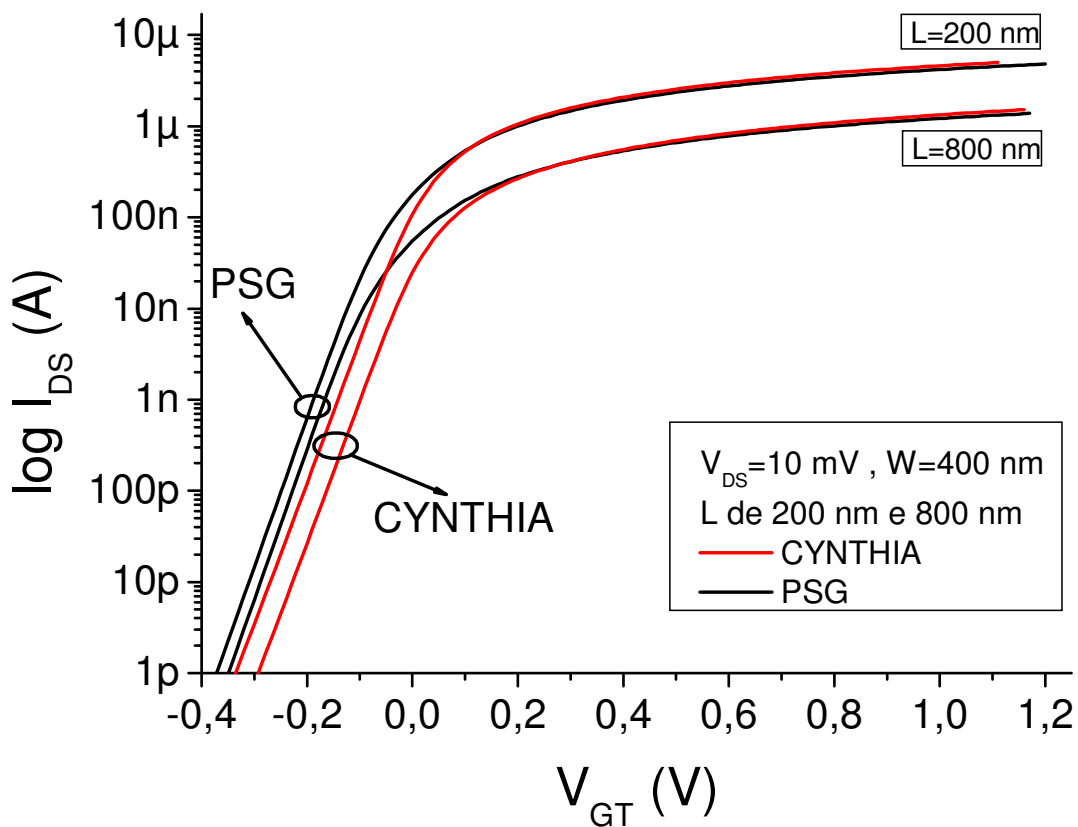


Figura 3.33: Gráfico da inclinação de sub-limiar em função da sobretensão de porta dos dispositivos PSG e CYNTHIA convencionais para L de 200 nm e 800 nm.

Através do método apresentado na Figura 2.8 foram extraídas as inclinações de sub-limiar dos PSG e CYNTHIA nMOSFETs. O resultado desta extração é apresentado na Tabela 3.9.

Tabela 3.9 – Inclinação de sub-limiar S dos dispositivos PSG e CYNTHIA de canal convencional.

Inclinação de sub-limiar (mV/dec)		
Comprimento de canal L (nm)	Dispositivo (W=400 nm)	
	PSG	CYNTHIA
200	61,10	63,8
400	60,62	63,95
600	60,49	63,94
800	60,43	63,94

Através da Tabela 3.9, pode-se observar que a inclinação de sub-limiar de todos os dispositivos PSG são inferiores à inclinação de sub-limiar de todos os dispositivos CYNTHIA. Este resultado é explicado devido ao efeito de canto do PSG de seção quadrada. Nas regiões próximas aos cantos do PSG ocorre a sobreposição dos campos elétricos e, conseqüentemente, é atraída uma maior quantidade de portadores minoritários próximo à porta do que nas regiões fora dos cantos. Em outras palavras considerando-se a equação (2.10), a concentração de elétrons próximo à fonte do PSG $n(0)$ é maior que a concentração de elétrons próximo à fonte do CYNTHIA e a concentração de elétrons próximo ao dreno do PSG $n(L)$ é menor que a concentração de elétrons próximo ao dreno do CYNTHIA. Desta forma, o valor da diferença $n(0)-n(L)$ do PSG é maior que a do CYNTHIA, resultando em uma maior corrente $I_{DS_sub-limiar}$, conseqüentemente o valor da inclinação de sub-limiar do PSG será menor que a do CYNTHIA [equação (2.10)]. Este resultado também é evidente no gráfico $I_{DS} \times V_{GT}$ através da vista ampliada da região de sub-limiar (Figura 3.13).

Observa-se ainda na equação (2.10), que a corrente de sub-limiar também varia de acordo com a área da seção transversal e, como esta área é diferente para cada um dos dispositivos, foi então extraído o gráfico do log da corrente de dreno, normalizada em função da área da seção transversal dos dispositivos. Portanto, a Figura 3.34 apresenta o gráfico de $\log(I_{DS}/A) \times V_{GT}$ para dispositivos com comprimento de canal de 200 nanômetros.

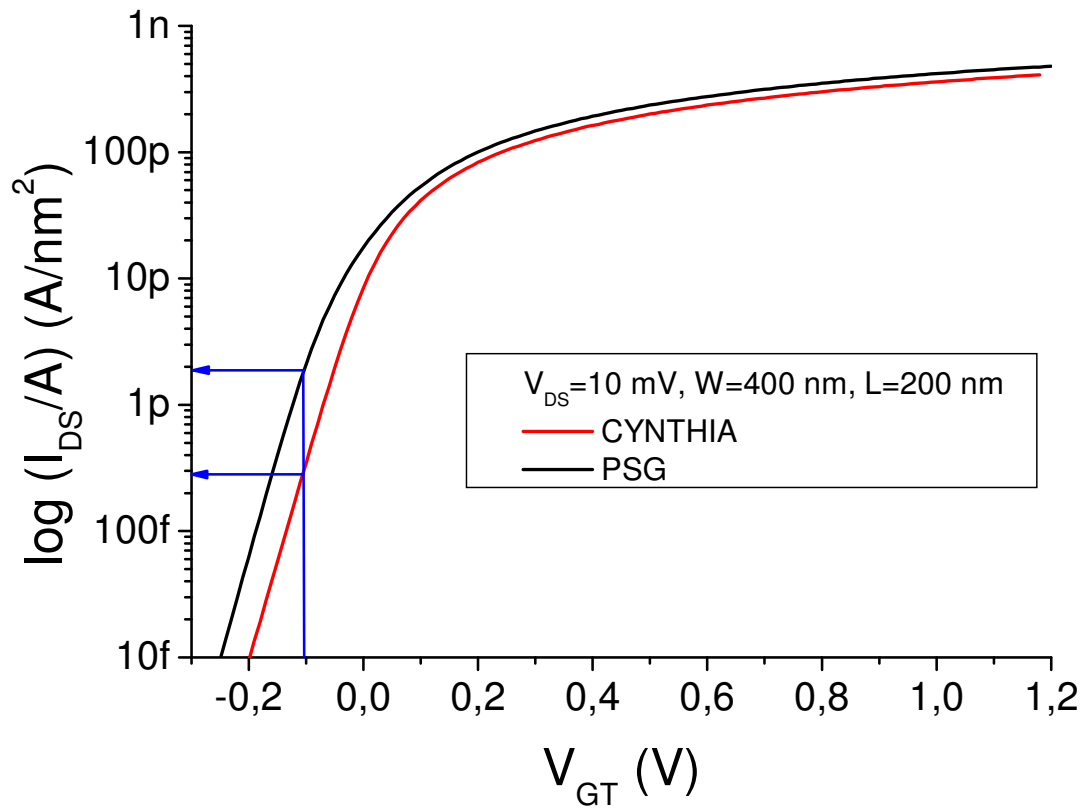


Figura 3.34: Gráfico da inclinação de sub-limiar normalizada pela área da seção transversal do canal em função da sobre-tensão de porta dos dispositivos PSG e CYNTHIA convencionais para L de 200 nm.

Na Figura 3.34 pode-se observar que o comportamento da corrente de sub-limiar normalizada em função da área da seção transversal dos dispositivos, se manteve igual ao comportamento observado anteriormente na Figura 3.33, pois a diferença $n(0)-n(L)$ do PSG é maior que a do CYNTHIA.

3.3.10 Inclinação de sub-limiar dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual

Foram obtidos resultados da inclinação de sub-limiar de dispositivos com comprimento da região “high doped” de 200, 250, 300 e 350 nanômetros, porém, para melhor visualização, a Figura 3.35 mostra a inclinação de sub-limiar dos dispositivos PSG GC e CYNTHIA GC com somente os comprimentos da região “high doped” de 200 e 350 nanômetros e com mesmo valor de W/L ($A_{PSG_GC} < A_{CYN_GC}$).

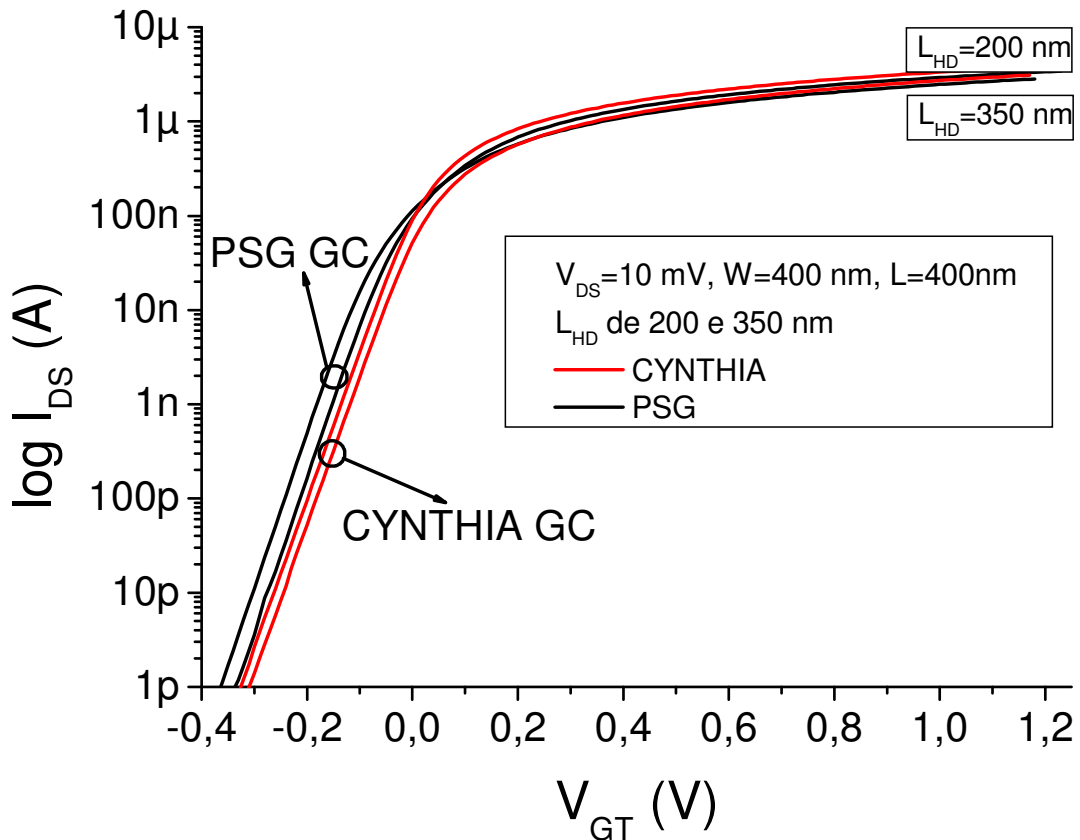


Figura 3.35: Gráfico da inclinação de sub-limiar em função da sobretensão de porta dos dispositivos PSG GC e CYNTHIA GC para L_{HD} de 200 nm e 350 nm.

Como apresentado anteriormente na vista ampliada de $I_{DS} \times V_{GT}$ (Figura 3.13), também pode-se confirmar na Figura 3.35 que na região de sub-limiar, o PSG GC possui maiores valores de corrente de dreno quando comparado aos valores de corrente de dreno do

CYNTHIA GC, pelos mesmos motivos já explicados para o caso dos dispositivos de canal convencional.

O método de extração da inclinação de sub-limiar (S) dos transistores de canal gradual foi o mesmo utilizado para os transistores de canal convencional. A Tabela 3.10 apresenta os valores de inclinação de sub-limiar dos dispositivos nMOSFETs CYNTHIA e PSG de canal gradual.

Tabela 3.10 – Inclinação de sub-limiar S dos dispositivos PSG e CYNTHIA de canal gradual.

Inclinação de sub-limiar (mV/dec)			
Relação L_{LD} / L	L_{HD} (nm)	Transistores com $L = 400$ nm	
		PSG GC	CYNTHIA GC
0,125	350	60,45	63,76
0,250	300	60,10	63,73
0,375	250	60,73	63,66
0,500	200	60,08	63,49

Através da Tabela 3.10 pode-se observar que, a inclinação de sub-limiar de todos os dispositivos PSG GC são inferiores à inclinação de sub-limiar de todos os dispositivos CYNTHIA GC. Assim como nos dispositivos de canal convencional, este resultado é explicado devido ao efeito de canto do PSG GC de seção quadrada, onde a diferença de concentração de portadores minoritários $n(0)-n(L)$ do PSG GC é maior que a do CYNTHIA GC.

3.3.11 Transcondutância dos dispositivos PSG e CYNTHIA SOI nMOSFETs

O gráfico da transcondutância (g_m) em função da sobretensão de porta, para tensão de dreno V_{DS} igual a 10 mV é apresentado na Figura 3.36.

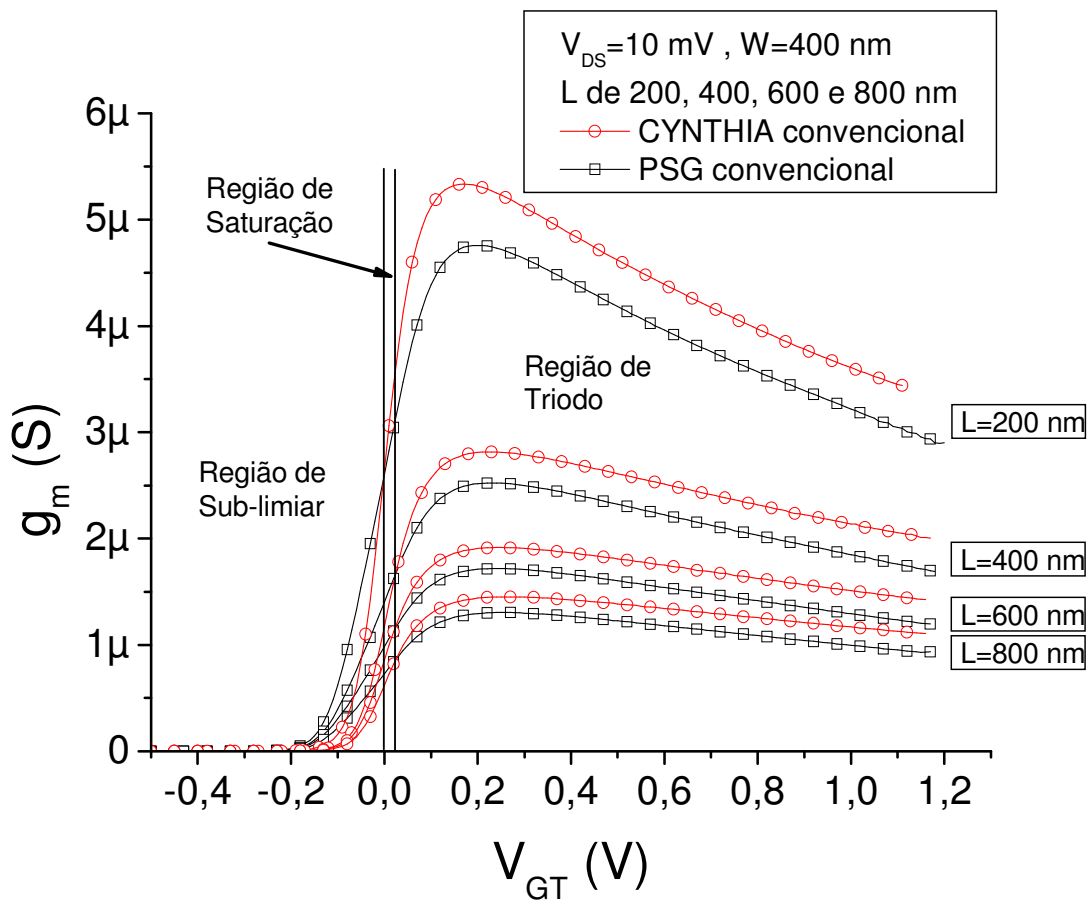


Figura 3.36: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal convencional para V_{DS} de 10 mV.

Na Figura 3.36 pode-se observar que a medida que se reduz o comprimento de canal (L), a transcondutância dos dispositivos aumentam, pois g_m é inversamente proporcional ao comprimento de canal (Equação 2.11). E quando compara-se a transcondutância dos dispositivos CYNTHIA com a transcondutância dos dispositivos PSG, verifica-se que o CYNTHIA possui maiores valores de g_m na região de triodo, ao passo que na região de sub-limiar, os PSGs possuem maiores valores.

A Figura 3.37 compara a transcondutância máxima ($g_{m_m\acute{a}x}$) dos dispositivos PSG e CYNTHIA de canal convencional em função do comprimento de canal (L).

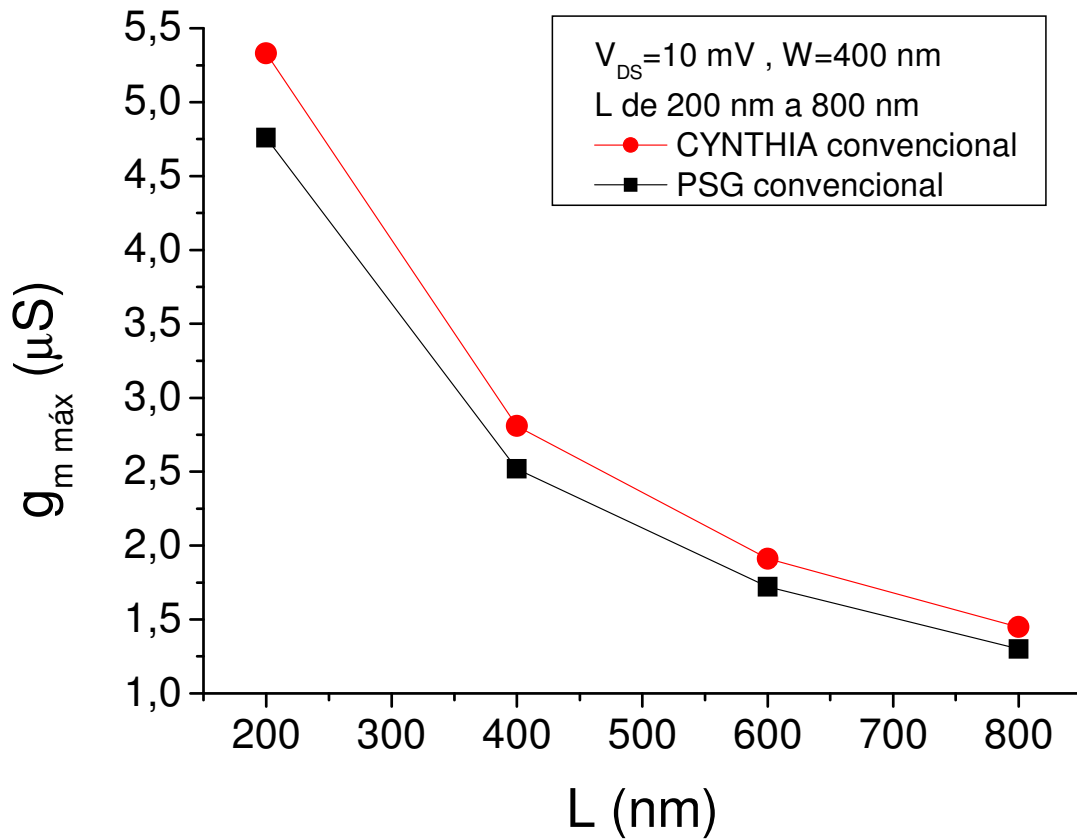


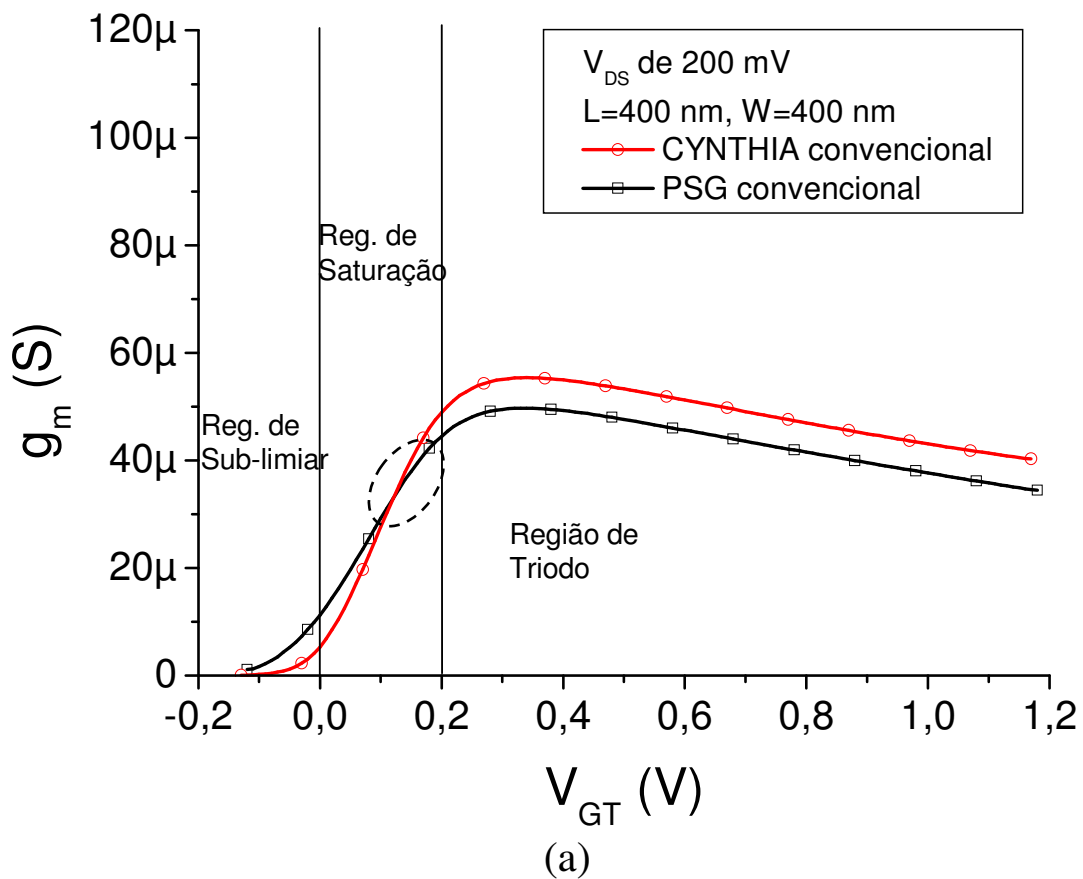
Figura 3.37: Curva da transcondutância máxima em função do comprimento de canal dos dispositivos PSG e CYNTHIA de canal convencional.

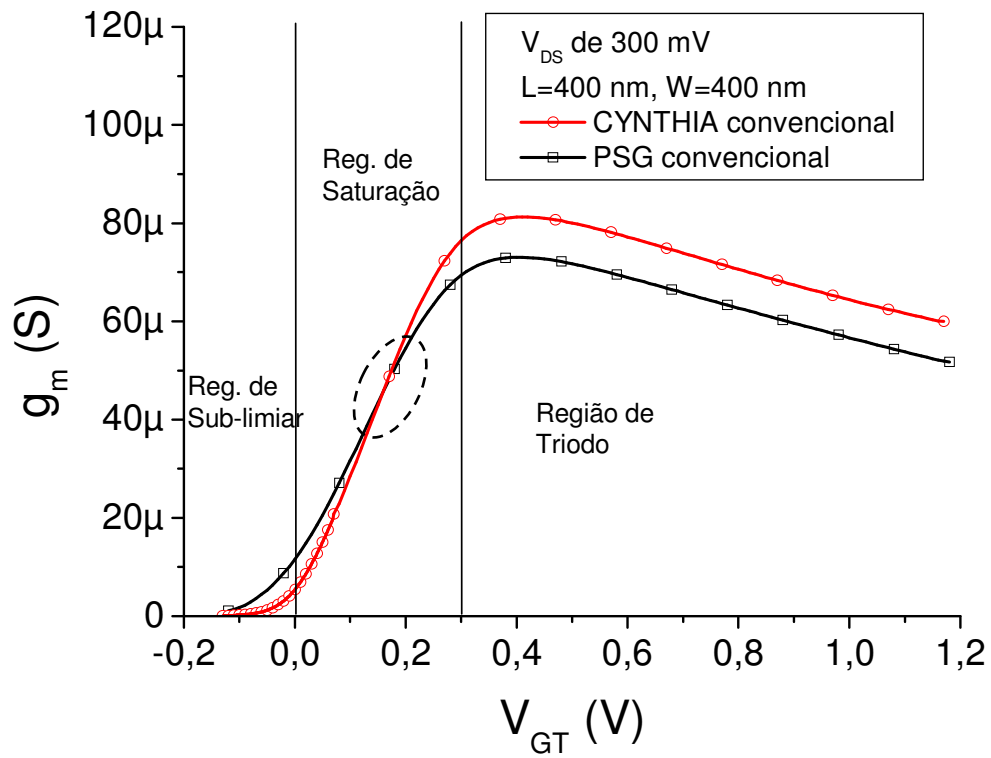
Através do gráfico apresentado na Figura 3.37, pode-se observar que a transcondutância máxima ($g_{m_m\acute{a}x}$) dos dispositivos diminui conforme se aumenta o comprimento de canal (L). Conforme apresentado no capítulo 2 item 7, a transcondutância corresponde à derivada de I_{DS} em função de V_{GS} logo, é inversamente proporcional ao comprimento de canal.

Também pode-se observar ainda na Figura 3.36 que os dispositivos CYNTHIA possuem maior transcondutância em relação aos PSGs, na região de triodo, pois, conforme explicado anteriormente, a área da seção transversal das regiões de fonte e dreno do CYNTHIA é maior que a do PSG, portanto, a resistência de fonte e dreno do CYNTHIA é menor que a resistência de fonte e dreno do PSG. Com isso, a corrente de dreno do

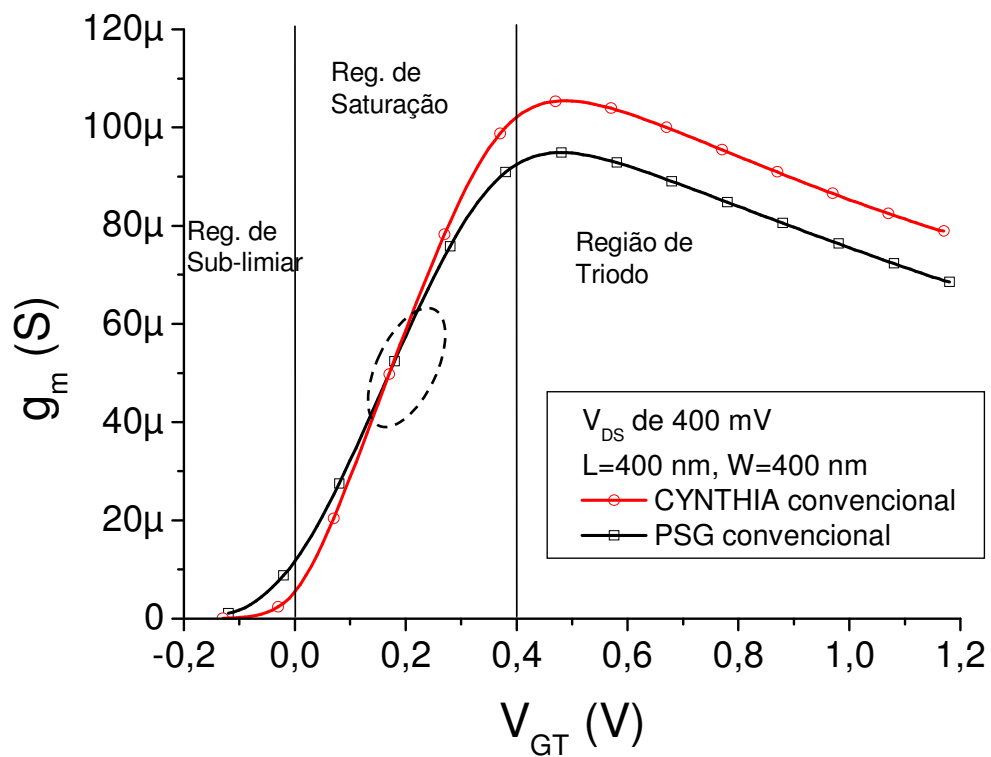
CYNTHIA é maior, implicando em uma transcondutância maior que a transcondutância do PSG. Porém, na região de sub-limiar, os PSGs apresentaram maiores valores de transcondutância do que os CYNTHIAs, isso porque nessa região prevalece o efeito de canto no comportamento dos dispositivos PSGs.

A Figura 3.38 apresenta a curva da transcondutância em função da sobretensão de porta para diferentes tensões de dreno e para mesmo W/L ($A_{PSG} < A_{CYN}$).





(b)



(c)

Figura 3.38: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA convencionais para V_{DS} de 200 mV (a), 300 mV (b) e 400 mV (c).

Pode-se observar na Figura 3.38 que, quanto maior a tensão de dreno, maior é a transcondutância, uma vez que a corrente de dreno é função da tensão de dreno [equação (3.3)]. Observa-se também que até o ponto de cruzamento entre as curvas do PSG e CYNTHIA, o PSG possui maior valor de transcondutância para uma mesma sobretensão de porta, ao passo que após o cruzamento das curvas, o CYNTHIA possui valor superior de transcondutância para um determinado V_{GT} . Isso ocorre porque até o ponto de cruzamento, o efeito de canto do transistor PSG prevalece sobre o efeito da resistência série de fonte e dreno e, após o cruzamento, o efeito da resistência série de fonte e dreno prevalece sobre o efeito de canto.

A seguir, na Tabela 3.11, são apresentados os valores de máxima transcondutância do CYNTHIA e do PSG, para tensões de dreno V_{DS} variando de 200 a 400 mV e L e W de 400 nanômetros.

Tabela 3.11 – Transcondutância máxima dos dispositivos PSG e CYNTHIA de canal convencional para diferentes valores de V_{DS} e com L e W de 400 nanômetros.

Transcondutância máxima (μS)			
Tensão de dreno V_{DS} (mV)	Dispositivo		Variação %
	CYNTHIA	PSG	
200	55,37	49,71	11,39
250	68,53	61,58	11,29
300	81,30	73,10	11,22
350	93,62	84,22	11,16
400	105,44	94,89	11,12

Na Tabela 3.11, observa-se que a transcondutância máxima do CYNTHIA se mantém maior que a transcondutância do PSG na região de triodo, semelhante ao observado na Figura 3.36, quando foram realizadas simulações com tensão de dreno de 10 mV. Também pode-se observar que a transcondutância máxima do CYNTHIA é por volta de 11% maior que a transcondutância máxima do PSG, independentemente da tensão de dreno.

3.3.12 Transcondutância dos dispositivos PSG e CYNTHIA SOI nMOSFETs de canal gradual

A Figura 3.39 apresenta o gráfico da transcondutância (g_m) em função da sobretensão de porta dos dispositivos CYNTHIA e PSG de canal gradual, para tensão de dreno (V_{DS}) igual a 10 mV e mesmo W/L ($A_{PSG_GC} < A_{CYN_GC}$).

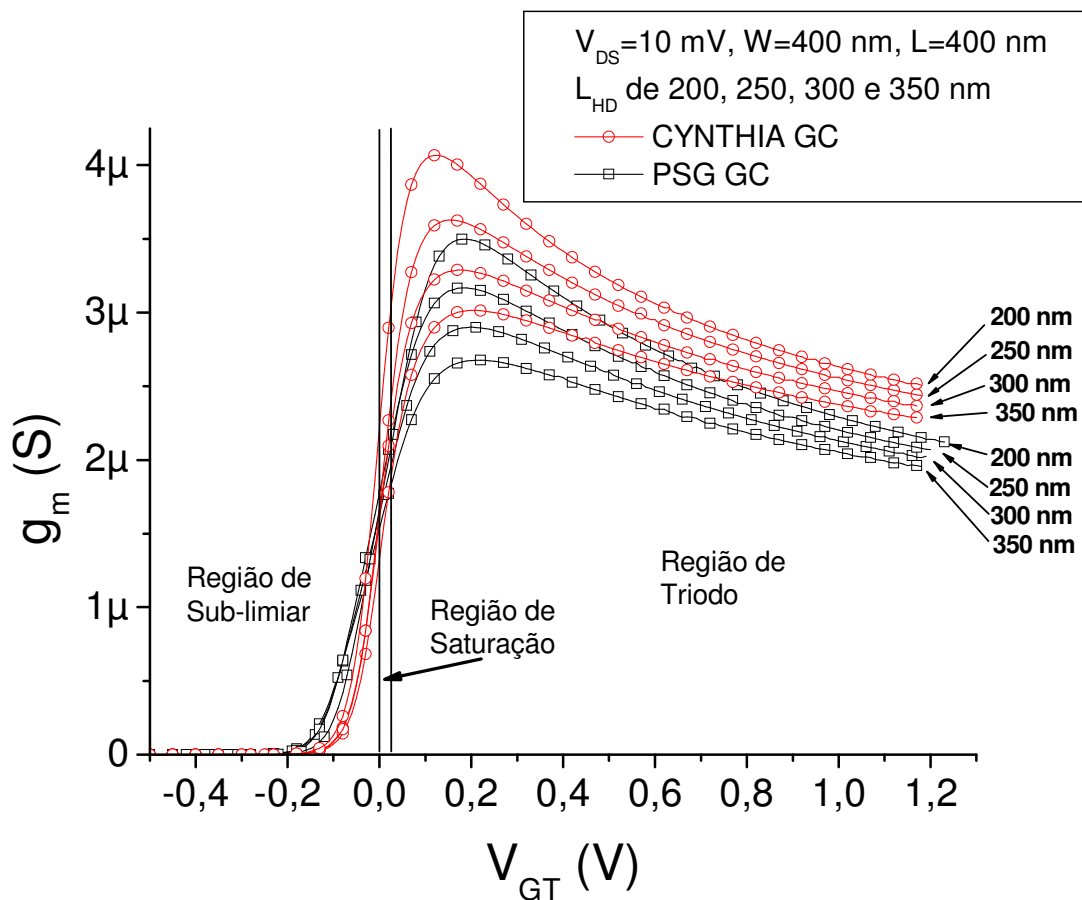


Figura 3.39: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual, para V_{DS} de 10 mV.

Na Figura 3.39 pode-se observar que, quanto menor o comprimento efetivo do canal (L_{HD}) maior é o valor da transcondutância, independentemente de ser PSG GC ou CYNTHIA GC, pois a transcondutância é inversamente proporcional ao comprimento efetivo de canal. E quando comparamos a transcondutância dos dispositivos CYNTHIA GC com a

transcondutância dos dispositivos PSG GC, verifica-se que o CYNTHIA GC possui maiores valores de g_m na região de triodo, enquanto que na região de sub-limiar, o PSG possui maiores valores de transcondutância do que o CYNTHIA.

A Figura 3.40 compara a transcondutância máxima dos dispositivos PSG GC e CYNTHIA GC, em função do comprimento da região “high doped” para V_{DS} de 10 mV com W e L de 400 nanômetros respectivamente.

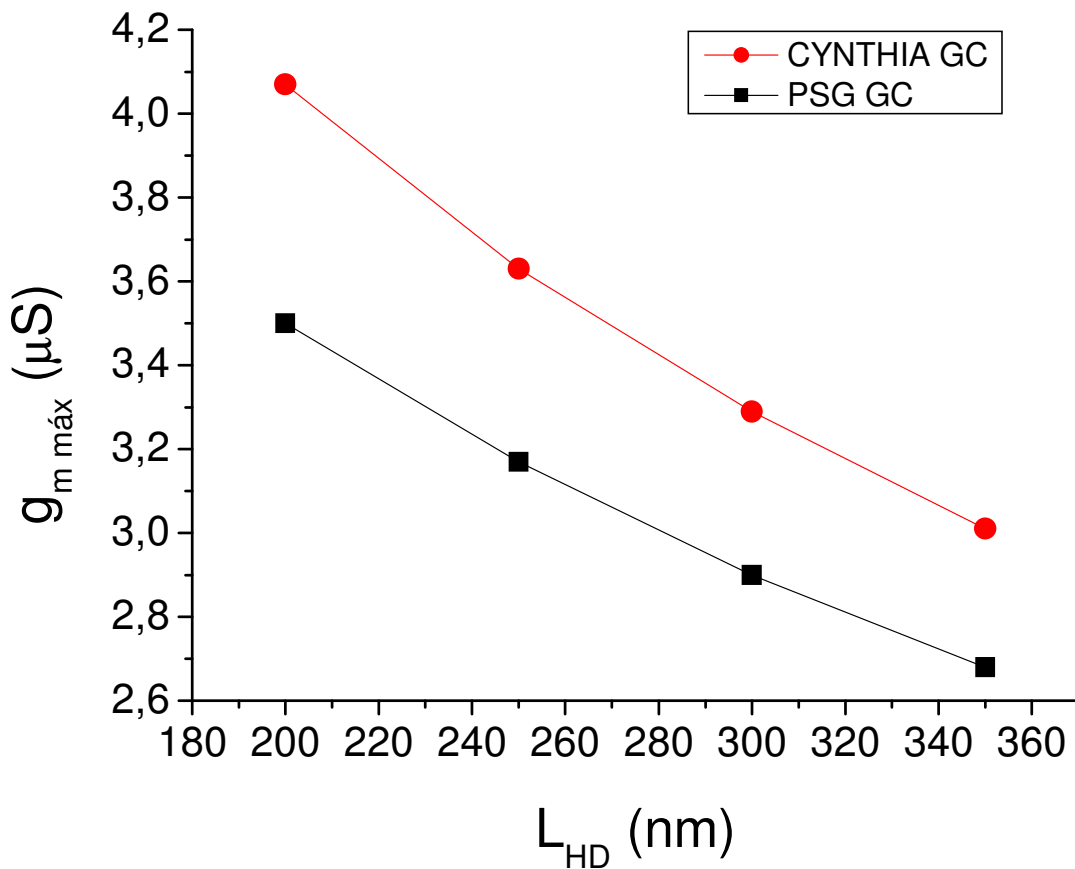


Figura 3.40: Curva da transcondutância máxima em função do comprimento da região “high doped” dos dispositivos PSG e CYNTHIA de canal gradual.

No gráfico apresentado na Figura 3.40 pode-se observar que a transcondutância máxima dos dispositivos de canal gradual diminui conforme se aumenta o comprimento efetivo do canal ou região “high doped”. Assim como nos dispositivos de canal convencional, e conforme apresentado no capítulo 2 item 7, a transcondutância corresponde à derivada da corrente I_{DS} em função de V_{GS} logo, é inversamente proporcional ao $L_{eff} \cong L_{HD}$.

Também pode-se observar ainda na Figura 3.39, a maior transcondutância dos dispositivos CYNTHIA GC em relação ao PSG GC, na região triodo. Esse efeito é devido à resistência série de fonte e dreno dos dispositivos PSG GC e CYNTHIA GC. Assim como nos dispositivos de canal convencional, e conforme explicado anteriormente, a área do CYNTHIA é maior que a área do PSG, portanto a resistência de fonte e dreno do CYNTHIA é menor que a resistência de fonte e dreno do PSG. Com isso, a corrente de dreno do CYNTHIA é maior, implicando em uma transcondutância maior que a transcondutância do PSG. Porém, na região de sub-limiar, os transistores PSG GC apresentaram maiores valores de transcondutância do que os transistores CYNTHIA GC, isso porque nessa região prevalece o efeito de canto no comportamento dos dispositivos PSG GC.

A Figura 3.41 a seguir, nos apresenta o gráfico da transcondutância em função da sobretensão de porta dos dispositivos CYNTHIA CG e PSG GC, para tensão de dreno de 400 milivolts, L_{LD} igual a 200 nanômetros e mesmo W/L ($A_{PSG_GC} < A_{CYN_GC}$).

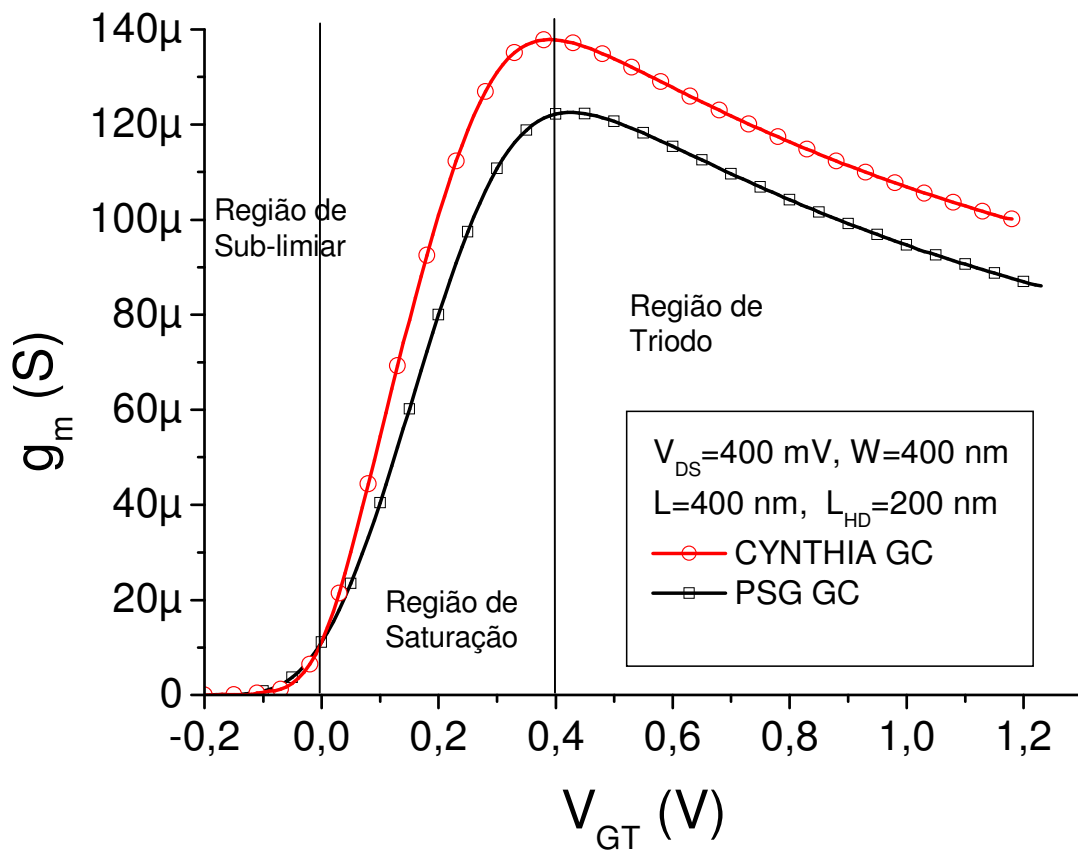


Figura 3.41: Curva da transcondutância em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal gradual, para V_{DS} de 400 mV e L_{LD} de 200 nm.

Pode-se observar na Figura 3.41 que a transcondutância do CYNTHIA GC é superior quando comparada à transcondutância do PSG GC na região de saturação e na região de triodo, prevalecendo a maior área do CYNTHIA GC sobre o PSG GC. A Figura 3.42 mostra uma vista ampliada da região sub-limiar da curva $g_m \times V_{GT}$ para as mesmas condições da Figura 3.41.

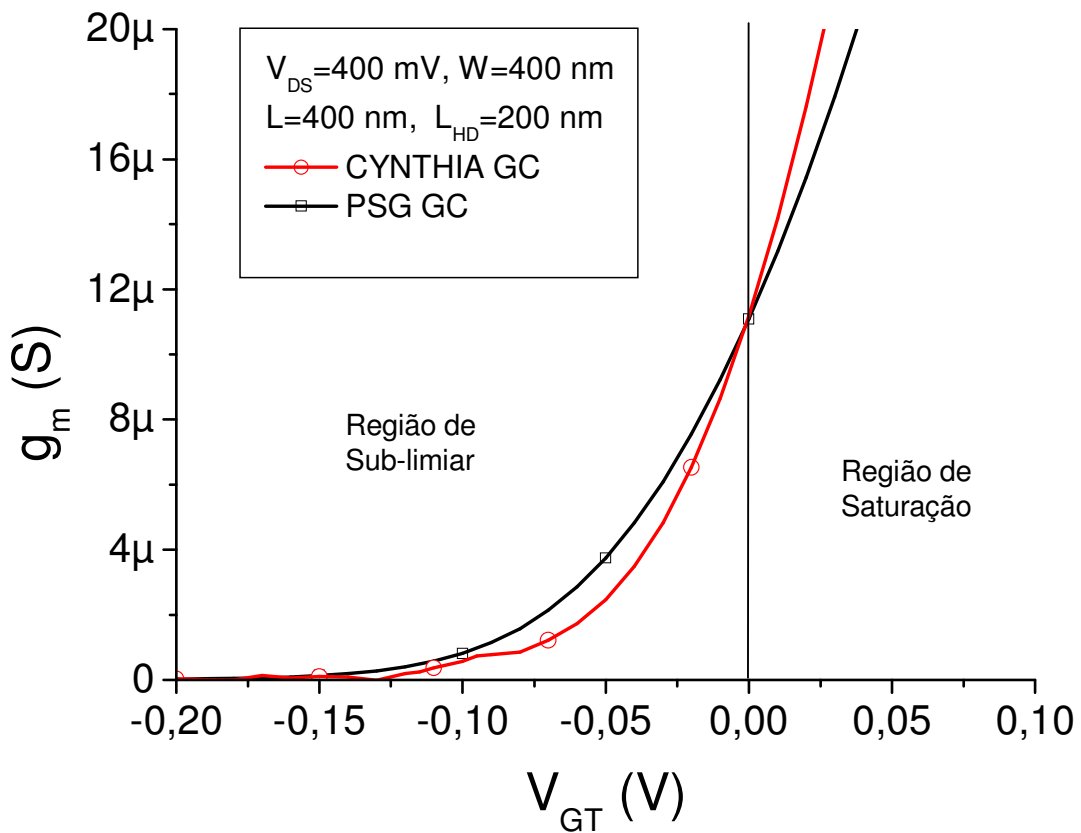


Figura 3.42: Vista ampliada da região de sub-limiar da curva da transcondutância em função da sobre-tensão de porta dos dispositivos PSG e CYNTHIA de canal gradual, para V_{DS} de 400 mV e L_{LD} de 200 nm.

Na Figura 3.42 observa-se que na região de sub-limiar o PSG GC possui maiores valores de transcondutância que o CYNTHIA GC, para um mesmo valor de sobre-tensão de porta, prevalecendo assim, o efeito de canto do PSG GC e mantendo-se a tendência observada na Figura 3.39, quando a tensão entre fonte e dreno era de 10 mV.

3.3.13 Razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA SOI nMOSFETs

A Figura 3.43 apresenta o gráfico da razão g_m/I_{DS} em função da sobretensão de porta, para tensão de dreno V_{DS} de 10 mV e mesmo W/L ($A_{PSG} < A_{CYN}$)..

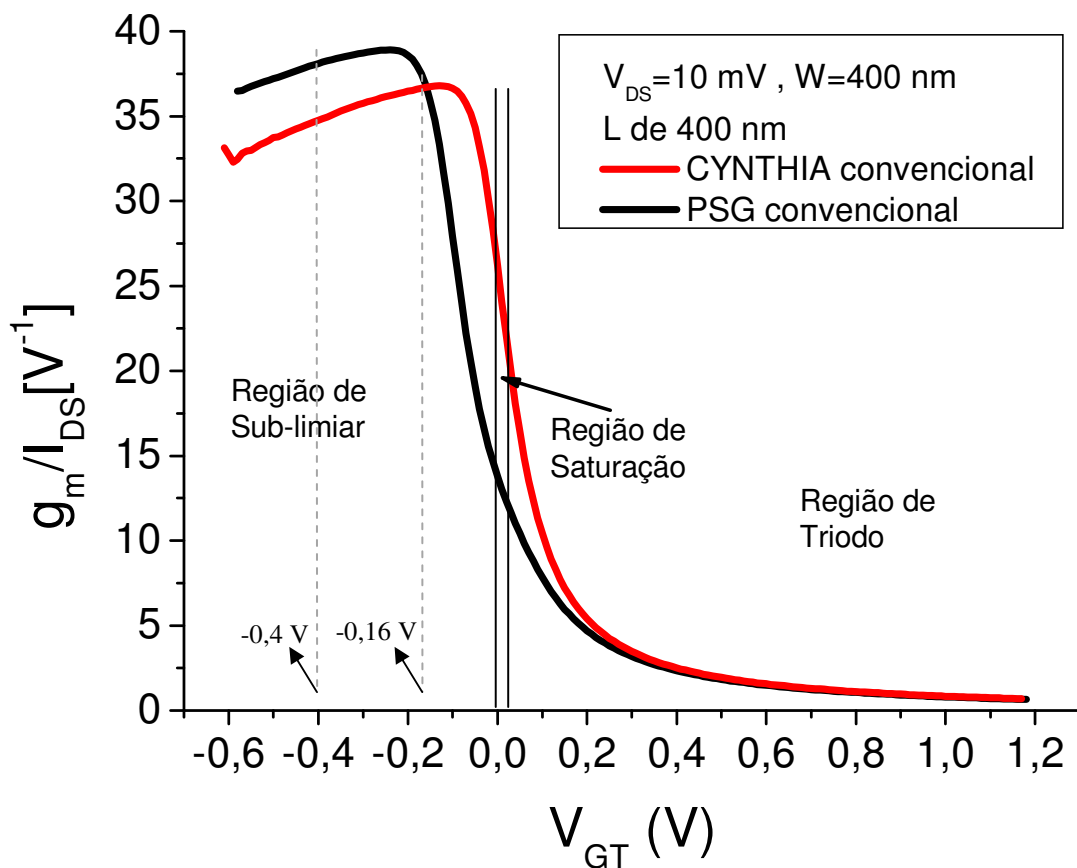


Figura 3.43: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal convencional, para V_{DS} de 10 mV.

Pode-se observar na Figura 3.43, o gráfico da razão g_m/I_{DS} em função da sobretensão de porta para dispositivos PSG e CYNTHIA com comprimento de canal de 400 nanômetros. Para os dispositivos com comprimento de canal de 200, 600 e 800 nanômetros foi verificado que, independentemente do comprimento de canal, o comportamento da relação g_m/I_{DS} dos nMOSFETs PSG é o mesmo em todas as regiões de operação. Observou-se ainda que este

comportamento se repete para os nMOSFETs CYNTHIA, em outras palavras, as curvas de g_m/I_{DS} , para diferentes valores de L , se sobrepõe em todas as regiões de operação.

Verifica-se também na Figura 3.43 que, na região de sub-limiar, ocorre um cruzamento entre a curva do transistor PSG, com a curva do transistor CYNTHIA. Até o ponto de cruzamento entre as curvas do PSG e do CYNTHIA (-0,16 V), ocorre uma superioridade da razão g_m/I_{DS} do nMOSFET PSG sobre o dispositivo CYNTHIA e, após o cruzamento, o CYNTHIA passa a ter maiores valores. Como exemplo, é apresentado a seguir a Tabela 3.12, que nos mostra os valores de g_m e de I_{DS} para uma sobretensão de porta (V_{GT}) de -0,4 V, bem como o respectivos resultados da razão g_m/I_{DS} para o PSG e para o CYNTHIA.

Tabela 3.12 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG e CYNTHIA de canal convencional para sobretensão de porta de -0,4 V.

$V_{GT} = -0,4 \text{ V}$	PSG	CYNTHIA
g_m	13,1E-12	2,9E-12
I_{DS}	345,0E-15	85,7E-15
g_m/I_{DS}	37,97	33,72

No exemplo da Tabela 3.12, pode-se verificar que o PSG possui, de fato, maior valor da relação g_m/I_{DS} do que o CYNTHIA e este comportamento se mantém até o ponto de cruzamento. Após o cruzamento, e em toda a região de saturação e região triodo, o CYNTHIA passa a possuir maiores valores da relação g_m/I_{DS} do que o PSG.

A Figura 3.44 apresenta o gráfico da razão g_m/I_{DS} em função da sobretensão de porta, para diferentes valores de tensão de dreno (V_{DS}).

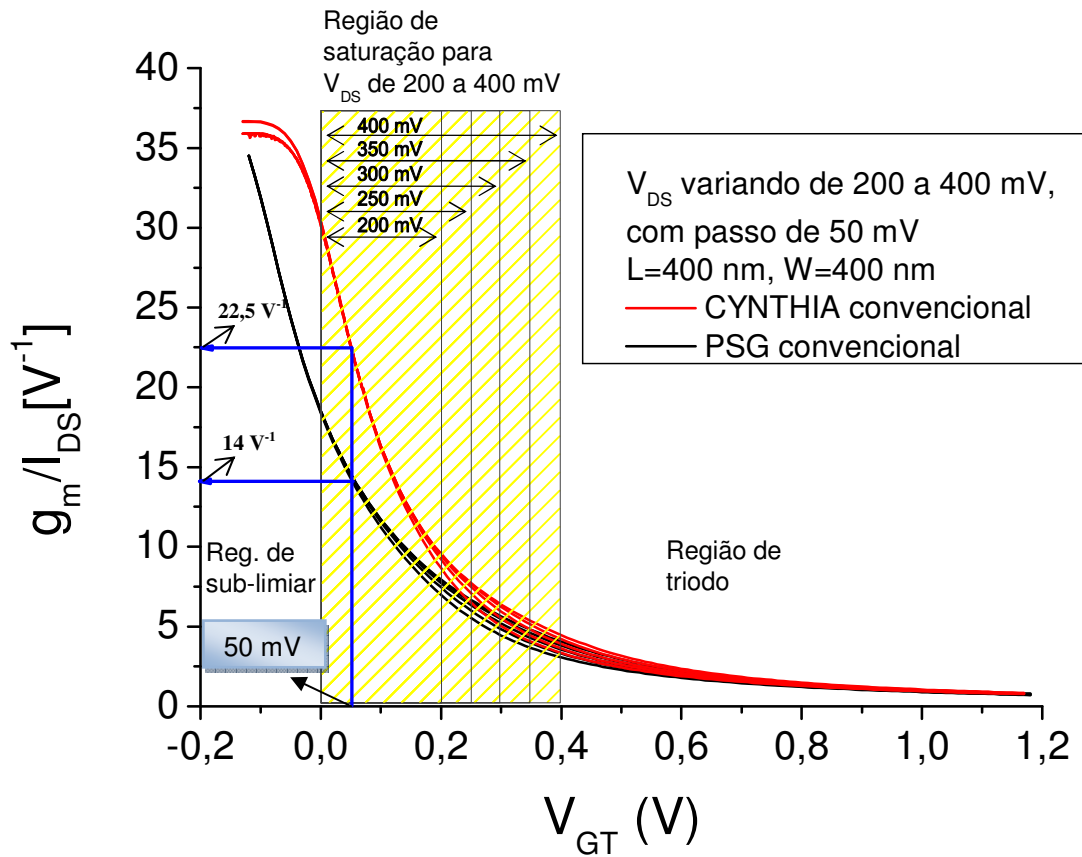


Figura 3.44: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA de canal convencional, para diferentes valores de V_{DS} .

Assim como observado na Figura 3.43, onde o dispositivo CYNTHIA apresentava superioridade de g_m/I_{DS} sobre o PSG nas regiões de triodo, saturação e em parte da região de sub-limiar, na Figura 3.44, observa-se que este comportamento se mantém para tensões de dreno entre 200 e 400 mV. Como exemplo, para uma sobretensão de porta de 50 mV, o PSG apresenta valor de g_m/I_{DS} de 14 V^{-1} enquanto o CYNTHIA apresenta g_m/I_{DS} de 22,5 V^{-1} , um aumento de mais de 50% e, a medida que V_{GT} diminui, essa diferença aumenta, chegando a uma diferença máxima de 12 V^{-1} quando V_{GT} está em aproximadamente zero volts, que representa um aumento de 75%.

3.3.14 Razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG e CYNTHIA SOI MOSFETs de canal gradual

A Figura 3.45 apresenta o gráfico da razão g_m/I_{DS} em função da sobretensão de porta dos nMOSFETs CYNTHIA GC e PSG GC, para tensão de dreno V_{DS} de 10 mV e mesmo W/L ($A_{PSG_GC} < A_{CYN_GC}$).

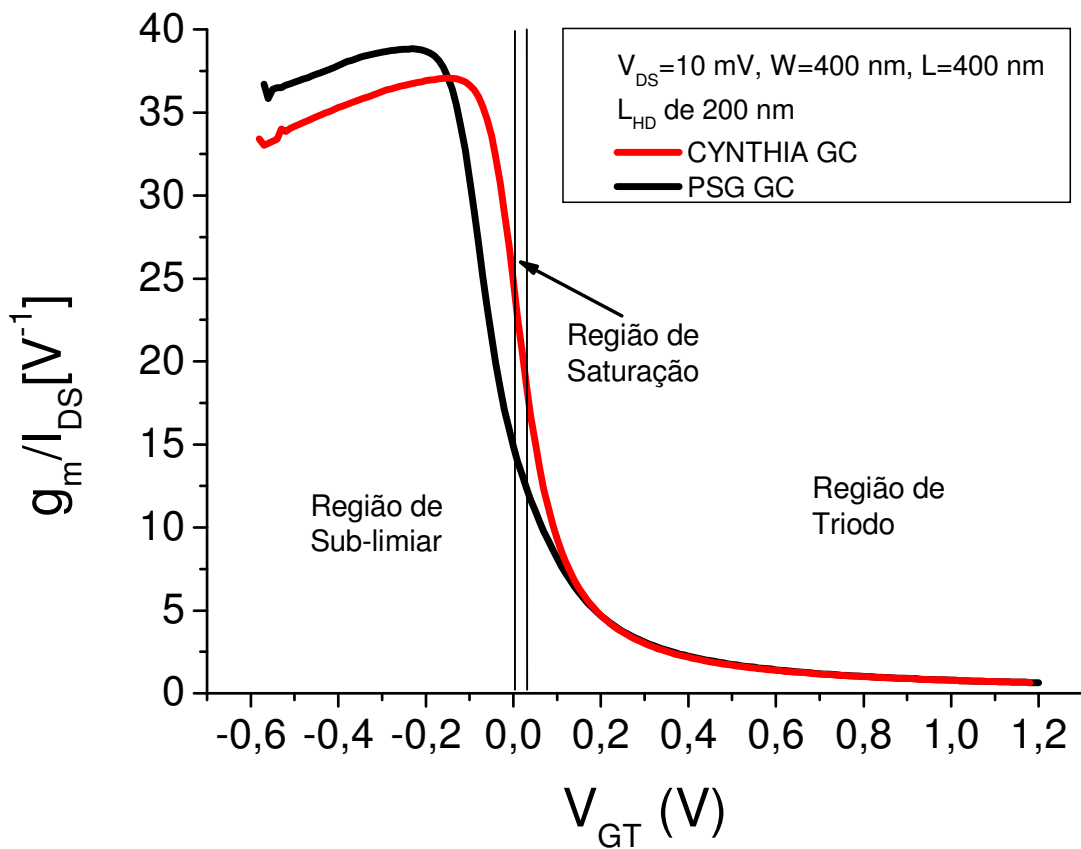


Figura 3.45: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta dos dispositivos PSG GC e CYNTHIA GC, para V_{DS} de 10 mV.

Pode-se observar na Figura 3.45, o gráfico da razão g_m/I_{DS} em função da sobretensão de porta para dispositivos PSG GC e CYNTHIA GC com comprimento de canal de 400 nanômetros e comprimento da região “high doped” (L_{HD}) de 200 nanômetros ($L_{LD}/L=0,5$). Para os dispositivos com o comprimento da região “high doped” de 250, 300 e 350 nanômetros foi verificado que, independentemente do comprimento da região “high doped”, o

comportamento da relação g_m/I_{DS} dos nMOSFETs PSG GC é praticamente a mesma em todas as regiões de operação. Observa-se ainda que este comportamento se repete para os nMOSFETs CYNTHIA GC, em outras palavras, as curvas de g_m/I_{DS} , para diferentes valores de L_{HD} , praticamente se sobrepõe em todas as regiões de operação.

Ainda na Figura 3.45 pode-se verificar que, na região de sub-limiar ocorre um cruzamento entre as curvas dos transistores PSG GC, com as curvas dos transistores CYNTHIA GC. Até o ponto de cruzamento entre as curvas dos dispositivos de canal gradual CYNTHIA e PSG (Aproximadamente -0,14 mV), ocorre uma superioridade da razão g_m/I_{DS} dos nMOSFETs PSG GC sobre os dispositivos nMOSFETs CYNTHIA GC e, após o cruzamento, o CYNTHIA GC passa a ter maiores valores de g_m/I_{DS} . Verifica-se também que, em toda a região de triodo e saturação, o CYNTHIA GC também possui maiores valores de g_m/I_{DS} do que o PSG GC.

A Figura 3.36 apresenta o gráfico da razão g_m/I_{DS} em função da sobre-tensão de porta do nMOSFET CYNTHIA GC e PSG GC, para tensão de dreno V_{DS} de 400 mV, L_{HD} de 200 nanômetros e mesma largura de canal ($A_{PSG_GC} < A_{CYN_GC}$).

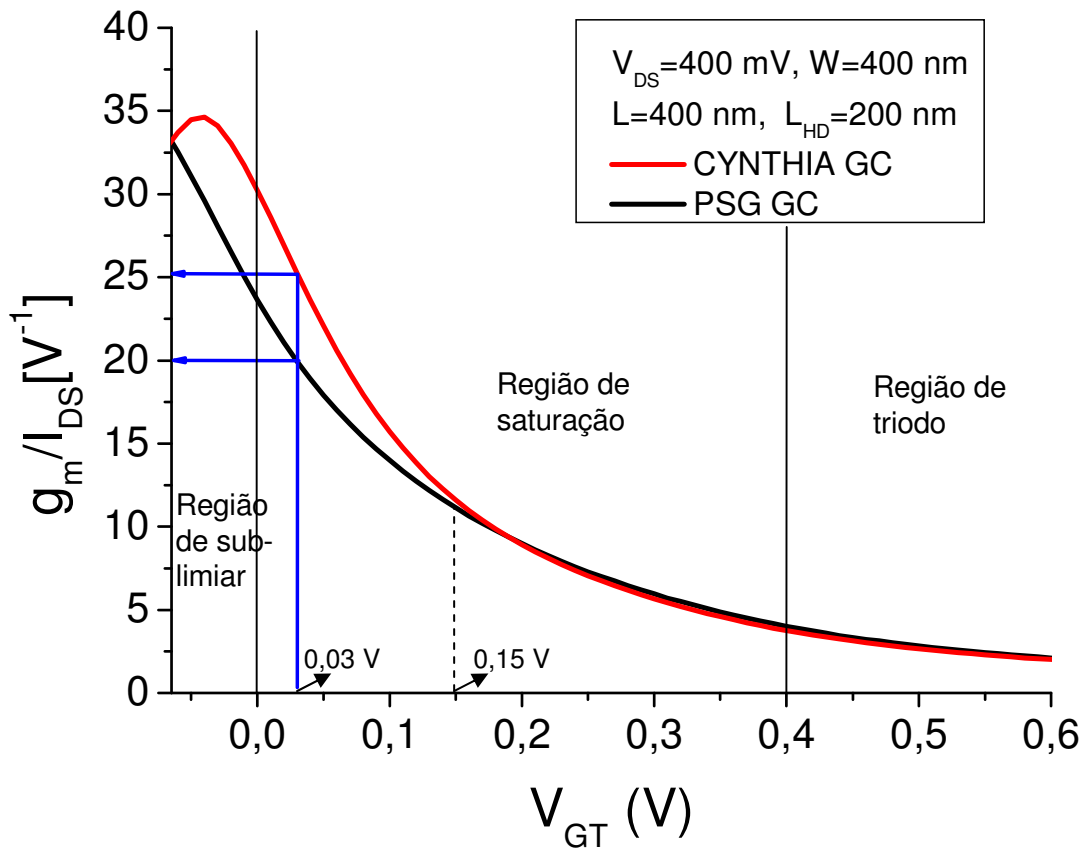


Figura 3.46: Gráfico da razão g_m/I_{DS} em função da sobretensão de porta do dispositivo PSG GC e CYNTHIA GC, para V_{DS} de 400 mV e L_{LD} de 200 nm.

Assim como observado na Figura 3.45, onde o dispositivo CYNTHIA GC apresentava superioridade sobre o PSG GC a partir do ponto de cruzamento, na Figura 3.46, verifica-se que este comportamento se mantém para tensão de dreno de 400 mV. Ou seja, na região de sub-limiar e em parte da região de saturação o CYNTHIA GC possui maiores valores de g_m/I_{DS} do que o PSG GC. Como exemplo, para uma sobretensão de porta de 30 mV, o PSG GC apresenta valor de g_m/I_{DS} de 20 V^{-1} , enquanto o CYNTHIA apresenta g_m/I_{DS} de 25 V^{-1} , um aumento de aproximadamente 25% e, a medida que V_{GT} diminui, essa diferença aumenta, chegando ao seu máximo valor de 7 V^{-1} quando V_{GT} está em aproximadamente zero Volts, que representa um aumento de 30,4%. Quando os valores de V_{GT} são maiores que 0,15 V, o valor de g_m/I_{DS} é praticamente o mesmo para ambos dispositivos até a região de triodo.

3.3.15 Razão g_m/I_{DS} em função da corrente de dreno normalizada em função da razão de aspecto dos dispositivos PSG e CYNTHIA SOI nMOSFETs

Finalmente, na Figura 3.47, é apresentada a curva de $g_m/I_{DS} \times I_{DS}/(W/L)$ dos nMOSFETs CYNTHIA e PSG, para diferentes valores de tensão entre fonte e dreno e com comprimento e largura de canal de 400 nm. Esta é a principal figura de mérito para desenvolvimento de projetos de circuitos integrados analógicos de baixa potência e baixa tensão (“low power-low voltage”) que, por sua vez, é objetivo deste trabalho de pesquisa.

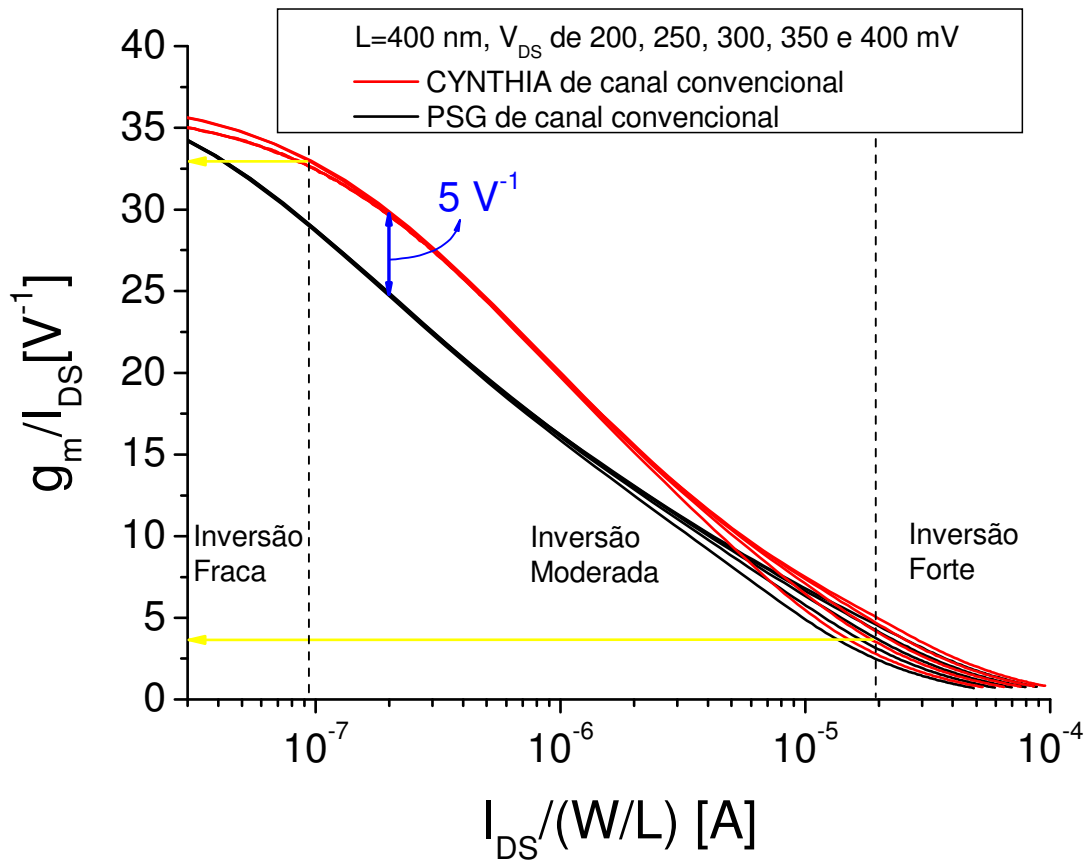


Figura 3.47: Gráfico da razão g_m/I_{DS} em função de I_{DS} normalizada em função de W/L dos dispositivos PSG e CYNTHIA de canal convencional, para diferentes valores de V_{DS} .

No gráfico apresentado na Figura 3.47, as regiões de inversão fraca, moderada e forte foram definidas a partir dos resultados do dispositivo CYNTHIA. Para a definição do início

da região de inversão moderada, foi considerado 90% do máximo valor de g_m/I_{DS} , e para o final da região de inversão moderada, foi considerado 10% do máximo valor de g_m/I_{DS} .

Como pode ser observado na Figura 3.47, o dispositivo CYNTHIA apresentou maiores valores de g_m/I_{DS} que o dispositivo PSG, fato observado principalmente próximo à interface entre as regiões de inversão fraca e moderada, e em toda a região de inversão moderada. Na região de inversão forte as curvas dos PSGs e dos CYNTHIAS se sobrepuseram, por esse motivo e, a fim de estudarmos mais detalhadamente esta curva, é apresentado na Figura 3.48, somente o gráfico de $g_m/I_{DS} \times I_{DS}/(W/L)$ do PSG e CYNTHIA com V_{DS} igual a 400 mV.

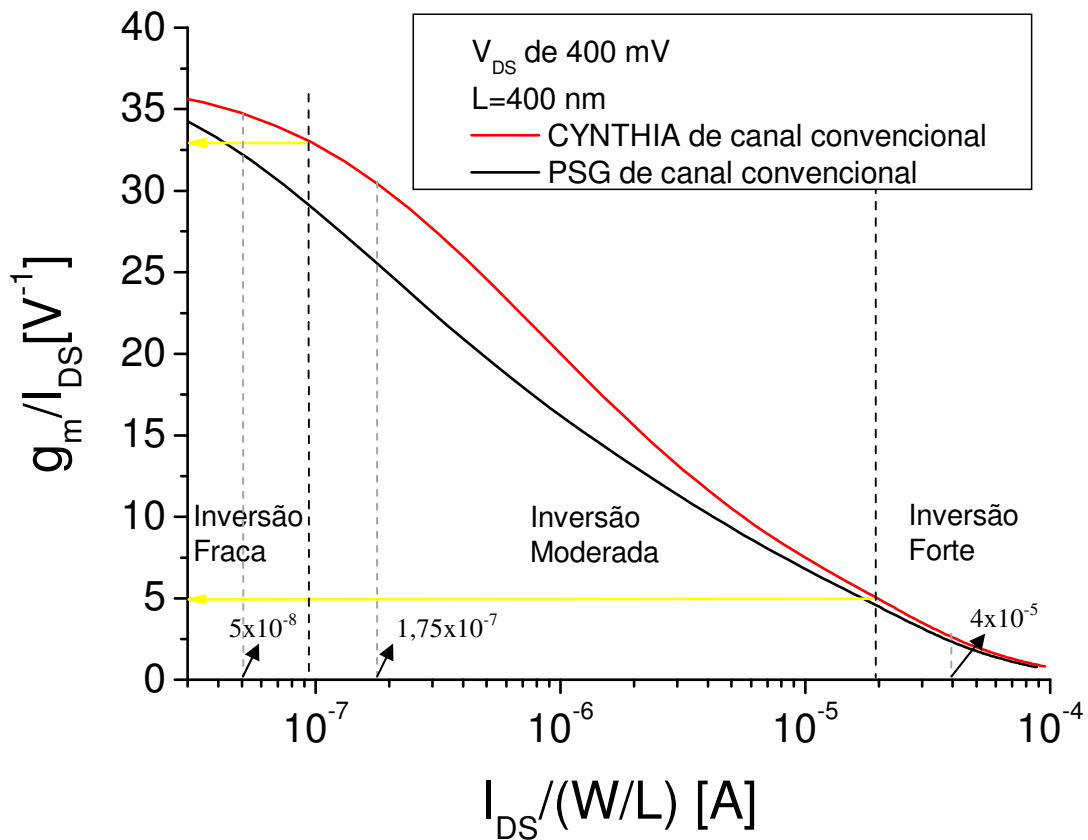


Figura 3.48: Gráfico da razão g_m/I_{DS} em função de I_{DS} normalizada em função de W/L dos dispositivos PSG e CYNTHIA de canal convencional, para V_{DS} igual a 400 mV.

No gráfico da Figura 3.48, pode-se verificar que na região de inversão forte o dispositivo CYNTHIA permanece com valores de g_m/I_{DS} maiores que os valores do dispositivo PSG, assim como ocorre em toda a região de inversão moderada e inversão fraca.

Com o objetivo de justificar esta superioridade dos dispositivos CYNTHIA sobre os dispositivos PSG, é apresentada a seguir a Tabela 3.13.

Tabela 3.13 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG e CYNTHIA de canal convencional nas regiões de inversão fraca, moderada e forte.

Região de Operação:	Inversão Fraca $I_{DS}/(W/L) = 5 \times 10^{-8}$		Inversão Moderada $I_{DS}/(W/L) = 1,75 \times 10^{-7}$		Inversão Forte $I_{DS}/(W/L) = 4 \times 10^{-5}$	
Dispositivo:	PSG	CYNTHIA	PSG	CYNTHIA	PSG	CYNTHIA
g_m	1,73E-6	1,71E-6	4,40E-6	5,47E-6	92,54E-6	103,93E-6
I_{DS}	54,2E-9	49,1E-9	170,5E-9	180,0E-9	40,7E-6	40,7E-6
g_m/I_{DS}	31,89	34,80	25,79	30,40	2,27	2,55
Ganho:	9,1%		17,9%		12,3%	

Como pode-se verificar na Tabela 3.13, de fato, em todas as regiões de operação, o dispositivo CYNTHIA possui maiores valores da relação g_m/I_{DS} quando comparado com os valores dos transistores PSG, considerando-se um mesmo valor de $I_{DS}/(W/L)$. Isso ocorre pois, apesar do PSG possuir maiores valores de g_m devido ao efeito de canto, do que o CYNTHIA até o valor de V_{GT} de aproximadamente 0,2 V na região de inversão fraca [Figura 3.49(a)], os valores de I_{DS} em modo de inversão do CYNTHIA são muito menores que os valores do PSG [Figura 3.49(b)] (escala logarítmica), resultando em maiores valores de g_m/I_{DS} quando comparado com os valores de g_m/I_{DS} dos transistores PSG. Já nas regiões de inversão moderada e forte, o CYNTHIA possui maiores valores de g_m do que o PSG [Figura 3.49(a)] e, como os valores de I_{DS} de ambos são muito próximos [Figura 3.49(b)], logo, nestas regiões, os valores de g_m/I_{DS} do CYNTHIA continuam superiores aos valores do PSG. Este mesmo comportamento se verifica para valores de V_{DS} de 200, 250, 300 e 350 mV.

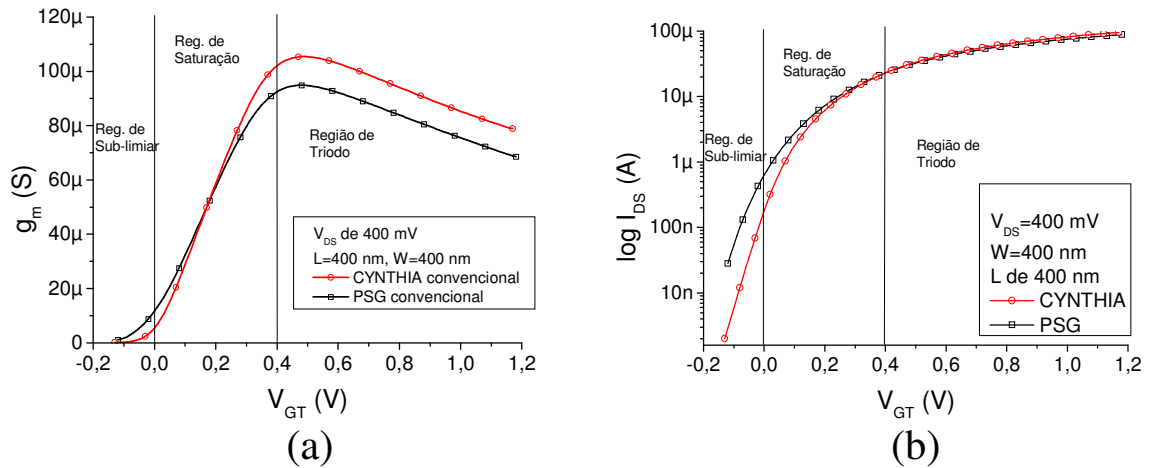


Figura 3.49: Gráficos de g_m (a) e do $\log I_{DS}$ (b), ambos em função de V_{GT} para os dispositivos PSG e CYNTHIA de canal convencional, para W e L iguais a 400 nanômetros e V_{DS} igual a 400 mV.

Ainda na Figura 3.47, para dispositivos com mesma relação W/L , que implica em uma área da seção transversal do canal 27,5% maior do CYNTHIA comparada a mesma área do PSG, para valores de $I_{DS}/(W/L)$ em 2×10^{-7} A como exemplo, o CYNTHIA possui valor de g_m/I_{DS} de aproximadamente 30 V^{-1} enquanto o PSG possui valor de aproximadamente 25 V^{-1} , ou seja, o transistor CYNTHIA possui um valor de g_m/I_{DS} 20% maior do que o PSG. Como explicado anteriormente, essa diferença se deve ao fato do transistor CYNTHIA possuir maior valor de transcondutância que o transistor PSG, como pode ser observado no gráfico da Figura 3.38. Na região de inversão forte, observa-se uma tendência dos valores de g_m/I_{DS} se aproximarem a um valor comum. Portanto, o transistor CYNTHIA possui um melhor controle sobre o canal do que o transistor PSG, pois este último está sob influência do efeito de canto (região de sub-limiar) e da resistência série de fonte e dreno (região de saturação).

3.3.16 Razão g_m/I_{DS} em função da corrente de dreno normalizada em função da razão de aspecto dos dispositivos PSG e CYNTHIA SOI nMOSFETs de canal gradual

Na Figura 3.50, é apresentada a curva de $g_m/I_{DS} \times I_{DS}/(W/L)$ do nMOSFET CYNTHIA e PSG de canal gradual, para um comprimento da região de “low doped” de 200 nanômetros, V_{DS} igual a 400 mV e mesma largura de canal ($A_{PSG_GC} < A_{CYN_GC}$). Esta importante figura de mérito é fundamental para o desenvolvimento de projetos de circuitos integrados analógicos no uso dos dispositivos CYNTHIA e PSG.

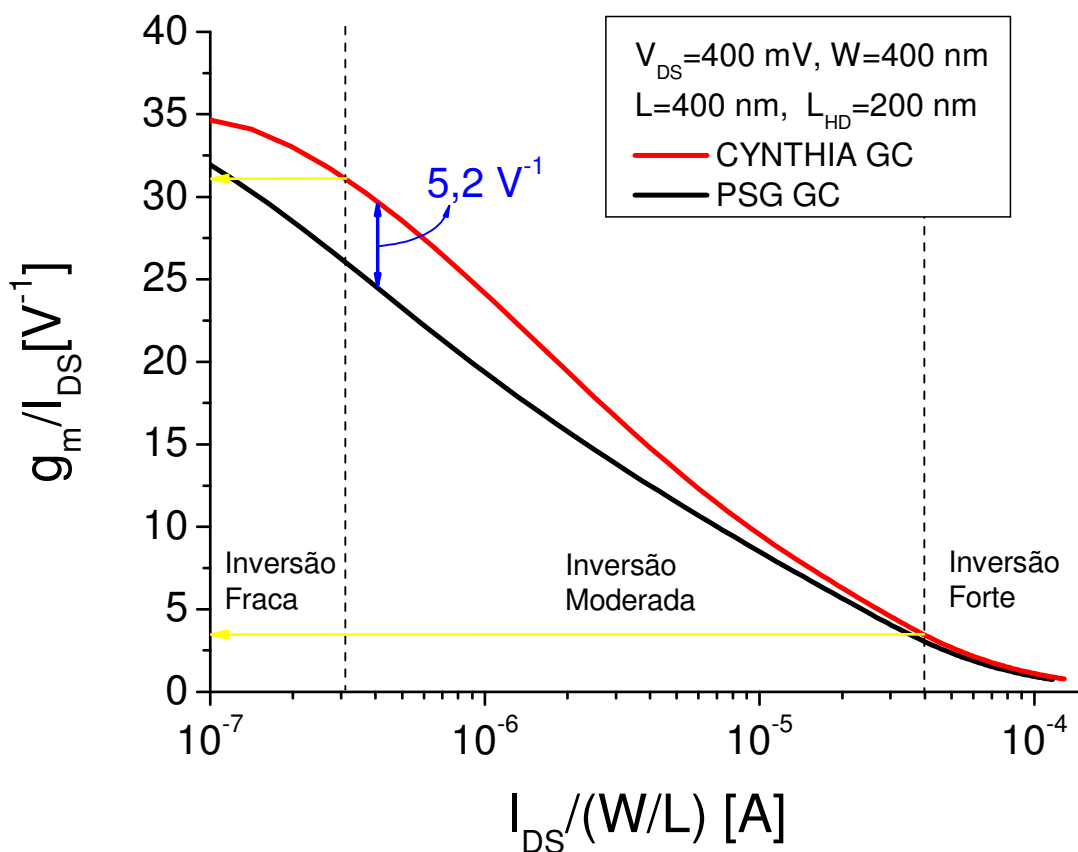


Figura 3.50: Gráfico da razão g_m/I_{DS} em função de I_{DS} normalizada em função de W/L dos dispositivos PSG GC e CYNTHIA GC, para V_{DS} de 400 mV e L_{LD} de 200 nm.

No gráfico apresentado na Figura 3.50, assim como para o gráfico dos dispositivos convencionais (Figura 3.47), as regiões de inversão fraca, moderada e forte foram definidas a

partir dos resultados do dispositivo CYNTHIA GC. Para a definição do início e término das regiões de operação foram utilizados os mesmos critérios utilizados nos dispositivos de canal convencional, porém para os dispositivos de canal gradual.

Como pode ser observado na Figura 3.50, o dispositivo CYNTHIA GC apresentou maiores valores de relação g_m/I_{DS} que o dispositivo PSG GC, fato observado principalmente no final da região de inversão fraca, em toda a região de inversão moderada e, de forma menos contundente, na região de inversão forte.

Com o objetivo de justificar esta superioridade dos dispositivos CYNTHIA GC sobre os dispositivos PSG GC, é apresentada a seguir a Tabela 3.14.

Tabela 3.14 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG GC e CYNTHIA GC nas regiões de inversão fraca, moderada e forte.

Região de Operação:	Inversão Fraca $I_{DS}/(W/L) = 2 \times 10^{-7}$		Inversão Moderada $I_{DS}/(W/L) = 1,1 \times 10^{-6}$		Inversão Forte $I_{DS}/(W/L) = 5 \times 10^{-5}$	
Dispositivo:	PSG GC	CYNTHIA GC	PSG GC	CYNTHIA GC	PSG GC	CYNTHIA GC
g_m	6,09E-6	6,53E-6	20,61E-6	25,59E-6	117,66E-6	133,83E-6
I_{DS}	217,0E-9	197,5E-9	1,1E-6	1,1E-6	49,8E-6	50,3E-6
g_m/I_{DS}	28,06	33,07	18,89	23,63	2,36	2,66
Ganho:	17,9%		25,1%		12,5%	

Como pode-se verificar na Tabela 3.14, de fato, em todas as regiões de operação, o dispositivo CYNTHIA GC possui maiores valores da relação g_m/I_{DS} quando comparado com os valores dos transistores PSG GC, considerando-se um mesmo valor de $I_{DS}/(W/L)$. Assim como nos dispositivos de canal convencional, isso ocorre pois, como o PSG possui menores valores de g_m do que o CYNTHIA GC até o valor de V_{GT} de aproximadamente 0 V na região de inversão fraca [Figura 3.51(a)] e os valores de I_{DS} do CYNTHIA GC são muito menores que os valores do PSG GC [Figura 3.51(b)] (escala logarítmica), resulta assim em maiores valores de g_m/I_{DS} quando comparado com os valores dos transistores PSG GC. Já nas regiões de inversão moderada e forte, o CYNTHIA GC também possui maiores valores de g_m do que o PSG GC [Figura 3.51(a)] e, como os valores de I_{DS} de ambos são muito próximos [Figura 3.51(b)], logo, nestas regiões, os valores de g_m/I_{DS} do CYNTHIA GC continuam superiores aos valores do PSG GC.

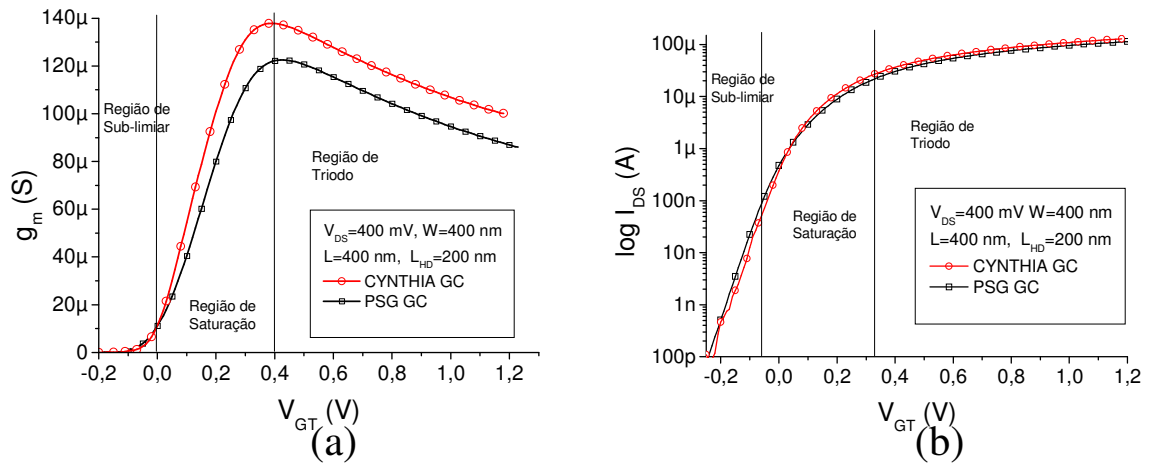


Figura 3.51: Gráficos de g_m (a) e do $\log I_{DS}$ (b), ambos em função de V_{GT} para os dispositivos PSG GC e CYNTHIA GC, para W e L iguais a 400 nanômetros, L_{HD} igual a 200 nanômetros e V_{DS} igual a 400 mV.

Ainda na Figura 3.50, como exemplo, para valores de $I_{DS}/(W/L)$ em 3×10^{-6} A, o CYNTHIA GC possui valor de g_m/I_{DS} de aproximadamente 30 V^{-1} enquanto o PSG possui valor de aproximadamente $24,8 \text{ V}^{-1}$, uma diferença de $5,2 \text{ V}^{-1}$ ou aproximadamente 20%. Conforme explicado anteriormente, essa diferença se deve ao fato do transistor CYNTHIA GC possuir maior valor de transcondutância e g_m/I_{DS} que o transistor PSG GC, como pode ser observado no gráfico da Figura 3.41. Na região de inversão forte, observa-se uma tendência dos valores de g_m/I_{DS} se aproximarem a um valor comum.

3.3.17 Comparação entre os resultados de $g_m/I_{DS} \times I_{DS}/(W/L)$ dos dispositivos de canal convencional com os dispositivos de canal gradual

Na Figura 3.52, é apresentada a curva de $g_m/I_{DS} \times I_{DS}/(W/L)$ dos nMOSFETs CYNTHIA e PSG de canais convencionais e graduais, para V_{DS} igual a 400 mV, com o mesmo comprimento de canal igual a 400 nanômetros, a mesma largura de canal de 400 nanômetros e conseqüentemente mesma relação W/L que, por sua vez, implica em uma área da seção transversal do canal dos dispositivos CYNTHIA 27,5% maior que esta mesma área dos dispositivos PSG.

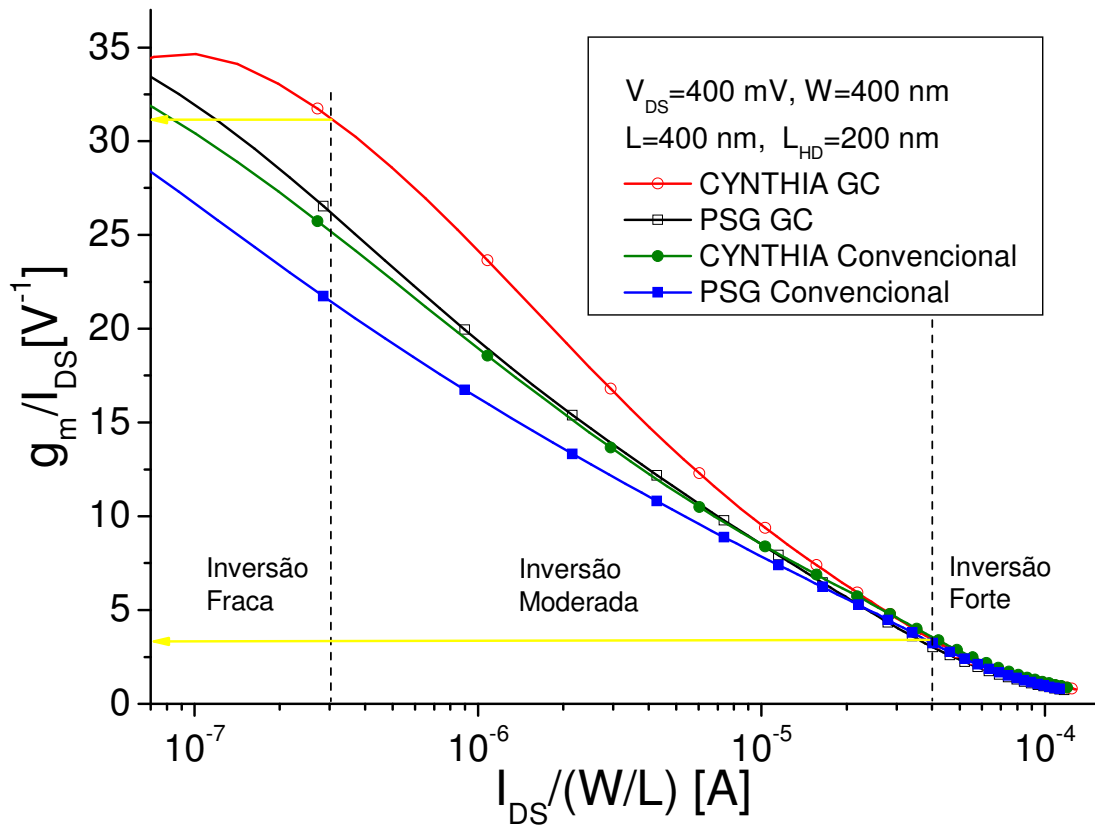


Figura 3.52: Gráfico da razão $g_m/I_{DS} \times I_{DS}/(W/L)$ dos dispositivos PSG e CYNTHIA de canais convencional e gradual.

Como pode ser observado na Figura 3.52, os dispositivos de canal gradual apresentaram maiores valores de relação g_m/I_{DS} que os dispositivos de canal convencional, fato observado principalmente no final da região de inversão fraca e em praticamente toda a região de inversão moderada. Na região de inversão forte, pode-se observar que os valores de g_m/I_{DS} de todos os dispositivos tendem a convergir para um mesmo valor. Para mostrar mais detalhadamente o comportamento desta região é apresentada na Figura 3.53 uma vista ampliada da interface entre as regiões de inversão moderada e forte, para as mesmas condições de operação da figura anterior.

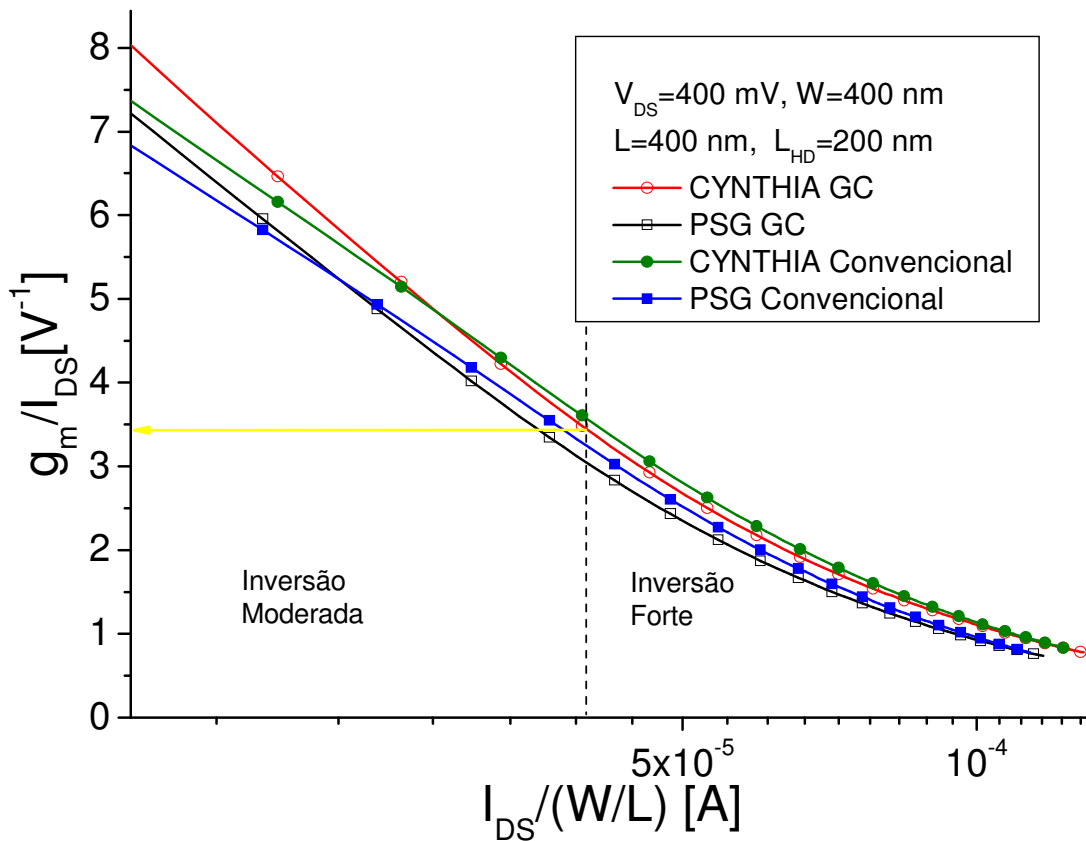


Figura 3.53: Vista ampliada da interface entre as regiões de inversão moderada e forte do gráfico de g_m/I_{DS} x $I_{DS}/(W/L)$ dos dispositivos PSG e CYNTHIA de canais convencional e gradual.

Na vista ampliada apresentada na Figura 3.53, podemos observar que, na interface entre a região de inversão moderada e a região de inversão forte, os dispositivos de canal convencional passam a possuir maiores valores da razão g_m/I_{DS} que os dispositivos de canal gradual.

Com o objetivo de justificar este comportamento dos dispositivos em cada região de operação, é apresentada a seguir a Tabela 3.14.

Tabela 3.15 – Exemplo de valores de g_m/I_{DS} para os dispositivos PSG e CYNTHIA de canais convencional e gradual nas regiões de inversão fraca, moderada e forte.

Região de Operação:	Inversão Fraca $I_{DS}/(W/L) = 2 \times 10^{-7}$				Inversão Moderada $I_{DS}/(W/L) = 1,1 \times 10^{-6}$				Inversão Forte $I_{DS}/(W/L) = 5 \times 10^{-5}$			
Dispositivo:	PSG	PSG GC	CYN	CYN GC	PSG	PSG GC	CYN	CYN GC	PSG	PSG GC	CYN	CYN GC
g_m	6,37E-6	6,09E-6	8,74E-6	6,53E-6	16,85E-6	20,61E-6	23,14E-6	25,59E-6	93,79E-6	117,66E-6	104,76E-6	133,83E-6
I_{DS}	277,1E-9	217,0E-9	319,7E-9	197,5E-9	1,1E-6	1,1E-6	1,2E-6	1,1E-6	37,0E-6	49,8E-6	37,6E-6	50,3E-6
g_m/I_{DS}	22,99	28,06	27,33	33,07	15,96	18,89	18,56	23,63	2,53	2,36	2,79	2,66
Ganho:	18,0%		17,4%		15,5%		21,5%		-7,2%		-4,8%	

Como pode-se verificar na Tabela 3.15, de fato, nas regiões de inversão fraca e moderada os dispositivos de canal gradual possuem maiores valores da relação g_m/I_{DS} do que os dispositivos de canal convencional. Na região de inversão fraca, esta superioridade dos dispositivos GC ocorre devido ao valor da corrente de dreno ser muito menor que a corrente de dreno dos PSG, por outro lado, na região de inversão moderada, a superioridade dos GCs se justifica pelo seu maior valor de transcondutância. Já na região de inversão forte, como observado no gráfico da Figura 3.53, os dispositivos de canal convencional possuem maiores valores de g_m/I_{DS} do que os dispositivos de canal gradual pois, como pode-se observar na Tabela 3.15, apesar dos dispositivos GC possuírem maiores valores de transcondutância, suas correntes de dreno são muito maiores que as correntes de dreno dos dispositivos de canal convencional, resultando assim, em maiores valores de g_m/I_{DS} dos dispositivos de canal convencional do que os valores dos dispositivos de canal gradual.

4 CONCLUSÕES E SEQUÊNCIA DO TRABALHO

O objetivo deste trabalho de pesquisa foi realizar o estudo comparativo entre os nMOSFETs “Pillar Surrounding Gate” e o CYNTHIA, ambos com tecnologia de canal convencional e de canal gradual (GC), visando aplicações em circuitos integrados analógicos, considerando uma mesma razão de aspecto (W/L). Para tanto, foram realizadas uma série de simulações numéricas tridimensionais com o “software” ATLAS [17]. Foram estudadas várias características destes dispositivos, como a resistência série de fonte e dreno, a tensão de limiar V_{TH} , curva $I_{DS} \times V_{GT}$, a inclinação de sub-limiar, a transcondutância, g_m/I_{DS} , e por fim a razão g_m/I_{DS} em função da razão da corrente de dreno sobre a razão de aspecto, a partir da curva característica $I_{DS} \times V_{GS}$. Esta última característica é uma importante figura de mérito utilizada para o desenvolvimento de projetos de circuitos integrados analógicos de baixa potência e baixa tensão (“low power-low voltage”), onde geralmente, polarizam-se os transistores nas regiões de inversão fraca e moderada, para se alcançar um bom compromisso entre ganho de tensão de malha aberta e frequência de ganho de tensão unitário.

Neste estudo, foram utilizados dois conjuntos de transistores para simulação. No primeiro conjunto, com nMOSFETs PSG e CYNTHIA de canal convencional, foi obtida a curva $I_{DS} \times V_{GS}$, variando-se o comprimento, a largura de canal e a tensão entre fonte e dreno. No segundo conjunto de dispositivos, com nMOSFETs PSG e CYNTHIA com tecnologia de canal gradual, também foi obtida a curva $I_{DS} \times V_{GS}$, porém variou-se o comprimento da região “low doped”, onde a largura de canal foi mantida em 400 nanômetros. Como estes dispositivos apresentaram diferenças de tensão de limiar (V_{TH}), portanto, as curvas características foram normalizadas em função da sobretensão de porta ($V_{GT} = V_{GS} - V_{TH}$).

Verificou-se que os transistores PSG possuem maiores valores de resistência série quando comparados com os CYNTHIAS, considerando-se mesma razão de aspecto (W/L). A resistência série entre fonte e dreno obtida para o PSG é 421 Ω , enquanto que a resistência série entre fonte dreno do CYNTHIA é 364 Ω , ou seja, aproximadamente 13,5% menor que a resistência do PSG. Isso ocorre porque a resistência série de fonte e dreno é inversamente proporcional à área da seção transversal das regiões de fonte e dreno, e como o CYNTHIA possui uma maior área para manter o mesmo valor da relação W/L , logo o CYNTHIA apresenta uma menor resistência série de fonte e dreno do que o PSG. Já nos transistores de canal gradual, a resistência série de fonte e dreno possui o mesmo valor que a resistência série

de fonte e dreno dos dispositivos de canal convencional, pois as dimensões das regiões de fonte e dreno são exatamente as mesmas, assim como a concentração de dopantes nessas regiões. Entretanto, foram extraídos os valores de resistência série total dos dispositivos de canal gradual, e verificou-se então o comportamento desta resistência variando-se o comprimento das regiões “low doped” e “high doped”. Quando o comprimento da região “low doped” é máximo, a resistência série total dos dispositivos (resistência de fonte e dreno + resistência do canal) é mínima e, quando o comprimento da região “low doped” é mínimo, a resistência série total é máxima. Este comportamento justifica-se pois a região “low doped” já está invertida para as condições de polarização estudadas, logo, quando o canal é constituído em sua totalidade por esta região, sua resistência série total é menor do que quando constituído em sua totalidade pela região “high doped”.

Os dispositivos nMOSFETs PSG de seção transversal quadrada apresentam valores de tensão de limiar (V_{TH}) inferiores aos nMOSFETs CYNTHIA, independentemente do comprimento de canal e da tecnologia utilizada, canal convencional ou gradual. Este resultado evidencia o surgimento do efeito de canto dos transistores PSG pois, nos cantos do PSG ocorre a sobreposição de dois campos elétricos, determinando assim, um menor valor de tensão de limiar. Verificou-se também que, para comprimentos de canal menores, ocorre o surgimento do efeito de canal curto e este efeito é potencializado nos dispositivos PSG devido ao efeito de canto no canal.

Apesar de o PSG possuir menor valor de tensão de limiar que o CYNTHIA, a curva $I_{DS} \times V_{GT}$ mostrou que, para mesma tensão de porta e operando na região de triodo, os transistores CYNTHIA possuem corrente entre os terminais de fonte e dreno superior, quando comparados aos nMOSFETs PSG, independentemente do comprimento de canal e da tecnologia utilizada, canal convencional ou gradual. Como a resistência série das regiões de fonte e dreno do transistor CYNTHIA (364Ω) é menor comparada à resistência série de fonte e dreno do PSG (421Ω), logo a corrente entre fonte e dreno do CYNTHIA é maior, pois nesses estudos foi fixado a razão de aspecto (W/L), o que acarretou em uma maior área de seção transversal das regiões de fonte e dreno do CYNTHIA em relação ao PSG (27,5%).

Quando analisada a inclinação de sub-limiar, verificou-se que os transistores PSG possuíam menores valores de inclinação de sub-limiar que os CYNHTIAs, independentemente da tecnologia utilizada, canal convencional ou gradual. Os transistores PSG possuem inclinação de sub-limiar de aproximadamente 60,5 mV/dec. em média, enquanto os transistores CYNTHIA possuem valores de aproximadamente 63,8 mV/dec. em média, uma diferença de aproximadamente 5%. Este comportamento se explica, devido à

sobreposição de campos elétricos nas regiões próximas aos cantos no canal do PSG, forma-se então, uma maior região de depleção nesta região e, conseqüentemente, maior atração dos portadores minoritários próximo à porta. Assim, o mecanismo de difusão dos portadores minoritários no PSG é mais acentuado quando comparado ao nMOSFET CYNTHIA, logo o PSG possui menor inclinação de sub-limiar que o CYNTHIA.

Os valores obtidos para a transcondutância nos dispositivos CYNTHIA e PSG de canal convencional variou de acordo com a região de operação. Na região de sub-limiar e em parte da região de saturação, o PSG apresentou maiores valores que o CYNTHIA, pois nessa região prevalece o efeito de canto do dispositivo PSG, por outro lado, no restante da região de saturação e em toda a região de triodo, os dispositivos CYNTHIA apresentaram maiores valores, prevalecendo nesta região o efeito da menor resistência série de fonte e dreno do CYNTHIA. Já a transcondutância máxima do CYNTHIA é aproximadamente 11% superior à transcondutância máxima do PSG.

A curva da transcondutância dos nMOSFETs CYNTHIA GC e PSG GC mostrou que quanto maior a região L_{LD} , maior será a transcondutância do dispositivo. Como a transcondutância é função direta da corrente e a corrente I_{DS} do CYNTHIA GC é maior do que a corrente I_{DS} do PSG GC, logo sua transcondutância também é maior. Assim como nos dispositivos de canal convencional, também verificamos que, a transcondutância máxima do CYNTHIA GC é aproximadamente 12% superior à transcondutância máxima do PSG GC. Esta superioridade dos dispositivos CYNTHIA sobre os PSGs na transcondutância máxima, se explica devido à menor resistência série de fonte e dreno do CYNTHIA, quando comparada à resistência série de fonte e dreno do PSG, o que implica em uma maior corrente I_{DS} do CYNTHIA e, conseqüentemente, em uma maior transcondutância comparada com o PSG, independentemente da tecnologia do canal utilizada. Este comportamento foi verificado nas regiões de triodo e em toda a região de saturação, já na região de sub-limiar, assim como com os dispositivos de canal convencional, verificou-se uma superioridade do PSG, novamente devido ao efeito de canto no canal do dispositivo.

A análise de g_m/I_{DS} em função da sobretensão de porta mostrou superioridade do CYNTHIA nMOSFET de canal convencional em relação ao PSG nMOSFET de canal convencional, considerando-se mesmo W/L e com relação L_{LD}/L de 0,5, ou seja comprimento da região “high doped” de 200 nanômetros. Esta superioridade foi de aproximadamente 50% do CYNTHIA em relação ao PSG, para sobretensão de porta de 50 milivolts. Já para os dispositivos de canal gradual esta superioridade do CYNTHIA foi de aproximadamente 25%.

Finalmente, foi extraída a curva de g_m/I_{DS} , em função da corrente de dreno normalizada em função da razão de aspecto dos transistores CYNTHIA e PSG de canal convencional e gradual. Independentemente da tecnologia do canal, foi verificada grande superioridade dos dispositivos CYNTHIA sobre os PSGs no final da região de inversão fraca, em toda a região de inversão moderada e, com menor diferença, na região de inversão forte. Como apresentado nas Tabelas 3.13 e 3.14, em todas as regiões de operação os dispositivos CYNTHIA possuem, de fato, maiores valores na relação g_m/I_{DS} quando comparados aos dispositivos PSG.

Em grande parte dos resultados obtidos através desta pesquisa pode-se observar que os nMOSFETs CYNTHIA, seja ele de canal convencional ou de canal gradual, apresentam melhores características que os nMOSFETs PSG de canal convencional ou gradual. Esta conclusão fica explicitamente evidenciada quando analisamos a curva de $g_m/I_{DS} \times I_{DS}/(W/L)$, onde nos dois casos, ou seja, considerando-se o canal convencional e o canal gradual, o transistor CYNTHIA mostrou-se melhor que o PSG em todas as regiões de regime de inversão. Esta curva é de fundamental importância para o projeto de circuitos integrados analógicos, onde, através desta curva, o projetista poderá determinar as dimensões dos transistores. Assim, pode-se concluir que os dispositivos CYNTHIA, sejam eles de canal convencional ou canal gradual, são uma excelente alternativa para aplicações de circuitos integrados analógicos.

Quando comparados os valores de g_m/I_{DS} dos transistores de canal convencional com os de canal gradual, verificou-se que os dispositivos de canal gradual possuem maiores valores de g_m/I_{DS} do que os dispositivos de canal convencional, na região de inversão fraca e em grande parte da região de inversão moderada. Na região de inversão forte os dispositivos de canal convencional apresentaram maiores valores que os CYNTHIAS.

Portanto, é recomendado o uso dos dispositivos CYNTHIA e PSG de canal gradual para aplicações analógicas com alto ganho de tensão de malha aberta e baixa frequência de ganho unitário (inversão fraca), e também para aplicações analógicas de baixa tensão e baixa potência, com bom compromisso de ganho de tensão de malha aberta e frequência de ganho unitário (inversão moderada). Já na região de inversão forte, onde pode-se usá-la para obter altas frequências de ganho unitário e baixo ganho de tensão de malha aberta, é recomendado o uso dos dispositivos CYNTHIA e PSG de canal convencional.

Como sugestões de sequência para esta pesquisa, pode-se realizar um estudo para se determinar o quanto é possível reduzir a área da seção transversal do CYNTHIA, de tal forma a se alcançar o mesmo valor de g_m/I_{DS} do PSG. Outra sugestão é o estudo do processo de

fabricação destes dispositivos e, caso esta fabricação venha a ser concretizada, pode-se realizar um estudo semelhante a este apresentado, porém com medições dos dispositivos reais. Pode-se ainda realizar um estudo destes dispositivos aplicados em um circuito integrado analógico, além do estudo das características digitais destes dispositivos.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] SEDRA, Adel S.; Smith, Kenneth C. **Microeletrônica**. São Paulo: *Pearson Education do Brasil*, 2000

- [2] MARTINO, JOÃO A.; PAVANELO, MARCELO A.; VERDONCK, PATRICK B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. 1º ed. São Paulo: *Pioneira Thomson Learning*, 2003.

- [3] COLINGE, J.- P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3º ed. Boston: *Kluwer Academic Publishers*, 2004.

- [4] COLINGE, J.- P. **Multi-gate SOI MOSFETs**. *Microelectronic Engineering* 84 (2007) 2071-2076.

- [5] PARK, J.- T.; COLINGE, J.- P. **Multiple-Gate SOI MOSFETs: Device Design Guidelines**. *IEEE Transactions on Electron Devices*, v. 49, n. 12, p. 2222-2229, 2002.

- [6] COLINGE, J.- P.; ROMANO-RODRÍGUEZ, A.; MAES, H.; CLAEYS, C. **Silicon-On-Insulator “Gate-All-Around Device”**. *IEDM*, p. 595-598, 1990.

- [7] COLINGE, J.- P. **FinFETs and Other Multi-Gate Transistors**. 1º ed., *Springer*, 2008.

- [8] NITAYAMA, A.; TAKATO, H.; OKABE, N.; SUNOUCHI, K.; HIEDA, K.; HORIGUCHI, F.; MASUOKA, F. **Multi-Pillar Surrounding Gate Transistor (M-SGT) for Compact and High-Speed Circuits**. *IEEE Transactions on Electron Devices*, v. 38, n. 3, p. 579-583, March 1991.

- [9] KRANTI, A.; HALDAR, S.; GUPTA, R. S. **Analytical model for threshold voltage and I-V characteristics of fully depleted short channel cylindrical/surrounding gate MOSFET**. *Microelectronic Engineering*, 56, p. 241-259, October 2000.

- [10] AUTH, C. P.; PLUMMER, J. D. **Scaling Theory for Cylindrical, Fully-Depleted, Surrounding-Gate MOSFET's.** *IEEE Electron Devices Letters*, v. 18, n. 2, p. 74-76, February 1997.
- [11] KRANTI, A.; HALDAR, S.; GUPTA, R. S. **An accurate 2D analytical model for short channel thin film fully depleted cylindrical/surrounding gate (CGT/SGT) MOSFET.** *Microelectronics Journal*, 32, p. 305-313, January 2001.
- [12] KRANTI, A.; RASHMI; HALDAR, S.; GUPTA, R. S. **Design and optimization of vertical surrounding gate MOSFET's for enhanced transconductance-to-current ratio (g_m/I_{ds}).** *Solid-State Electronics*, 47, p. 155-159, August 2002.
- [13] YAMAMOTO, Y.; HIDAKA, T.; NAKAMURA, H.; SAKURABA, H.; MASUOKA, F. **Decananometer Surrounding Gate Transistor (SGT) Scalability by Using an Intrinsically-Doped Body and Gate Work Function Engineering.** *IEICE Trans. Electron.*, vol. E89-C, n. 4, April 2006.
- [14] ABD-ELHAMID, H.; IÑIGUEZ, B.; JIMÉNEZ, D.; ROIG, J.; PALLARÉS, J.; MARSAL, L. F. **Two-dimensional analytical threshold voltage roll-off and subthreshold swing models for undoped cylindrical gate all around MOSFET.** *Solid-State Electronics*, 50, p. 805-812, April 2006.
- [15] PAVANELLO, M. A.; MARTINO, J. A.; AND FLANDRE, D. **Analog Performance and Application of Graded-Channel Fully Depleted SOI MOSFETS,** *Solid-State Electronics*, vol. 44, n. 7, p. 1219-1222, 2000.
- [16] KAUR, H.; KABRA, S.; HALDAR, S.; GUPTA, R. S. **An analytical drain current model for graded channel cylindrical/surrounding gate MOSFET.** *Microelectronics Journal*, 38, p. 352-359, March 2007.
- [17] Atlas User's Manual, Device Simulation Software. *Silvaco International*, December 2006.

- [18] OLIVEIRA, D. R.; GIMENEZ, S. P.; **Using Cynthia SOI MOSFET to Improve Voltage Gain of Analog Integrated Circuits.** *SBMicro 2009 – 24th Symposium on Microelectronics Technology and Devices*, September 2009.
- [19] PAVANELO, M. A.; MARTINO, J. A.; FLANDRE, D.; **Graded-channel fully depleted Silicon-On-Insulator nMOSFET for reducing the parasitic bipolar effects.** *Solid-State Electronics*, 44, 917-922, January 2000.
- [20] COLINGE, J.- P.; COLINGE, C. A. **Physics of semiconductor devices.** *Kluwer Academic Publishers*.
- [21] ORTIZ-CONDE, A.; GARCÍA SÁNCHEZ, F. J.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE, Y.; **A review of recent MOSFET threshold voltage extraction methods.** *Microelectronics Reliability*, 42, 583-596, December 2001.
- [22] WONG, H. S.; WHITE, M. H.; KRUTSICK, T. J.; BOOTH, R. V. **Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's.** *Solid-State Electron*, 30, 953-968, September 1987.
- [23] HU, G. J.; CHI CHANG; YU-TAI CHIA. **Gate-voltage-dependent effective channel length and series resistance of LDD MOSFET's.** *IEEE Transactions on Electron Devices*, v. 34, n. 12, p. 2469 - 2475, December 1987.
- [24] ORIGIN 7.0 SR0, v7.0220 (B220), *OriginLab Corporation*, Northampton, MA 01060, USA, 2002.
- [25] GIMENEZ, SALVADOR PINILLOS. **Estudo do GC SOI nMOSFET e aplicações em Amplificadores Operacionais de Transcondutância.** Tese (Doutorado) – Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Elétrica, São Paulo, 2004.
- [26] MICROSOFT OFFICE EXCEL 2007, *Microsoft Corporation*, 2006.

- [27] ORTIZ-CONDE, A.; RODRÍGUEZ, J.; GARCIA SANCHÉZ, F. J.; LIOU, J. J. **An improved definition for modeling the threshold voltage of MOSFETs.** *Solid-State Electronics*, v. 42, n. 9, p. 1743-1746, 1998.
- [28] SILVEIRA, F.; FLANDRE, D.; JESPER, P. G. A.; **A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-Insulator Micropower OTA.** *IEEE Journal of Solid-State Circuits*, v. 31, no. 9, p. 1314-1319, 1996.
- [29] STREETMAN, BEN G.; BANERJEE, SANJAY K. **Solid State Electronic Devices.** 6^o ed. New Jersey, USA: *Pearson Prentice Hall*, 2006.
- [30] DANTAS, LEANDRO POLONI. **Estudo da Distorção Harmônica em Transistores de Porta Circular usando Tecnologia SOI CMOS Sub-Micrométrica de 0,13 μ m.** Dissertação (Mestrado) – Centro Universitário da FEI. Departamento de Engenharia Elétrica, São Bernardo do Campo, São Paulo, 2008.
- [31] BECHELLI, RODRIGO PRIOR. **Estudo de Efeitos de Canto em Transistores de Porta Tripla.** Dissertação (Mestrado) – Centro Universitário da FEI. Departamento de Engenharia Elétrica, São Bernardo do Campo, São Paulo, 2009.
- [32] MARTINS, LUIZ GUSTAVO PEREIRA. **Estudo de Transistores SOI MOS de perfil Trapezoidal através de Simulação Numérica Tridimensional.** Dissertação (Mestrado) – Centro Universitário da FEI. Departamento de Engenharia Elétrica, São Bernardo do Campo, São Paulo, 2008.
- [33] ANDRADE, MARIA GLÓRIA CAÑO. **Estudo da Tensão de Limiar e Inclinação de Sublimiar em Transistores SOI FinFETs de Porta.** Dissertação (Mestrado) – Centro Universitário da FEI. Departamento de Engenharia Elétrica, São Bernardo do Campo, São Paulo, 2007.

APÊNDICE A – SIMULAÇÃO ATLAS

Abaixo segue um dos arquivos de simulação de entrada do “software” ATLAS, para a extração da tensão de limiar do transistor PSG nMOSFET de canal gradual.

```
#####
# Simulacao de um PSG 3D com L=0.4um H=W=100 nm #
# Espessura do oxido de porta: tox=3nm #
# #
# # Concentracao da regio de canal: Nlow=5.0E15cm-3 #
# # Concentracao da regio de canal: Nhigh=5.0E17cm-3 #
# # Concentracao da regio de fonte e dreno : Na=1.0E20cm-3 #
# #
# Curva: Ids x Vgs, para diferentes Vds #
#####
go atlas
#####
# A malha foi especificada no devedit3d #
#####
MESH infile = PSG_200.str
#####
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=2
DOPING UNIFORM CONCENTRATION=5.5E15 P.TYPE REGION=5
DOPING UNIFORM CONCENTRATION=5.5E17 P.TYPE REGION=8
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=6
#####
CONTACT NAME=ContPorta N.POLY

#####
# ESPECIFICAÇÃO DOS MODELOS FÍSICOS
#####
models cvt fnord fnholes print temp=300
# auger bgn mos kla shi qtunn.el qtunn.ho fnord fnholes hhi hei bbt.kl shapeox nearflg qtunn.dir=1
method gummel newton autonr bigst trap maxtrap=10 carriers=2
#####

#####
# Regiões: #
# ContDreno=1, Dreno=2, ContPorta=3, OxiPorta=4, Lowdoped=5, Fonte=6, ContFonte=7, Highdoped=8#
# Contatos: ContDreno=1, Porta=2 e ContFonte=3 #
#####

solve init
solve prev
#####
# Polarização de Dreno
#####
solve v1=1e-10
solve v1=1e-9
solve v1=1e-8
solve v1=1e-7
solve v1=1e-6
```

```

solve v1=1e-5
solve v1=1e-4
solve v1=1e-3
solve v1=10e-3

```

```

#####
# Polarizacao de Porta
#####
solve v2=-1e-5
solve v2=-1e-4
solve v2=-1e-3
solve v2=-1e-2
solve v2=-1e-1
solve v2=-2e-1
solve v2=-3e-1
solve v2=-4e-1
solve v2=-5e-1

#####
# Curva IDS x VGS para VDS=10mV #
#####
log outf=idvg10psg_200.log
output
save outf=idvg10psg_200_-05.str
solve v2=-0.49 vstep=0.01 vfinal=0.2 name=ContPorta
output
save outf=idvg10psg_200_02.str
solve v2=0.21 vstep=0.01 vfinal=1.3 name=ContPorta
output
save outf=idvg10psg_200_13.str
#####
quit

```

APÊNDICE B – RESUMO SEMINATEC 2009

Neste apêndice consta o resumo aceito para o SEMINATEC 2009 – Workshop sobre Semicondutores, Micro & Nano Tecnologia.

Comparative Study between Pillar Surrounding Gate and CYNTHIA SOI nMOSFETs for Analog Applications

Denis Rodrigo de Oliveira and Salvador Pinillos Gimenez

Centro Universitário da FEI

Av. Humberto de A. Castelo Branco 3792, S. Bernardo do Campo, São Paulo, 09850-901, Brazil

denis321@ig.com.br and sgimenez@fei.edu.br

In search of devices with greater control over the channel, multiple gates transistors has been studied and developed. In this work the Pillar Surrounding Gate (PSG) and CYNTHIA SOI nMOSFETs are studied for using on analog applications. The behavior of transconductance (g_m) over drain current (I_{DS}) ratio as a function of drain current over geometric factor (W/L) ratio [$g_m/I_{DS} \times I_{DS}/(W/L)$] of the PSG and CYNTHIA are compared regarding similar W/L , using Partially-Depleted nMOSFET technology. The main difference between the PSG and CYNTHIA is that CYNTHIA does not present the corner effect, in contrast of PSG, providing a better control channel. ATLAS simulator is used to perform three dimensional simulations in order to compare the $g_m/I_{DS} \times I_{DS}/(W/L)$ behavior of PSG and CYNTHIA with channel width equal to 400 nm and varying the channel length from 200 to 800 nm. It was verified that devices with channel length higher than 400 nanometers does not present short channel effects. Figure (1.a) presents the PSG and CYNTHIA simulated structures, Figure (1.b) presents the three dimensional simulation result of the $\log(I_{DS}) \times V_{GT}$ and Figure (1.c) presents $g_m/I_{DS} \times I_{DS}/(W/L)$ curve for 400 nanometers channel length devices.

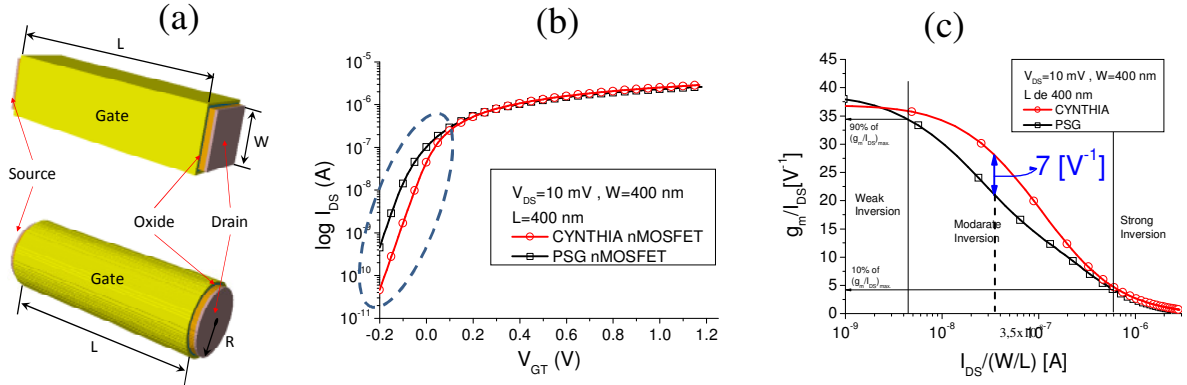


Figure 1 - PSG and CYNTHIA structures simulated (1.a), three dimensional simulation results of the $\log(I_{DS}) \times V_{GT}$ (1.b) and $g_m/I_{DS} \times I_{DS}/(W/L)$ curves (1.c).

It is observed in Figure (1.c) that the $g_m/I_{DS} \times I_{DS}/(W/L)$ of CYNTHIA is higher than PSG, mainly in end of weak and in all moderate inversion regime. For example, when $I_{DS}/(W/L)$ is equal 3.5×10^{-8} [A], CYNTHIA has the g_m/I_{DS} value of approximately 28 [V^{-1}] while the PSG has value approximately 21 [V^{-1}], a difference of 7 [V^{-1}]. This is because the CYNTHIA subthreshold I_{DS} is much smaller than PSG subthreshold I_{DS} (Figure 1.b), due to smaller total electric field density caused by the gate voltage over to the channel of CYNTHIA, in contrast of PSG, that presents corner effects and consequently reducing V_{TH} , resulting in a higher g_m/I_{DS} value (1).

1. S. P. Gimenez, in *Fifth Workshop of the Thematic Network on SOI Technology, Devices and Circuits*, F. Gamiz et al, Editors, EUROSOCI, Goteborg, Sweden (2009).

APÊNDICE C – ARTIGO SBMICRO 2009

Neste apêndice consta o artigo que foi apresentado de forma oral no SBMicro 2009, “24th Symposium on Microelectronics Technology and Devices” e publicado no Electrochemical Transactions, ECS Transactions.

Using Cynthia SOI MOSFET to Improve Voltage Gain of Analog Integrated Circuits

D. R. Oliveira^a and S. P. Gimenez^a

^a Department of Electrical Engineering, Centro Universitário da FEI, São Bernardo do Campo, São Paulo, Brazil

Theoretically, the surrounding gate SOI MOSFET presents the best possible control of gate region and consequently the best possible Electrostatic Integrity. Cynthia (circular-section) and Pillar (square-section) surrounding gate SOI MOSFETs are examples of this kind of structure. In this paper is performed a comparative study, by 3D numerical simulations, between Cynthia and Pillar surrounding gate SOI MOSFETs, focusing on analog integrated circuits applications, by studying the transconductance over drain current ratio behavior, regarding the same aspect ratio and bias conditions. Both, conventional and Graded-Channel technologies are regarded in this work. It is shown that Cynthia approach allows a voltage gain improvement of up to approximately 10% and 20% in comparison to Pillar surrounding gate SOI nMOSFET, when biased in weak and moderate inversion regimes, respectively.

Introduction

The Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET) is the most important planar technology that has been developed and researched in recent years. With the continuous transistor size reduction (downscaling), the second-order effects, such as short channel effect (SCE), become more significant, degrading the devices electrical behavior as threshold voltage (V_{TH}) and subthreshold slope (S) (1). In order to reduce these effects, emerged the Silicon-on-Insulator (SOI) technology (2), that was also able to improve the integration capability and radiation immunity (3). However, the devices dimensions reduction has continued and reached nanometers scales, becoming significant the drain-induced barrier lowering (DIBL) effect in the transistor behavior (4), which could be minimized by reduction of buried oxide thickness, but increase parasitic capacitances (4). To overcome the DIBL effect, multi-gate transistors were created, such as double-gate transistor, which has a good control of the channel and a significant reduction of short channel effects (5), but the self-aligning the lower gate to source and drain regions was a problem in deep submicron scale (6). Even so, the researches regarding multi-gates have continued and new transistors were created as triple-gate MOSFET, Omega (Ω) gate and Pi (Π) gate MOSFETs (7). The multi-gates transistors require a few more steps in the manufacturing process in comparison of Double-gate MOSFETs and reaches improved the electrical characteristics (3). In the same way, with the constant downscaling of these devices, the manufacturing process has become very complex in order to maintain their electrical performances.

Consequently, these difficulties have led to further research on the vertical devices, mainly in the Pillar Surrounding Gate (PSG) (Figure 1.a) and the Cynthia (Figure 1.b) MOSFETs (8).

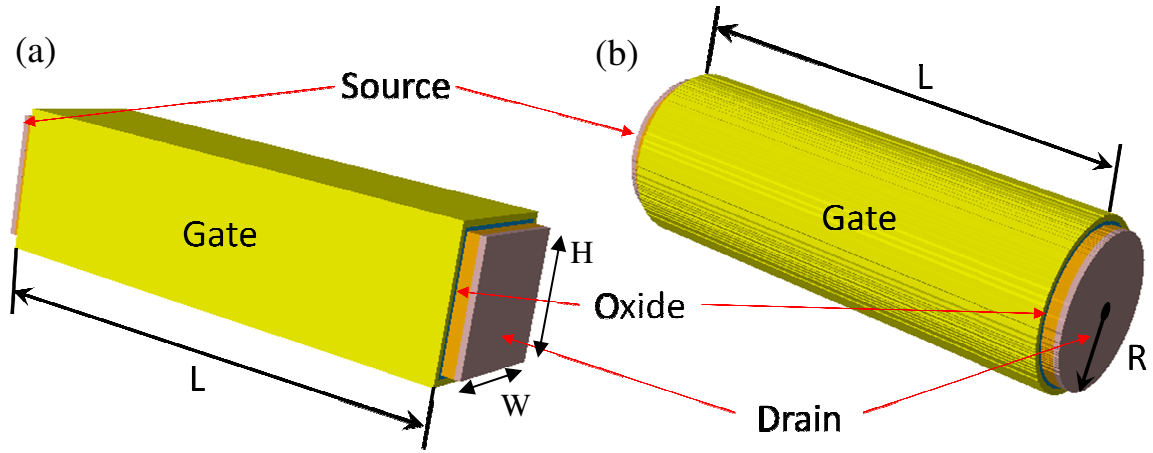


Figure 1. Pillar Surrounding Gate (PSG) (1.a) and Cynthia (1.b) MOSFETs, implemented with DevEdit3D (TCAD/Silvaco).

In the Figure 1, L is the channel length, W and H are the square section width and height, respectively, of PSG transistor (Figure 1.a). PSG channel width (W_{PSG}) is given by $2(W+H)=4W$, while Cynthia channel width (W_{Cynthia}) is equal to $2\pi R$ (Figure 1.b), where R is the silicon-film radius of gate region. In the meantime, it has also developed researches with the conventional planar transistors in order to increase transconductance (g_m), the output conductance (r_o) and breakdown voltage, focusing on analog integrated circuits applications, called Graded Channel (GC) (Figure 2.a) SOI nMOSFETs (9). In this kind of device, the channel region of silicon-film is formed with two different impurity concentrations. One part of channel of length L_{LD} , preserves the natural impurity concentration of silicon-film, located next to the drain and the other channel part of length L_{HD} , is purposely doped with high impurity concentration by the fabrication process to adjust of threshold voltage and is positioned next to the source. This device presents an asymmetrical channel region structure. The effective channel length (L_{eff}) of this transistor is equal to $L_{\text{HD}}=L-L_{\text{LD}}$ (9). Additionally, the drain current (I_{DS}) of GC SOI nMOSFET is modulated depending on L_{LD}/L ratio (9). Larger L_{LD}/L ratios result higher I_{DS} values (9). The GC approach is applied in PSG (Figure 2.b) and Cynthia (Figure 2.c) SOI nMOSFETs and is regarded in this paper.

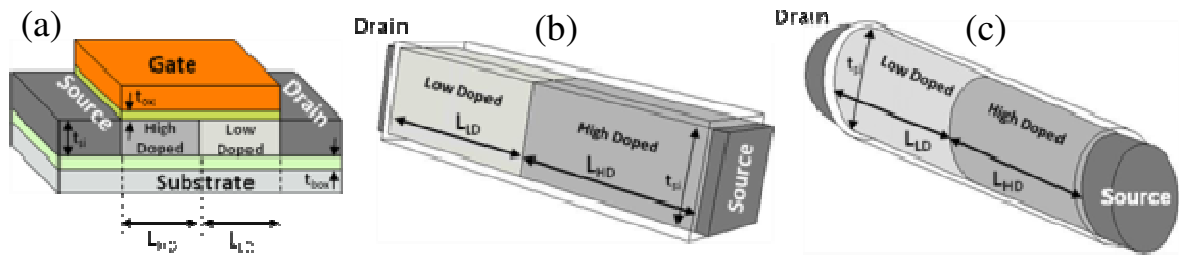


Figure 2. Graded Channel SOI nMOSFET (GC SOI nMOSFET) (2.a), Graded Channel Pillar Surrounding Gate (GC PSG) (2.b) and Graded Channel Cynthia (GC Cynthia) (2.c) detailed structures.

Thus, this work aims to study the main figure of merit for the analog integrated circuits design, defined as the transconductance over drain current ratio as a function of drain current normalized in relation to geometric factor $[g_m/I_{\text{DS}} \times I_{\text{DS}}/(W/L)]$ (10) by 3D numerical simulations, for both surrounding gate (Cynthia and PSG), with conventional and GC

technology SOI MOSFETs. This universal merit figure is used to calculate the transistors dimensions (W and L) and to define the analog electrical performance [voltage gain (A_{V0}), unit voltage gain frequency (f_T), phase margin, etc]. When it intends to design analog integrated circuits with high A_{V0} and low f_T features, the designer must bias the devices in weak inversion regime (12). Analogy, for medium A_{V0} and f_T features, the designer must bias the transistors in moderate inversion regime (12). And, in the same way, for high f_T and low A_{V0} features, the designers must bias the transistors in strong inversion regime (13).

Devices Structures

Both Cynthia and PSG MOSFETs were implemented (structure dimensions and mesh) by the use of semiconductors devices editor, called DevEdit3D, from Silvaco (TCAD) (11). In order to perform the comparative study between these devices, the PSG and Cynthia channel widths are considered equals ($W_{PSG}=W_{CYNTHIA}$) and W of PSG (Figure 1) is regarded as 100 nm. Thus, considering $W=100$ nm, results a PSG channel width equal to 400 nm ($W_{PSG}=4.W_H=W_{CYNTHIA}=2.\pi.R$), and consequently Cynthia R is calculated as 63.7 nm. Besides, the following technological parameters were adopted for the conventional surrounding gate SOI nMOSFETs: the gate-oxide thickness (t_{ox}) as 3 nm, channel silicon-film (N_{CH}) and drain/source ($N_{D/S}$) impurities concentrations as $5.5 \times 10^{17} \text{ cm}^{-3}$ and $1 \times 10^{20} \text{ cm}^{-3}$, respectively. And for the surrounding gate GC transistors: t_{ox} and $N_{D/S}$ are the same of conventional surrounding gate, natural and high doped gate impurities concentrations as $5.5 \times 10^{15} \text{ cm}^{-3}$ and $5.5 \times 10^{17} \text{ cm}^{-3}$, respectively, and W , L and L_{LD}/L were defined according Table I.

TABLE I. Dimensions of W , L and L_{LD}/L .

Devices ($W=400$ nm)	Channel Length, L (nm)	L_{LD}/L
Conventional PSG	200, 400, 600 and 800	-
Conventional Cynthia	200, 400, 600 and 800	-
GC PSG	400	12.5%, 25%, 37.5% and 50%
GC Cynthia	400	12.5%, 25%, 37.5% and 50%

Physical Device Models and 3D Simulations Results

The main models considered in 3D numerical simulations were: Fermi-Dirac (carriers statistics model), Lombardi (mobility model), Shockley-Read-Hall (recombination model), and Fowler-Nordheim (tunneling and hot injection models) (11).

Three-dimensional numerical simulations were performed in order to generate $I_{DS} \times V_{GS}$ curves for the devices, regarding a small voltage value between drain and source (V_{DS}) to extract the threshold voltages (V_{TH}), by using second derivative of the $I_{DS} \times V_{GS}$ curve method (12). In Figure 3 are displayed the threshold voltage (V_{TH}) as a function of effective channel length (L_{eff}), i.e., L for conventional (Fig. 3.a) and L_{HD} for the surrounding gate GC (Fig. 3.b) SOI nMOSFETs, for V_{DS} equal to 10 mV.

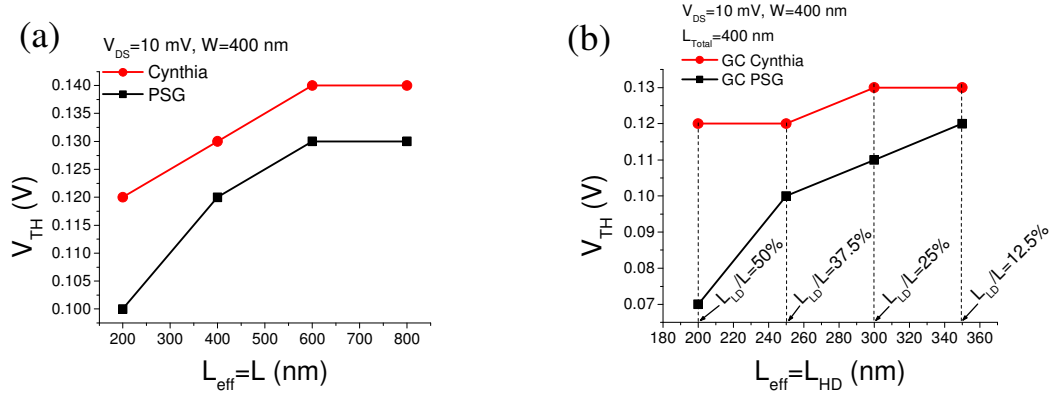


Figure 3. $V_{TH} \times L_{eff}$ curves of Cynthia and PSG for conventional (3.a) and CG (3.b) technologies, regarding $V_{DS} = 10$ mV.

We can observe in Figure 3 that Cynthia V_{TH} is always higher than the PSG V_{TH} for both cases (conventional and CG technologies). These results can be explained by the presence of corner effects in the PSG transistors, which reduce their threshold voltages due to the superposition of two electric field components (E_1 and E_2) in each corner of the structure, as indicated in Figure 4.a (B point). Thus, the minimum gate voltage to invert the channel carriers (threshold voltage) is smaller in the corners than out of the corners, considering the PSG channel width (W_{PSG}) sufficiently large in order to avoid the corner effects influencing all square-section. Besides that, out of the corners of PSG transistor, there is only one electric field component (E_1 or E_2), as showed in Figure 4.a (A, C and D points). Analogy, in the E, F and G points of the Cynthia (Figure 4.b) there is only one electric field component (E_1 or E_2) in the radial direction.

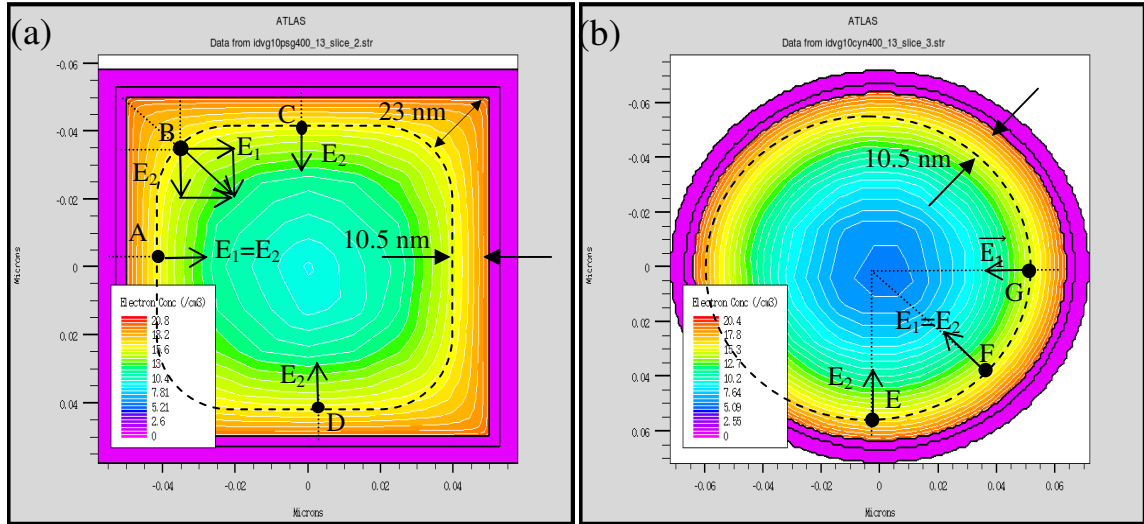


Figure 4. PSG (4.a) and Cynthia (4.b) electrons concentration over the cross sections at middle of L , indicating the electric field components in different points of these structures.

In order to analyse the electric field influence over the channel carriers concentration, were performed measurements in the PSG and Cynthia transistors of the distance (d) between the silicon-film/gate-oxide interface up to a point where the channel electrons concentration reaches $5.5 \times 10^{17} \text{ cm}^{-3}$ at the middle of the channel as a criteria. The distance d is proportional to the resultant electric field generated by voltage gate. As greater is the resultant electric

field, higher is the d value. The bias conditions were $V_{DS}=10$ mV and $V_{GS}=1.3$ V, regarding the same channel width and length as $W_{PSG}=W_{Cynthia}=400$ nm and as $L=400$ nm, respectively. The d results are presented in the Table II.

TABLE II. d for PSG and Cynthia transistors.

Devices: ($W=400$ nm/ $L=400$ nm ; $V_{DS}=100$ mV/ $V_{GS}=1.3$ V)	d (nm)
PSG	A, C and D points (middle of one channel side): 10.5
	B point (corners): 23
CYNTHIA	E, F and G points: 10.5

Observing Table II, we can verify that d values in A, C and D points of PSG are equals to d values in E, F and G points of Cynthia structure, which in turn are smaller than d value in the B point of PSG transistor. These results can be explained because the resultant electric field in A, C and D points of PSG and in the E, F and G points of Cynthia are composed by only one electric field component (E_1 or E_2), while that in the B point of PSG structure there are two electric field components (E_1 perpendicular to E_2).

Still analysing Figure 3, we can see that the short channel effects occurs for channel lengths bellow 600 nm for both conventional channel devices. Besides that, the SCE occurs for all evaluated values of L_{LD}/L (12.5% – 50%) for the GC PSG, regarding $L=400$ nm, while in the GC Cynthia, this effect is practically negligible. This SCE behaviour in the GC PSG is due to the strong influence of corner effect for this studied dimension.

Additionally, in Figure 5 are displayed the simulated electric field in the PSG and Cynthia cross section over the structure (6.a) and their corresponding curves, regarding the vertical and diagonal cutlines (6.b), at the middle of the channel for $W=L=400$ nm, regarding V_{DS} and V_{GS} equals to 10 mV and 1.3 V, respectively.

Analysing Figure 5, we can see that electric field in the corners (0.7×10^7 V/cm) of PSG is larger than the electrical field out of corners in the PSG and Cynthia. Note that the electrical field out of the corners of PSG and Cynthia is the same (1.5×10^6 V/cm), because there is only one electric field component.

Figure 6 presents the $I_{DS} \times V_{GT}$ and $\text{Log}(I_{DS} \times V_{GT})$ regarding $V_{DS}=10$ mV for both conventional (Figure 6.a) and GC (Figure 6.b) PSG and Cynthia transistors.

Regarding conventional devices (Figure 3.a), as the PSG V_{TH} is smaller than the Cynthia V_{TH} , due to corner effect in PSG structure, for the same gate voltage, the PSG I_{DS} is higher than Cynthia I_{DS} in subthreshold region maintaining similar subthreshold slope (≈ 62.5 mV/dec.). For high values of V_{GT} , the PSG I_{DS} becomes lower than Cynthia I_{DS} , because Cynthia series resistance (2.6 K Ω) is smaller than of PSG (2.9 K Ω), due to Cynthia cross section area is larger than of PSG, regarding the same aspect ratio. The transconductance of the devices is presented in Figure 7, regarding V_{DS} equal to 400 mV, $L=400$ nm and $L_{LD}=200$ nm for GC devices.

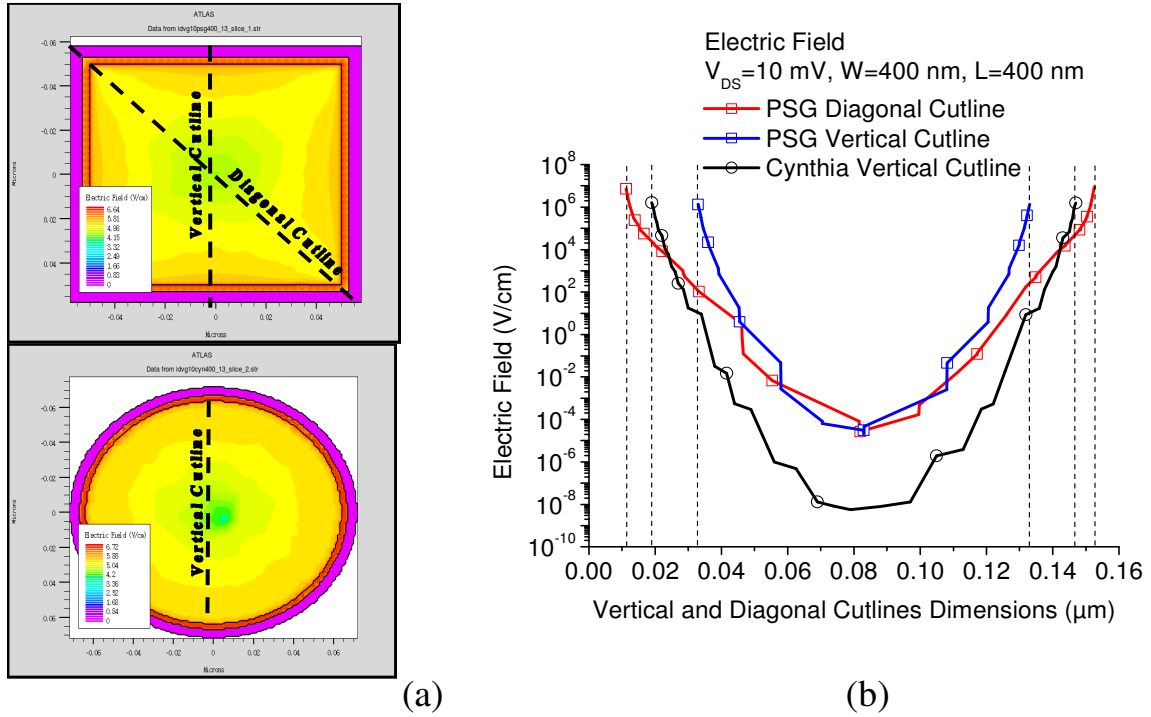


Figure 5. 3D numerical simulation results of Electric Field over the PSG and Cynthia structure (5.a) and their corresponding curves regarding two cutlines (vertical and diagonal) (5.b).

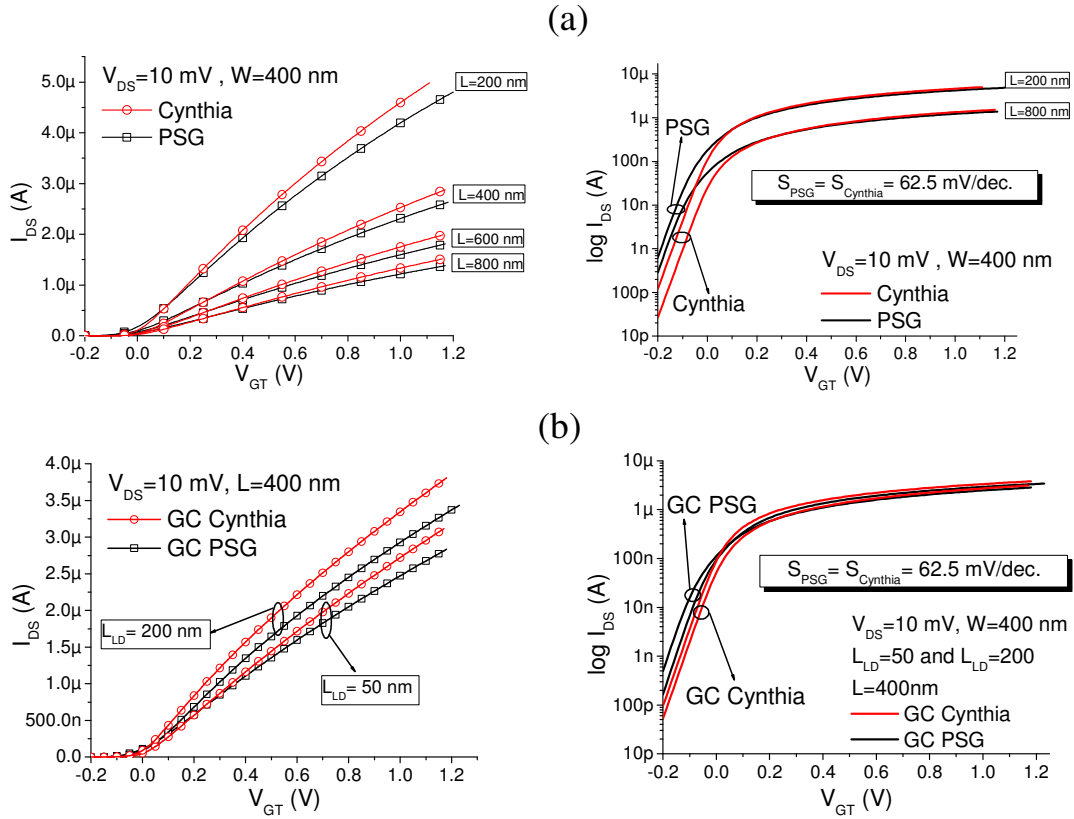


Figure 6. $I_{DS} \times V_{GT}$ and $\text{Log}(I_{DS} \times V_{GT})$ curves for $V_{DS}=10$ mV for conventional (6.a) and GC PSG and Cynthia (6.b) devices.

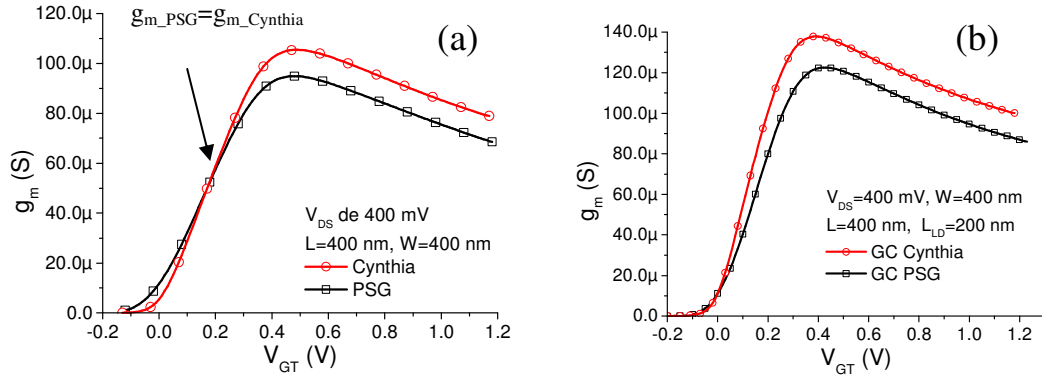


Figure 7. 3D Simulations results of g_m in the Cynthia and PSG SOI MOSFETs with conventional (7.a) and Graded Channel (7.b), for the same bias conditions.

It is observed in Figure 7.a that, below the intersection point of the PSG and Cynthia g_m curves ($g_{m_PSG} = g_{m_Cynthia}$), for the same V_{GT} , the PSG g_m is higher than Cynthia g_m , due to corner effect. Above of this point, g_m behaviors is inverted, because the series resistance (R_{series}) effect in the PSG structure is higher than in the Cynthia transistor, due to PSG cross section area (A) is smaller than Cynthia A , regarding the same aspect ratio. The same g_m behavior is observed for GC devices, but g_m intersection point occurs for smaller V_{GT} values, because the series resistance effect becomes still bigger in PSG transistor.

Finally, the main merit figure used for analog integrated circuits design, given by $g_m/I_{DS} \times I_{DS}/(W/L)$ is displayed for conventional and GC PSG and Cynthia transistors in Figure 8, regarding the same aspect ratio, V_{DS} equal to 400 mV, channel length (L) equal to 400 nm and $L_{LD} = 200$ nm ($L_{LD}/L = 0.5$) for GC transistors.

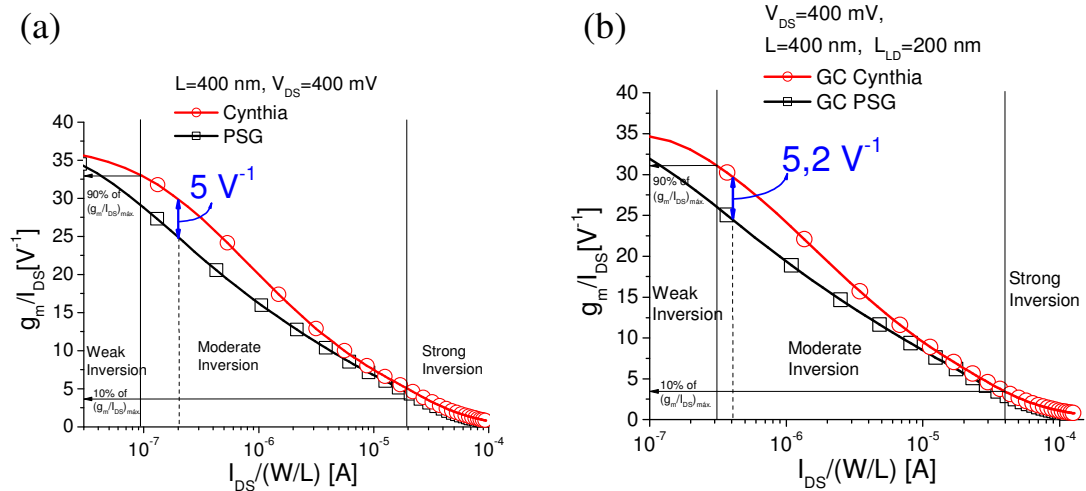


Figure 8. 3D Simulations results of $g_m/I_{DS} \times I_{DS}/(W/L)$ of Cynthia and PSG MOSFETs with conventional (8.a) and graded channel (8.b) for the same W/L and bias conditions.

It is observed in Figure 8 that the $g_m/I_{DS} \times I_{DS}/(W/L)$ of Cynthia is higher than PSG, mainly in the weak and moderate inversion regimes for conventional (Figure 8.a) and GC (Figure 8.b) technologies. This can be explained because PSG I_{DS} in subthreshold region is much higher than Cynthia PSG I_{DS} , as can be seen in the $\text{Log}(I_{DS}) \times V_{GT}$ curves in Figure 6, due the strong corner effect influence in the PSG transistors in the subthreshold region. Therefore, it can

improve g_m/I_{DS} ratio and consequently the voltage gain of analog integrated circuits, of up to approximately 20%, when the transistor is biased in the moderate inversion regime, for the analysed devices in this work, by using Cynthia instead of PSG devices, regarding both channel technologies (conventional and GC), same aspect ratio and bias conditions. In the weak inversion regime, approximately 10% of improved g_m/I_{DS} ratio can also be attained by using Cynthia devices.

Conclusions

This paper studies the electrical behaviors differences by 3D numerical simulations between the Cynthia (cylindrical geometry) and Pillar Surrounding Gate MOSFETs (square geometry), regarding two different channel technologies (conventional and Graded Channel) and focusing on analog integrated circuits applications. The differences of $I_{DS} \times V_{GT}$ curves between these transistors, for the regarded dimensions in this work, occur because PSG V_{TH} is smaller than Cynthia one, due to mainly the strong influence of corner effects in PSG structure. Thinking in analog integrated circuits design, regarding PSG and Cynthia $g_m/I_{DS} \times I_{DS}/(W/L)$ curves, it is verified that Cynthia g_m/I_{DS} is larger (limited in approximately 10% and 20% in weak and moderate inversion regimes, respectively) than PSG one. This is explained due to the PSG I_{DS} in the subthreshold regime is much higher than Cynthia I_{DS} , due to the presence of corner effect in PSG structure. Therefore, Cynthia transistor is an important alternative for analog integrated circuits applications with high gain features.

References

1. R. H. Yan, A. Qurmazd and K. F. Lee, *IEEE Transaction Electron Devices*, vol.39, no.7, p. 1704-1710 (1992).
2. J. A. Martino, M. A. Pavanelo, P. B. Verdonck, *Caracterização Elétrica de Tecnologia e Dispositivos MOS*, Pioneira Thomson Learning, São Paulo (2003).
3. J. P. Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, Boston (2004).
4. C. Fiegna, H. Iwai, T. Wada, M. Saito, E. Sangiori and B. Ricco, *IEEE Transaction Electron Devices*, vol. 41, no. 6, p. 94-951 (1994).
5. J. P. Colinge, *Microelectronic Engineering*, vol. 84, p. 2071-2076 (2007).
6. G Baccarani and S. Reggiani, *IEEE Transaction Electron Device Letters*, vol. 46, no. 8, p. 1656-1666 (1999).
7. J. T. Park, J. P. Colinge, *IEEE Transactions on Electron Devices*, v. 49, n. 12, p. 2222-2229 (2002).
8. A. Kranti, S. Halder, R. S. Gupta, *Microelectronic Eng.*, 56, p. 241-259 (2000).
9. H. Kaur, S. Kabra, S. Halder, R. S. Gupta, *Microelectronics Journal*, 38, p. 352-359 (2007).
10. F. Silveira, D. Flandre and P. G. A. Jespers, *IEEE Journal of Solid-State Circuits*, v. 31, p. 1314-1320 (1996).
11. Atlas User's Manual, Device Simulation Software. *Silvaco International* (2006).
12. S. Tam, P-K Ko, and C. Hu, *IEEE Trans. on Electron Devices*, vol. ED-31, no. 9, (1984).
13. S. P. Gimenez, in *Fifth Workshop of the Thematic Network on SOI Tech., Devices and Circuits*, F. Gamiz et al, Editors, EUROSOL, Goteborg, Sweden (2009).