CENTRO UNIVERSITÁRIO DA FEI

EDSON KIOSHI GOTO

ESTUDO DO EFEITO DE AUTOAQUECIMENTO EM TRANSISTORES SOI COM CANAL GRADUAL POR MEDIDA PULSADA

São Bernardo do Campo

2012

CENTRO UNIVERSITÁRIO DA FEI

EDSON KIOSHI GOTO

ESTUDO DO EFEITO DE AUTOAQUECIMENTO EM TRANSISTORES SOI COM CANAL GRADUAL POR MEDIDA PULSADA

Dissertação de Mestrado, apresentado ao Centro Universitário da FEI, como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica, orientado pelo Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo

2012

Goto, Edson Kioshi.
Estudo do efeito de autoaquecimento em transistores SOI com canal Gradual por medida pulsada / Edson Kioshi Goto. São Bernardo do Campo, 2012.
107 f. : il.

Dissertação (Mestrado) - Centro Universitário da FEI.
Orientador: Prof. Dr. Marcelo Antonio Pavanello

1. GC. 2. SOI. 3. Autoaquecimento. I. Pavanello, Marcelo Antonio, orient. II. Título.

CDU 621.382

Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Edson Kioshi Goto Matrícula: 1091016

Título do Trabalho: **ESTUDO DO EFEITO DE AUTOAQUECIMENTO EM TRANSISTORES SOI COM CANAL GRADUAL POR MEDIDA PULSADA.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

ORIGINAL ASSINADA

Data da realização da defesa: 30 / maio / 2012

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 30 / 05 / 2012.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof. Dr. Renato Camargo Giacomini

Ass.: _____

Prof. Dr. Leandro Tiago Manera

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho ao meu pai Mario Goto que foi a primeira pessoa que me apresentou o fantástico mundo da eletrônica, que despertou a minha curiosidade e que me motivou para o colégio técnico, engenharia e mestrado.

À minha mãe Maria Kioko Goto que sempre acreditou em mim e dedicou a sua vida para toda nossa família.

À minha querida esposa Patrícia pelo seu carinho, compreensão, paciência e amor nos momentos críticos que passamos juntos organizando o casamento, construindo e decorando o nosso lar e ao mesmo tempo finalizando este trabalho.

À minha família Adriana, Marcelo, Vitor e Beatriz que me apoiaram em todos os momentos de dificuldade e me proporcionam tantas alegrias.

AGRADECIMENTOS

Ao meu orientador e professor Dr. Marcelo Antonio Pavanello que com paciência me orientou nesta longa caminhada.

Aos professores Dr. Renato Camargo Giacomini, Marcello Bellodi, Dr. Salvador Pinillos Gimenez, Dra. Paula Ghedini Der Agopian e Dra. Michelly de Souza pelas aulas e ensinamentos.

A todos os meus amigos que tive o privilégio de conhecer durante o curso de mestrado principalmente Ana, Daniel, Eduardo, Fred, Ingrid, Klaus, Marcelo e Parada pelos bons momentos que passamos e por toda ajuda nos estudos.

À General Motors do Brasil, representada pelo Sr. Manoel Rego, pelo apoio na decisão da escolha do mestrado e pelo incentivo financeiro para realização deste trabalho.

Agradeço aos meus pais Mario e Maria Goto que sempre serão meus exemplos de amor, paciência, honestidade, humildade e foram à base para todo meu desenvolvimento pessoal, acadêmico e profissional.

A minha maravilhosa esposa Patrícia, por toda ajuda e paciência durante os momentos de ausência para realização deste trabalho, pelo incentivo e principalmente pelo seu amor incondicional.

A minha irmã Adriana e Marcelo que são exemplos de dedicação e estudo.

Aos meus avós que mesmo sem a oportunidade de estudar, se esforçaram e trabalharam para que meus pais pudessem estudar e aos meus pais que continuaram com este espírito de luta e puderam me ajudar nesta longa caminhada escolar.

Por fim, agradeço a todos que diretamente ou indiretamente contribuíram por mais este passo em busca da minha missão.

Obrigado, Obrigado, Obrigado!

O segredo do sucesso é saber algo que ninguém mais sabe.

Aristóteles

RESUMO

A tecnologia do transistor MOS com Silício sobre Isolante (SOI) tem aberto oportunidade para inovação, aumento de desempenho e redução do tamanho do dispositivo, que a tecnologia CMOS "*bulk*" tem dificuldade para alcançará. O transistor SOI apresenta diversas vantagens em relação ao CMOS "*bulk*", como por exemplo, o aumento de desempenho com V_{DD} equivalente, a supressão do efeito *Latch up*, redução de efeitos relacionados com antenas, redução do tamanho dos componentes e a redução da sensibilidade à temperatura. Uma preocupação é o efeito de autoaquecimento (*Self-Heating*), que pode fazer a temperatura do canal aumentar, devido ao calor gerado pelo aumento de corrente e a isolação térmica feita pelo óxido enterrado. Neste trabalho será estudado o autoaquecimento no transistor SOI com canal uniformemente dopado e canal gradual (GC) através de simulações numéricas. Inicialmente foi feita uma revisão teórica dos assuntos relacionados ao tema, tais como o funcionamento e arquitetura do transistor SOI convencional, GC SOI da UCL e OKI, enfatizando suas principais características elétricas e autoaquecimento. Foram realizadas simulações com o "software" Silvaco Atlas com o intuito de comparar transistores SOI e GC SOI em relação à influência do autoaquecimento para diversos tamanhos de canais. Pode-se observar que ambos transistores SOI e GC SOI sofrem o mesmo efeito de autoaquecimento tanto em medidas contínuas como em pulsadas.

Palavras-Chave: GC SOI e Autoaquecimento

ABSTRACT

The technology of MOS transistor with Silicon On Insulator (SOI) is an opening opportunity for innovation, performance improvement and device size reduction, that the CMOS "*bulk*" technology is facing difficult to reach. The transistor SOI has advantages in relation of CMOS "*bulk*". For example, higher performance at equivalent V_{DD}, Latch up eliminated, reduced antenna effects, component size reduction and reduced temperature sensitivity. There is a concern with Self-Heating that could increase the channel temperature, due to heat generated by current increase and also by buried oxide thermic insolation. This work will study the Self-Heating in transistor SOI with channel uniform doping and GC graded channel by numeric simulation.

Firstly, all topics related with this theme was revised, for example classic transistor SOI functional and architecture, GC SOI of UCL and OKI, focusing on electrical characteristics and Self-Heating. The aim was to study the transistor SOI and GC SOI by Self-Heating influence for various channel length. It was realized simulation with Silvaco Atlas software.

It could observe that the both transistors SOI and GC SOI suffer the same Self-Heating for pulse and continuous measurement.

Key Word: GC SOI e Self-Heating

LISTA DE FIGURAS

Figura 1- Perfil transversal de um transistor SOI nMOSFET. 22
Figura 2- Diagrama de banda de energia de uma estrutura MOS convencional com substrato tipo P. 24
Figura 3 - Diagrama de banda de energia para transistor SOI nMOS de camada espessa parcialmente depletado. 24
Figura 4 - Diagrama de banda de energia para transistor SOI nMOS de camada fina totalmente depletado. 24
Figura 5 - Concentração intrínseca de portadores e largura da banda proibida em função da temperatura [15]. 26
Figura 6 - Concentração intrínseca de portadores do Ge, Si e GaAs [16]. 27
Figura 7 – Gráfico do logaritmo da corrente de dreno pela tensão de porta com indicação da região de sublimiar [11]. 34
Figura 8 – Transcondutância em função da tensão de porta, simulada para um dispositivo SOI totalmente depletado com L=0,5 μm e V_{DS}=100 mV, em diferentes temperaturas. [15]. 39
Figura 9 – Distribuição das cargas de depleção em canal longo (esquerda) e canal curto (direita) "*bulk*" e em transistor SOI MOSFETs totalmente depletado. Qdl é a carga de depleção controlada pela porta [11]. 41
Figura 10 - Perfil do transistor SOI MOSFET totalmente depletado com perfil de dopantes assimétrico na região de canal (GC SOI MOSFET) [5]. 42
Figura 11 – Curvas I_{DS} x V_{GS} (V_{DS}=0,1 V) (A) e g_m x V_{GS} (V_{DS}=0,1 V) (B) simuladas para o transistor GC SOI MOSFET com dois níveis de concentração diferentes na região fracamente dopada e para um transistor SOI totalmente depletado convencional [5]. 44
Figura 12 – Comparação entre as curvas experimentais (símbolos) e calculadas (linhas) da condutância de dreno em função da tensão de dreno, para diferentes dispositivos, com V_{GT}=200 mV [15]. 44
Figura 13 – Curva esquemática I_{DS} x V_{DS} indicando ocorrência de efeito autoaquecimento. . 46
Figura 14 – Configuração para a medida da curva característica do transitório da corrente de dreno [40]. 48
Figura 15 – Curva característica típica de um transitório de corrente de dreno [40]. 49
Figura 16 – Constante de tempo para o autoaquecimento. A linha sólida representa a característica experimental do transitório medido na Figura 15. A inclinação da linha tracejada indica a constante de tempo do autoaquecimento [40]. 50

Figura 17 – Estrutura simplificada de um dispositivo SOI para a estimativa da constante de tempo de autoaquecimento [40]. 51
Figura 18 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopados com e sem autoaquecimento (SH). V_{th}=4,5V e T=290K [40]. 52
Figura 19 – Aparato de medição proposto por [41] para obtenção da curva I_{DS} x V_{DS} sem efeito de SH. 54
Figura 20 – Configuração para a medida da curva característica do transitório da corrente de dreno. [41] 54
Figura 21 – Corrente de dreno versus tensão de dreno para transistor MOS (L=0,2 µm). [41] 55
Figura 22 – Curva estática I_{DS} x V_{DS} para transistor PD SOI nMOSFET (linha tracejada) e curva obtida com o método dreno pulsada (linha contínua). [41] 55
Figura 23 – Curva pulsada da corrente de dreno versus tensão de dreno para transistor PD SOI nMOSFET com variação de temperatura (linha contínua) e curva estática em temperatura ambiente (linha tracejada). O quadro anexo mostra a temperatura pela potência. [41] 56
Figura 24 – Estrutura especial para a caracterização do efeito de autoaquecimento. 57
Figura 25 – Vista superior da estrutura de teste experimental para medida da temperatura. W é a largura do canal e We é a região entre as bordas do dispositivo e o terminal de contato da porta [42]. 58
Figura 26 – Calibração e dados das medidas do dispositivo para um dispositivo típico. [42] 58
Figura 27 – Temperatura do canal em função da potência em diferentes espessuras de silício dos dispositivos SOI e para um MOS convencional [42]. 59
Figura 28 – Temperatura do canal em função da potência em diferentes espessuras de óxido dos dispositivos SOI e para um MOS convencional. [42] 60
Figura 29 – Seção transversal do transistor SOI com L=1µm 66
Figura 30 – Seção transversal do transistor SOI GC (L_{LD}/L = 0,5) com L=1µm e 68
Figura 31 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,5µm) com e sem autoaquecimento (SH). 69
Figura 32 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,75µm) com e sem autoaquecimento (SH). 69
Figura 33 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=1µm) com e sem autoaquecimento (SH). 70

Figura 34 - Corrente de dreno versus tensão de dreno, para transistor GC SOI (L=0,5µm e L_{LD}/L=0,5) com e sem autoaquecimento (SH). 71
Figura 35 - Corrente de dreno versus tensão de dreno, para transistor GC SOI (L=0,75µm e L_{LD}/L=0,5) com e sem autoaquecimento (SH). 71
Figura 36 - Corrente de dreno versus tensão de dreno, para transistor GC SOI (L=1µm e L_{LD}/L=0,5) com e sem autoaquecimento (SH). 72
Figura 37 – Gráfico mostra as configurações do comando de pulso no simulador atlas. 73
Figura 38 - Corrente de dreno (amplitude do pulso de 4V) versus tempo, para transistor SOI uniformemente dopado (L=0,5µm). 74
Figura 39 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,5µm) com e sem autoaquecimento (SH). 75
Figura 40 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,75µm) com e sem autoaquecimento (SH). 75
Figura 41 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=1 µm) com e sem autoaquecimento (SH). 76
Figura 42 - Corrente de dreno sem SH menos a com SH versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,5 µm, 0,75 µm e 1µm). 77
Figura 43 - Corrente de dreno versus tensão de dreno, para transistor SOI convencional, GC de L_{LD} / L = 0,5 e 0,3 com L=0,5 µm. 78
Figura 44 - Corrente de dreno versus tensão de dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 e 0,3 com L=0,75 µm. 79
Figura 45 - Corrente de dreno versus tensão de dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 e 0,3 com L=1 µm. 79
Figura 46 - Corrente de dreno versus potência para transistor SOI, GC de L_{LD} / L = 0,5 e 0,3 com L=0,5 µm. 80
Figura 47 - Corrente de dreno versus potência para transistor SOI, GC de L_{LD} / L = 0,5 e 0,3 com L=1 µm. 80
Figura 48 – Seção transversal do transistor SOI convencional com L=300nm 83
Figura 49 – Medida Estática - Corrente de dreno versus Tensão de Dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 com L=300 nm. 84
Figura 50 – Medida pulsada - Corrente de dreno versus tensão de dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 com L=300 nm. 85

Figura 51 - Corrente de dreno versus potência para transistor SOI, GC de L_{LD} / L = 0,5 com L=300nm. 86
Figura 52 – Keithley modelo 4200 87
Figura 53 – Diagrama dos conectores 88
Figura 54 – 4200-SCP2 Vista lateral - Adaptador para conexões 4200-SCP2, mostrando adaptadores para BNC e SMA. 88
Figura 55 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,75 µm) com e sem autoaquecimento (SH). 89

LISTA DE TABELAS

Tabela 1 – Modelos físicos utilizados nas simulações 62
Tabela 2 – Parâmetros padrões para capacidade de calor 64
Tabela 3 – Comparação entre tensão de limiar e inclinação de sublimiar 67
Tabela 4 – Comparação entre tensão de limiar e inclinação de sublimiar 82
Tabela 5 – Configuração do software para obter a curva da Figura 55. 90

LISTA DE SÍMBOLOS

C	Calor específico [cal g^{-1} K^{-1}]
C_D	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{itb}	Capacitância das armadilhas de interface na segunda interface por unidade de área [F/cm^2]
C_{itf}	Capacitância das armadilhas de interface na primeira interface por unidade de área [F/cm^2]
C_L	Capacitância de carga [F]
C_{ox}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
E_C	Nível de energia inferior da banda de condução [eV]
E_F	Nível de Fermi do semicondutor [eV]
E_{FB}	nível de Fermi do substrato [eV]
E_{FM}	Nível de Fermi do metal/eletrodo de porta [eV]
E_i	Nível intrínseco [eV]
E_V	Nível de energia superior da banda de valência [eV]
g_m	Transcondutância do transistor [S]
g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]

I_D	Corrente de dreno [A]
I_{DS}	Corrente entre dreno e fonte [A]
I_{DSsat}	Corrente de saturação entre dreno e fonte [A]
k	Constante de Boltzmann [1,38066 x 10^{-23} J/K]
Kt	Condutância térmica [$W.cm^{-1}K^{-1}$]
L	Comprimento de máscara do canal do transistor [μm]
Leff	Comprimento efetivo do canal do transistor [μm]
L_{HD}	Comprimento da região fortemente dopada no transistor GC SOI [μm]
L_{LD}	Comprimento da região fracamente dopada no transistor GC SOI [μm]
L_{LD}/L	Relação entre o comprimento da região fracamente dopada e o comprimento de canal, no transistor GC SOI
m_e	Massa efetiva de condução para elétrons
n	Fator de corpo Na Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]
N_A	Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]
N_{AH}	Concentração de dopantes da camada de silício do transistor GC SOI na região fortemente dopada do canal [cm^{-3}]
N_{AL}	Concentração de dopantes da camada de silício do transistor GC SOI na região fracamente dopada do canal [cm^{-3}]
N_C	Densidade de estados na banda de condução
n_i	Concentração intrínseca de portadores [cm^{-3}]
N_{it}	Densidade de armadilhas de interface na primeira interface [cm^{-3}]

q	Carga elementar do elétron [1,6 x 10^{-19} C]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{dl}	Carga de depleção controlada pela porta [C/cm^2]
Q_{ox}	Densidade de cargas fixas no óxido de porta do transistor MOS [C/cm^2]
R_{ext}	Resistência externa [Ω]
x_j	Profundidade da junção [nm]
S	Inclinação de sublimiar [mV/dec]
T	Temperatura absoluta [K]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]
V	Volume aquecido [μm^3]
V_{DS}	Tensão entre dreno e fonte [V]
$V_{DS,SAT}$	Tensão de saturação [V]
V_{FB}	Tensão de faixa plana da estrutura MOS [V]
V_G	Tensão aplicada à porta do transistor SOI [V]
V_{GF}	Tensão aplicada à primeira porta do transistor SOI [V]
V_{G2}	Tensão aplicada ao substrato do transistor SOI [V]
$V_{G2,acc}$	Tensão aplicada ao substrato para que a segunda interface acumule [V]
V_{GS}	Tensão entre porta e fonte do transistor MOS [V]
V_{th}	Tensão de limiar [V]
$V_{th1,acc2}$	Tensão de limiar da primeira interface em inversão forte [V]
V_x	Velocidade média de deslocamento [cm^2]
x_d	Profundidade da região de depleção [μm]

x_{dmax}	Profundidade máxima da região de depleção [μm]
W	Largura do canal do transistor [μm]
W_e	Região entre as bordas do dispositivo e o terminal de contato da porta [μm]
α	Parâmetro resultante da associação das capacitâncias do transistor MOS
λ	Parâmetro que considera o efeito de modulação do comprimento de canal devido à tensão aplicada ao dreno [V^{-1}]
μ_n	Mobilidade efetiva dos elétrons na região do canal [$cm^2/V.s$]
ξ_x	Unidade do campo elétrico [V.s]
ξ_{Si}	Permissividade do silicio
ρ	Densidade [$g.cm^{-3}$]
τ	Constante de tempo associada com autoaquecimento [μs]
ϕ_{MS}	Diferença da função de trabalho entre metal e silício [V]
ϕ_F	Potencial de Fermi [V]
$\Lambda_{F,D}$	Comprimento do decaimento da temperatura na fonte e dreno [μm]

SUMÁRIO

1. INTRODUÇÃO 20

2. CONCEITOS FUNDAMENTAIS 22

2.1 Transistores SOI MOSFET **22**

2.1.1 Tipos de transistores SOI (PD, FD e NFD) 23

2.1.1.1 Dispositivo SOI parcialmente depletado (PD SOI) 27

2.1.1.2 Dispositivos NFD SOI (NFD SOI) 28

2.1.1.3 Dispositivo SOI totalmente depletado (FD SOI) 28

2.1.2 Tensão de limiar 30

2.1.2.1 Influência da temperatura na tensão de limiar 33

2.1.3 Inclinação de sublimiar 34

2.1.4 Mobilidade 36

2.1.5 Transcondutância 38

2.1.6 Efeitos de canal curto 40

2.2 Transistor de canal gradual **41**

2.3 O efeito de autoaquecimento em transistores SOI **45**

2.4 Métodos para medida de autoaquecimento **47**

2.4.1 Avaliação do autoaquecimento com medidas dinâmicas (pulso no dreno) 47

2.4.2 Avaliação do transistor SOI com medidas dinâmicas (pulso na porta) sem efeito de SH. 53

2.4.3 Características do SH através da estrutura de quatro contatos de porta 57

3. SIMULAÇÕES 61

3.1 Modelos Utilizados **61**

3.1.1 Modelo utilizado para autoaquecimento 63

3.2 Resultados para a tecnologia UCL **65**

3.3 Simulações com aplicação de pulso no dreno **73**

3.4 Simulações dos transistores SOI e GC SOI da OKI. **82**

4. RESULTADO EXPERIMENTAL 87

5. CONCLUSÃO 91

6. CONTINUIDADE DO TRABALHO 92

REFERÊNCIAS 93

Apêndice A 98

Apêndice B 100

Apêndice C 102

Apêndice D 104

Apêndice E 106

1. INTRODUÇÃO

A tecnologia Silício sobre Isolante (Silicon-On-Insulator) consiste num transistor com uma fina camada de isolante entre o silício e o substrato. Isto abre novas oportunidades para inovação, melhorando o desempenho, reduzindo consumo de energia e diminuindo o tamanho dos dispositivos, as quais a tecnologia CMOS "*bulk*" ou CMOS convencional não pode alcançar facilmente [1].

O processo de fabricação do CMOS com SOI é compatível com o processo do "*bulk*" em termos de ferramental. Não requer nenhum passo adicional sofisticado e é esperado que seja mais simples se seguidas as mesmas especificações [2]. No "*bulk*", a isolação e outros processos continuam aumentando a complexidade e custo com a escala. Segundo o consórcio de fabricantes de transistor SOI [3], recentes estudos indicam que transistores GC SOI podem ter custo igual ou menor em larga escala comparados com o "*bulk*".

Os transistores SOI já são utilizados por empresas como OKI [4], Freescale, IBM, Samsung, Nvidia, ST Microelectronics em muitas aplicações comerciais, tais como sistema micro eletromecânico (MEMS), circuitos integrados ópticos e sensores. Mas dentro das aplicações, o mais importante "consumidor" de transistores SOI é o circuito integrado CMOS [3].

A tecnologia SOI é também usada em aplicações analógicas: os transistores MOS fabricados em substratos SOI apresentaram características melhores que substratos convencionais, como por exemplo, a diminuição da capacitância de junção e valor superior da relação entre a transcondutância e a corrente de dreno.

Na década de 2000, foi obtido um transistor SOI com o canal gradual ou "Graded-Channel" (GC), com o objetivo de minimizar a ocorrência dos efeitos bipolares parasitários inerentes aos transistores SOI, além de promover uma melhora significativa nas suas características de saída. [5].

Tanto no transistor SOI quanto no transistor SOI GC existe a preocupação com o efeito de autoaquecimento ou *Self-Heating* (SH).

Os transistores SOI e SOI GC possuem uma camada de óxido enterrado. Devido à passagem de corrente elétrica, ocorre o efeito Joule na camada de Si. O calor gerado pela passagem de corrente tem dificuldade de dissipação, justamente pela presença da camada de óxido enterrado. O aquecimento da camada de Si provoca uma redução da mobilidade e consequente redução da corrente elétrica. Este efeito é conhecido como *Self-Heating* ou

autoaquecimento. O resultado deste aquecimento da camada de Si é a redução da corrente elétrica que modifica as características elétricas do dispositivo no estado estacionário e transiente [6].

O autoaquecimento pode não ter grande impacto em circuitos digitais porque a sua frequência/tempo é maior que a constante de tempo do autoaquecimento [7], mas este efeito deve ser considerado em circuitos analógicos onde tem passagem de corrente contínua. Além disso, estes circuitos possuem uma forte dependência da estabilidade do ponto de polarização e a potência dissipada no dispositivo pode alterar as características dos transistores.

Este trabalho mostrará um estudo do autoaquecimento em transistor SOI com canal uniformemente dopado (convencional) e canal com dopagem gradual (GC). O segundo capítulo possui maiores detalhes sobre os transistores SOI convencional e o GC SOI.

Inicialmente foi feita uma revisão teórica dos assuntos relacionados ao tema, tais como o funcionamento e arquitetura dos dispositivos GC SOI MOSFET e SOI convencional, enfatizando suas principais características elétricas.

Foram realizadas simulações com o "software" Silvaco Atlas com o intuito de estudar a influência do autoaquecimento para diversos tamanhos de canais nos transistores SOI e GC SOI da UCL e OKI [8] [4]. Para a obtenção do efeito do autoaquecimento foram aplicados pulso e tensão contínua no dreno, na porta manteve-se tensão contínua e pode-se observar claramente o efeito nas curvas de corrente de dreno por tensão de dreno.

Este trabalho encontra-se divido em cinco capítulos, os quais estão listados abaixo.

Neste capítulo 1 temos a introdução do trabalho.

No capítulo 2 podemos encontrar uma revisão teórica dos assuntos relacionados ao tema, tais como o funcionamento e arquitetura dos dispositivos GC SOI MOSFET e SOI convencional, enfatizando suas principais características elétricas e autoaquecimento.

No capítulo 3 serão apresentados os resultados das simulações numéricas bidimensionais onde fica evidente os efeitos de autoaquecimento nos transistores SOI e GC SOI.

No capítulo 4 serão apresentados os equipamentos de medidas experimentais, bem como um exemplo de medida.

Finalmente, o capítulo 5 apresentará a conclusão do trabalho e propostas de continuidade do mesmo.

2. CONCEITOS FUNDAMENTAIS

Neste capítulo serão abordados temas relacionados à teoria do transistor MOS implementados em substrato de Silício sobre Isolante (SOI), transistor com dopagem gradual no canal e o efeito de autoaquecimento e métodos para medida de autoaquecimento.

2.1 Transistores SOI MOSFET

Atualmente, grande parte dos circuitos eletrônicos, sejam eles analógicos ou digitais, utilizam como base transistor por efeito de campo construído segundo a tecnologia Metal-Óxido-Semicondutor (MOSFET) [9].

Entretanto, devido à crescente miniaturização, uma série de efeitos de canal curto tornou a tecnologia CMOS de fabricação de circuitos integrados digitais em altíssima escala de integração *(ULSI - ultra large scale integration*) extremamente complexa [10].

Nos últimos anos uma tecnologia tem demonstrado grande potencial para ser utilizada na fabricação destes circuitos integrados ULSI. Trata-se da tecnologia SOI [11] [12] onde os dispositivos são implementados em lâminas de silício sobre isolante (SOI). A camada de óxido enterrado promove o isolamento dielétrico entre as regiões ativas da lâmina, na qual são construídos os transistores e o substrato [13].

A Figura 1 mostra o perfil de um transistor SOI de canal n e com comprimento L. Pode-se observar os eletrodos de fonte, porta, dreno, substrato, óxido enterrado, as espessuras de óxido de porta (t_{oxf}), de óxido enterrado (t_{oxb}) e da camada de silício (t_{Si}).

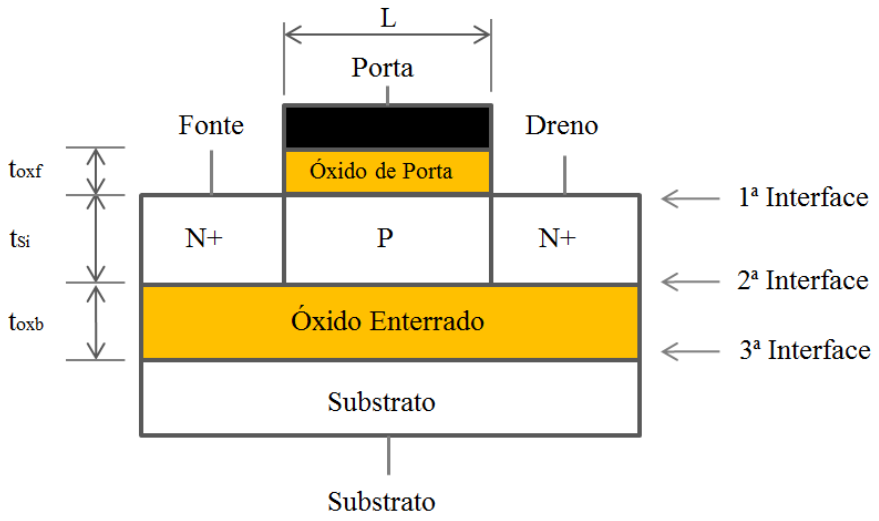


Figura 1- Perfil transversal de um transistor SOI nMOSFET.

O desempenho dos transistores SOI em aplicações analógicas têm sido extensivamente explorado, demonstrando o grande potencial desta tecnologia para a fabricação de circuitos com baixa potência consumida e baixa tensão de alimentação, as chamadas aplicações "*low-power low-voltage*". Parte dos benefícios obtidos deve-se à redução das capacitâncias de junção propiciada pela estrutura SOI. Além disto, o uso de transistores totalmente depletados, com grande redução no efeito de corpo, permitem excelentes resultados na razão da transcondutância em relação a corrente de dreno (g_m/I_{DS}). O valor máximo desta relação é obtido em inversão fraca e vale 25 V^{-1} para os transistores MOS convencionais e 32 V^{-1} para os transistores SOI totalmente depletados [14].

2.1.1 Tipos de transistores SOI (PD, FD e NFD)

O funcionamento do transistor SOI depende da espessura e concentração de dopantes da camada de silício que é usado na sua fabricação. Pode-se distinguir o tipo de dispositivo pela relação entre as espessuras de camada de Si e da região de depleção. O dispositivo que possui camada de silício que nunca pode ser totalmente depletado na região do canal é conhecido como PD ("*partially depleted*"), o dispositivo que pode ser totalmente depletado é chamado de FD "*fully depleted*" e o dispositivo intermediário é o NFD (*near-fully depleted).* Para facilitar o entendimento das diferenças no funcionamento entre o transistor SOI PD e o transistor SOI FD serão apresentados seus diagramas de banda energia. Inicialmente, será apresentado na Figura 2, o diagrama de banda de energia do transistor MOS convencional com substrato tipo P, onde E_C é o nível de energia inferior da banda de condução, E_i nível intrínseco, E_F nível de Fermi da camada do semicondutor, E_V nível superior de energia da banda de valência, E_{FM} o nível de Fermi do metal de porta e x_d a profundidade de depleção. É importante analisarmos a estrutura MOS, pois servirá como base para o entendimento da estrutura do SOI parcialmente depletada na Figura 3, e totalmente depletada, na Figura 4. No diagrama de bandas de energia do transistor SOI poderá ser encontrado o E_{FB}, que é o nível de Fermi do substrato, x_{d1} que representa a região de depleção da primeira interface e x_{d2} região de depleção da segunda interface [11].

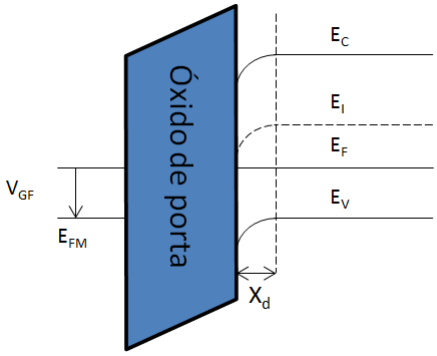


Figura 2- Diagrama de banda de energia de uma estrutura MOS convencional com substrato tipo P.

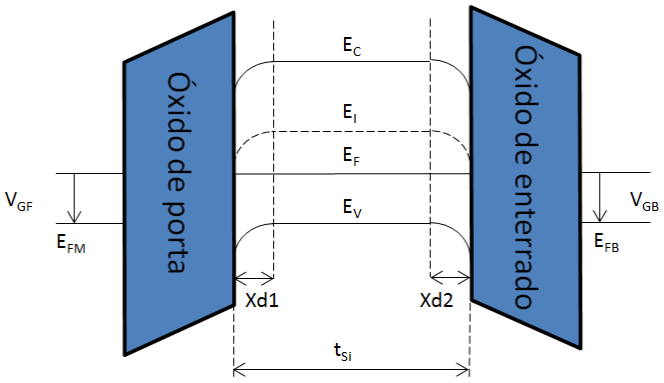


Figura 3 - Diagrama de banda de energia para transistor SOI nMOS de camada espessa parcialmente depletado.

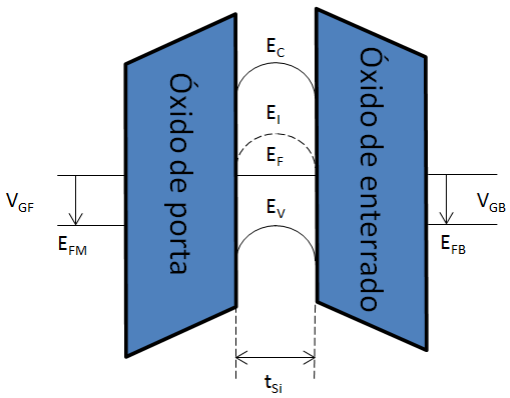


Figura 4 - Diagrama de banda de energia para transistor SOI nMOS de camada fina totalmente depletado.

A região de depleção de um dispositivo MOS convencional vai da interface Si-SiO_2 até a profundidade máxima de depleção x_d ou x_{dmax}, dada por:

$$x_{dmax} = \sqrt{\frac{2\,\varepsilon_{Si} 2\,\phi_F}{q\,N_A}} \quad x_{dmax} = \sqrt{\frac{2\varepsilon_{si} 2\phi_F}{qN_a}} \tag{1}$$

Onde:

$$\phi_F = \frac{k\,T}{q} \ln\left(\frac{N_A}{n_i}\right) \qquad \phi_F = \frac{kT}{q} ln\left(\frac{N_a}{n_i}\right) \tag{2}$$

Sendo que ϕ_F é o potencial de Fermi, ε_{Si} é a permissividade do silicio, q é a carga do elétron, n_i a concentração intrínseca de portadores, k a constante de Boltzmann, N_A a concentração de impurezas aceitadoras do substrato (camada de Si no caso do transistor SOI) e T a temperatura absoluta.

Como estudaremos as consequências do aumento de temperatura, é importante detalharmos a equação de n_i mostrado na equação 2.

$$n_i = 3{,}9.10^{16}.T^{\frac{3}{2}}.e^{-\frac{E_g}{2kT}} \tag{3}$$

Onde:

n_i é a concentração intrínseca dos portadores Si (cm^{-3})

T é a temperatura (K)

k é a constante de Boltzmann

E_g é a banda proibida (Band Gap) (eV)

O efeito de autoaquecimento aumenta a temperatura do silício (n_i) conforme equação (3). O aumento da concentração intrínseca dos portadores irá aumentar o potencial de Fermi conforme equação (2). Posteriormente iremos definir a tensão de limiar que será influenciada pelo aumento de ϕ_F.

Caso estivessemos trabalhando em temperaturas abaixo da temperatura ambiente outro fator que poderia influênciar o valor de concentração intrínseca dos portadores Si seria a banda proibida (E_g). A Figura 5 mostra a dependencia de n_i em função de E_g.

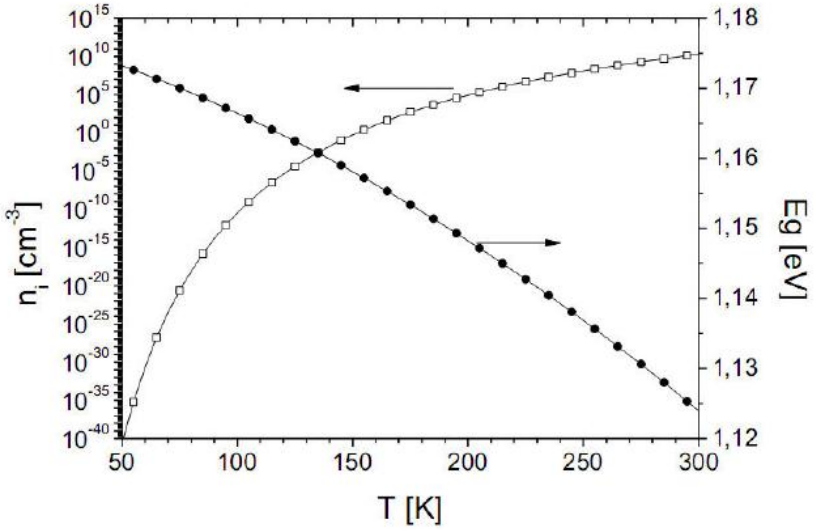


Figura 5 - Concentração intrínseca de portadores e largura da banda proibida em função da temperatura **[15]**.

O material utilizado no canal pode apresentar diferentes comportamentos com o efeito de autoaquecimento. Apenas para ilustrar o comportamento e mostrar outra possibilidade de análise relacionada ao tema, a Figura 6 mostra a concentração intrínseca do Germânio, Silício e Arseneto de Gálio.

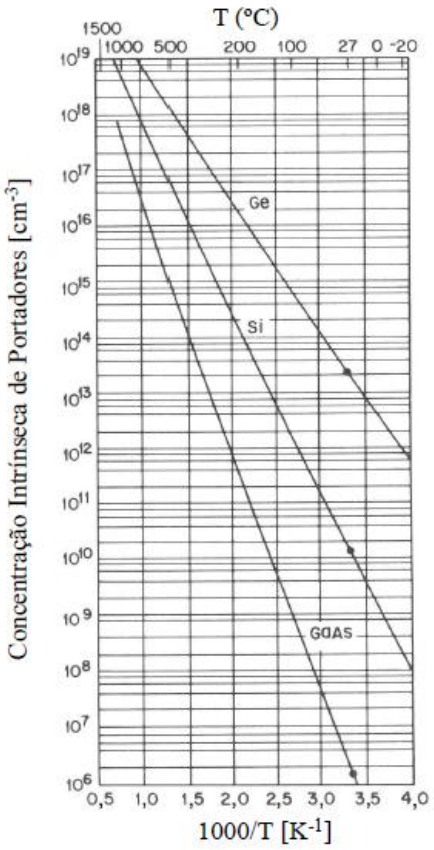


Figura 6 - Concentração intrínseca de portadores do Ge, Si e GaAs **[16]**.

Os valores de concentração intrínseca de portadores aumentam com o aumento da temperatura. Em 27ºC pode-se ler n_i na ordem de grandeza de 10^{10} e em 200ºC na ordem de 10^{14} para o Silício. Um aumento muito elevado que influencia diretamente o funcionamento do dispositivo.

2.1.1.1 Dispositivo SOI parcialmente depletado (PD SOI)

Como foi ilustrado na Figura 3, a espessura da camada de silício (t_{Si}) é maior que o dobro da profundidade máxima de depleção (x_{d1} e x_{d2}). Aparecerá uma região neutra entre as regiões de depleção x_{d1} e x_{d2}, caracterizando o dispositivo como parcialmente depletado.

Se esta região de silício "neutra" for conectada á terra, as características do dispositivo serão idênticas a um MOS convencional. De outra forma, caso a região neutra não possua um contato elétrico e fique eletricamente flutuante, o transistor apresentará efeitos devidos ao corpo flutuante *(Floating Body Effect)*, tais como o efeito de elevação da corrente (*efeito Kink*) [17].

2.1.1.2 Dispositivos NFD SOI (NFD SOI)

Os dispositivos NFD SOI *(near-fully depleted SOI)* são intermediários entre os parcialmente depletados e os totalmente depletados. A espessura da camada de silício poderá ser maior que o dobro da profundidade de depleção ou menor que a profundidade máxima de depleção do dispositivo, dependendo da tensão aplicada à porta e no substrato (V_{GB}), ou seja, $x_{dmax} < t_{si} < 2\ x_{dmax}$. Com isso, temos um dispositivo que poderá apresentar características de um dispositivo parcialmente depletado ou totalmente depletado [18].

2.1.1.3 Dispositivo SOI totalmente depletado (FD SOI)

O diagrama de banda de energia da Figura 4 mostra o dispositivo FD (*Fully Depleted*) SOI. A espessura da camada de silício (t_{Si}) é menor que a profundidade máxima de depleção do dispositivo. Com isso, as duas regiões de depleção da primeira e da segunda interface se encontram, garantindo assim que a camada de silício fique totalmente depletada para tensões superiores a tensão de limiar. Deste modo, há uma interferência entre os potências de superfície da primeira e segunda interface.

Este dispositivo apresenta melhores características elétricas em relação aos demais, pois tem maior mobilidade de portadores na região de canal [19], menor variação de tensão de limiar com a temperatura [20], redução do campo elétrico horizontal [21] e menor ocorrência de efeitos de canal curto [5]. A inclinação de sublimiar nos dispositivos SOI MOSFET totalmente depletados se aproxima mais do valor mínimo teórico de 60mV/década na temperatura ambiente, do que os dispositivos MOS convencionais, em torno de 100mV/década. Com isso, podemos utilizar tensões de limiar com valores menores sem a elevação da corrente de fuga, permitindo a redução das tensões de alimentação.

Uma grande parcela das vantagens oferecidas pelo transistor SOI MOSFET totalmente depletado face aos transistores MOS convencionais e aos transistores SOI parcialmente depletados, está relacionada ao fator de corpo (“body factor”), o qual afeta diretamente a capacidade de fornecimento de corrente do transistor e sua inclinação de sublimiar. [22] [23]

O efeito de corpo pode ser entendido como a dificuldade oferecida pelo dispositivo para que o eletrodo de porta controle o potencial de superfície da interface óxido de porta/silício. Assim, quanto menor o fator de corpo, mais próximo do ideal será o comportamento elétrico do dispositivo.

O fator de corpo (n) está relacionado com o acoplamento capacitivo do transistor MOS pela equação:

$$n=1+\alpha \quad (4)$$

Onde α poder ser definido pelas equações:

$$\propto = \frac{C_{Si}}{C_{oxf}} \quad \text{para segunda interface acumulada} \quad (5)$$

$$\propto = \frac{C_{Si}C_{oxb}}{C_{oxf}(C_{Si}+ C_{oxb})} \quad \text{para segunda interface depletada} \quad (6)$$

$$\propto = \frac{C_D}{C_{OX}} \quad \text{para transistores MOS convencionais} \quad (7)$$

$$C_{oxf} = \frac{\varepsilon_{ox}}{t_{oxf}} \quad (8)$$

$$C_{oxb} = \frac{\varepsilon_{ox}}{t_{oxb}} \quad (9)$$

$$C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}} \quad (10)$$

$$C_D = \frac{\varepsilon_{Si}}{X_{dmax}} \quad (11)$$

Nas equações (8) (9) (10) e (11), os valores Coxf (Cox para transistor MOS convencional), Coxb, CSi e CD são as capacitâncias do óxido de porta, óxido enterrado, camada de silício e região de depleção, respectivamente. Todas as capacitâncias são definidas por unidade de área.

As implicações do menor efeito de corpo nas características de saída dos dispositivos podem ser observadas a partir da equação simplificada para a corrente de dreno (I_{DS}) dos transistores, em cada uma das regiões de funcionamento [22].

a) Na região Triodo:

$$I_{DS} = \frac{W\,\mu_n\,C_{oxf}}{X_{dmax}}\left[(V_G - V_{th})V_{DS} - n\,\frac{{V_{DS}}^2}{2}\right] \quad (12)$$

b) Na região de Saturação:

$$I_{DS} = \frac{W\,\mu_n\,C_{oxf}}{2\,L\,n}(V_G - V_{th})^2 \quad (13)$$

onde W e L são a largura e comprimento de canal do transistor, μ_n é a mobilidade efetiva dos elétrons na região de canal e V_{th} é a tensão de limiar do transistor.

Em resumo, quanto menor o fator de corpo, as características da saída do dispositivo serão mais próximas do ideal. O fator de corpo está relacionado com o acoplamento das capacitâncias do transistor.

A seguir serão apresentadas algumas das principais características dos transistores SOI MOSFET necessárias para o adequado entendimento deste trabalho.

2.1.2 Tensão de limiar

A tensão de limiar (V_{th}) pode ser definida como a tensão aplicada entre a porta e a fonte para a qual há a formação do canal de inversão (elétrons ou lacunas livres). Para o transistor SOI parcialmente depletado é válida a mesma equação que para o transitor MOS convencional. Na condição de tensão de limiar o potencial de superfície iguala-se a $2\phi_F$.

Como não há interação entre as regiões de depleção, tem-se:

$$V_{th} = V_{FB} + 2\phi_F + \frac{qNaX_{dmax}}{C_{OX}} \quad (14)$$

Onde a tensão de faixa plana, V_{FB} é dada por $V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}}$, sendo ϕ_{MS} a diferença da função trabalho entre o eletrodo de porta e silício, Q_{ox} a densidade de carga fixa no óxido de porta por unidade de área e C_{ox} a capacitância do óxido de porta do transistor MOS por unidade de área.

A tensão de limiar pode ser descrita pela solução da equação (15) [24].

$$\frac{d^2\phi}{dx^2} = \frac{qN_A}{\varepsilon_{Si}} \quad (15)$$

Fazendo as duas integrações do potencial ao longo da profundidade da camada de silício de um transistor SOI, pode-se determinar o potencial em função da profundidade da camada de silício conforme equação (16).

$$\phi\,(\mathrm{x}) = \frac{q\,N_A}{2\,\varepsilon_{Si}}\,x^2 + \left(\frac{\phi_{SB}-\phi_{SF}}{t_{Si}} - \frac{q\,N_A\,t_{Si}}{2\,\varepsilon_{Si}}\right).x + \phi_{SF} \qquad (16)$$

Onde:

x é o eixo na direção da profundidade da camada de silício.

$\phi(0)= \phi_{SF}$ é o potencial de superfície na primeira interface.

$\phi(tsi)= \phi_{SB}$ é o potencial de superfície na segunda interface.

O campo elétrico na camada de silício é dado pela derivada do potencial ao longo da profundidade x, logo temos:

$$E\,(\mathrm{x}) = -\frac{\mathrm{d}\phi\,(\mathrm{x})}{dx} = \frac{q\,N_A}{2\,\varepsilon_{Si}}\,.x + \left(\frac{\phi_{SB}-\phi_{SF}}{t_{Si}} - \frac{q\,N_A\,t_{Si}}{2\,\varepsilon_{Si}}\right) \qquad (17)$$

Através da equação (17), para o valor de x = 0, pode-se obter o valor do campo elétrico na primeira interface:

$$E_{SF}(\mathrm{x}) = \left(\frac{\phi_{SB}-\phi_{SF}}{t_{Si}} - \frac{q\,N_A\,t_{Si}}{2\,\varepsilon_{Si}}\right) \qquad (18)$$

Aplicando o teorema de Gauss na primeira interface, temos a queda de potencial no óxido de porta na equação (19).

$$\phi_{oxf} = \frac{\varepsilon_{Si}\,E_{SF}-Q_{oxf}-Q_{invf}}{C_{oxf}} \qquad (19)$$

Onde:

C_{oxf} é capacitância do óxido de porta.

Q_{oxf} é a densidade de carga fixa no óxido de porta.

Q_{SB} é a carga de inversão ou de acumulação na segunda interface.

Q_{invf} é a densidade de carga de inversão na primeira interface, todas por unidade de área.

Utilizando o diagrama de banda de energia de um dispositivo SOI totalmente depletado, podemos relacionar os potenciais aplicados a primeira e segunda porta com os potenciais de superfície da primeira e segunda interface:

$$V_{GF} = \phi_{MSF} + \phi_{oxf} + \phi_{SF} \quad (20)$$

$$V_{GB} = \phi_{MSB} + \phi_{oxb} + \phi_{SB} \quad (21)$$

Onde:

ϕ_{MSF} é a diferença de função trabalho entre metal de porta e a camada de silício.

ϕ_{MSB} é a diferença de função de trabalho entre o substrato e a camada de silício do transistor.

ϕ_{oxf} é queda de potencial no óxido de porta.

ϕ_{oxb} é a queda de potencial no óxido enterrado.

Para obter as relações entre as tensões aplicadas na porta e no substrato com os potenciais de superfícies da primeira e segunda interface, basta substituir as equações (17), (18) e (19) em (20) e (21).

$$V_{GF} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{si}}{C_{oxf}}\right).\phi_{SF} - \frac{C_{si}}{C_{oxf}}.\phi_{SB} - \frac{\frac{1}{2}.Q_{depl}+Q_{invf}}{C_{oxf}} \quad (22)$$

$$V_{GB} = \phi_{MSB} - \frac{Q_{oxb}}{C_{oxb}} + \left(1 + \frac{C_{si}}{C_{oxb}}\right).\phi_{SB} - \frac{C_{si}}{C_{oxb}}.\phi_{SF} - \frac{\frac{1}{2}.Q_{depl}+Q_{SB}}{C_{oxb}} \quad (23)$$

Onde:

C_{Si} é a capacitância de camada de silício por unidade de área.

Coxb é a capacitância de óxido enterrado.

Q_{SB} carga de acumulação ($Q_{SB}>0$) ou inversão ($Q_{SB}<0$) na segunda interface.

Para o transistor SOI totalmente depletado a equação de tensão de limiar com a segunda interface em acumulação é dada por:

$$V_{th_{accB}} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) 2\phi_F - \frac{Q_{depl}}{2\,C_{oxf}} \quad (24)$$

Para a tensão de limiar com a segunda interface em inversão:

$$V_{th_{invB}} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + 2\phi_F - \frac{Q_{depl}}{2\,C_{oxf}} \quad (25)$$

Se a segunda interface estiver em depleção, a tensão de limiar dependerá de V_{GB}:

$$V_{th_{deplB}} = V_{th_{accB}} - \frac{C_{Si}C_{oxb}}{C_{oxf}\,(C_{Si}+C_{oxb})}\,(V_{GB} - V_{GB,accB}) \quad (26)$$

2.1.2.1 Influência da temperatura na tensão de limiar

A seguir será apresentada a equação onde podemos observar a influência da variação de temperatura na tensão de limiar. A equação (27) mostra a tensão de limiar de um transistor SOI parcialmente depletado com a inclusão do efeito das armadilhas de interface.

$$V_{th} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} + \frac{q\,N_{it}\emptyset_F}{C_{ox}} - \frac{Q_{depl}}{C_{OX}} + 2\phi_F \quad (27)$$

Onde N_{it} é a densidade de armadilhas de interface na primeira interface por unidade de área.

Antes de analisarmos a tensão de limiar, vamos rever as equações (2) e (3) que definem ϕ_F e n_i. Se a temperatura aumentar devido ao efeito de SH, n_i aumentará rapidamente e por consequência ϕ_F também. Se desprezarmos as armadilhas de interface a tensão de limiar aumenta conforme a temperatura.

Adicionalmente a outra parte da equação (27) que está relacionada com o efeito das armadilhas de interface, torna-se significativa com a redução da temperatura e contribuem para o aumento da tensão de limiar [10]. $\phi_F = \frac{kT}{q} ln\left(\frac{N_a}{n_i}\right)$

Considerando para SOI parcialmente depletados que a densidade de carga de depleção seja $Q_{depl} = -\,q\,N_A\,x_{dmax.}$

Desta forma, diferenciando a equação (27) em relação à temperatura, a variação da tensão de limiar pode escrita assim [15]:

$$\frac{dV_{th}}{dT} = \frac{d\phi_F}{dT}\left[1 + \propto_{V_T} \frac{q}{C_{oxf}}\left(\frac{\varepsilon_{S_i} N_A}{K\,T \ln(N_A / n_i)}\right)^{\frac{1}{2}} + \frac{q\,N_{it}}{C_{oxf}}\right] \quad (28)$$

Sendo que $\alpha_{VT} = 1$.

No transistor SOI totalmente depletado a espessura da camada de silício (t_{Si}) é menor que a profundidade máxima de depleção do dispositivo e a tensão de limiar não depende da profundidade da camada de depleção. Desta forma, a carga de depleção torna-se função da espessura da camada de silício, e sua variação com a temperatura pode ser desprezada. Neste caso, a variação da tensão de limiar com a temperatura é dada pela equação (28) com $\alpha_{VT} = 0$ [1].

Considerando a influência das armadilhas de interface igual nos transistores SOI e MOS, a variação de tensão de limiar com a temperatura é menor nos dispositivos SOI totalmente depletados do que nos dispositivos MOS convencionais e SOI de camada espessa [15].

2.1.3 Inclinação de sublimiar

A inclinação de sublimiar é definida como a inclinação da curva de I_{DS} x V_{GS} em regime sublimiar [11] e pode ser apresentada na equação (29).

$$S = \frac{d\,V_G}{d(\log\, I_D)} \quad (29)$$

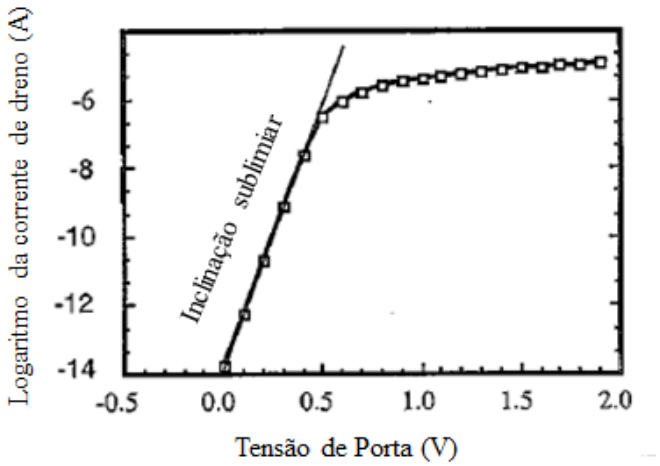


Figura 7 – Gráfico do logaritmo da corrente de dreno pela tensão de porta com indicação da região de sublimiar **[11]**.

A inclinação de sublimiar (S) pode ser obtida num gráfico de tensão de porta pelo logaritmo da corrente de dreno. Para extração de S, deve-se medir qual é a taxa de variação de tensão de porta em uma década da corrente de dreno na região sublimiar.

Considerando que a componente da corrente predominante quando o transistor está na região de subliminar é de difusão, pode-se obter que:

$$S = n\ \frac{KT}{q} \ln(10) \tag{30}$$

Como mostra a equação (30), a inclinação de sublimiar (S) depende do fator de corpo (n). Onde n do SOI totalmente depletado é menor que do MOS convencional e do SOI com a segunda interface acumulada.

$$n_{\text{SOI totalmente depletado}} < n_{\text{MOS convencional}} < n_{\text{SOI com a segunda interface acumulada}}$$

A inclinação de sublimiar apresentada na equação (31) é diretamente proporcional à temperatura.

Substituindo o fator de corpo (n) pelo acoplamento capacitivo do transistor chegamos na equação (31).

$$S = \frac{KT}{q}\ \ln(10)(1+\propto) \tag{31}$$

Onde $\propto$ para transistor MOS convencional é dado por:

$$\propto = \frac{C_D + C_{itf}}{C_{ox}} \tag{32}$$

E para transistores SOI totalmente depletados:

$$\propto = \frac{C_{itf}}{C_{oxf}} + \frac{C_{Si}}{C_{oxf}} - \frac{\frac{{C_{Si}}^2}{C_{oxf}\,C_{oxb}}}{1+\frac{C_{itb}}{C_{oxf}}+\frac{C_{Si}}{C_{oxb}}} \tag{33}$$

Na equação (33), C_{itf} e C_{itb} são, respectivamente, as capacitâncias das armadilhas de interface da primeira e segunda interfaces, $C_{itf} = q\ N_{itf}$ e $Ci_{tb} = q\ N_{itb}$, onde N_{itf} e N_{itb} são as densidades de armadilhas de interface na primeira e segunda interfaces. [15]

2.1.4 Mobilidade

A mobilidade expressa a facilidade com que os elétrons e lacunas se deslocam através do semicondutor e pode ser definida como sendo a velocidade média de deslocamento pelo campo elétrico [9].

$$\mu_n = -\frac{V}{\xi}\left[\frac{cm^2}{V.\ s}\right] \tag{34}$$

O transistor SOI totalmente depletado apresenta melhor mobilidade. Isso se deve à associação equivalente da capacitância do dispositivo [11].

Cada elétron na banda de condução se move livremente no cristal entre cada colisão. O tempo médio entre duas colisões é chamado de "tempo de repouso" e pode ser representado por τ_n. O tempo de repouso para os elétrons num semicondutor, está na ordem de 1/10 ps (pico segundo) na temperatura ambiente, no qual o elétron pode percorrer 10 nanômetros. [10]

$$\mu_n = \frac{q.\tau_n}{m_e} \tag{35}$$

A mobilidade é proporcional ao tempo de repouso dos elétrons e inversamente proporcional a sua massa condutiva efetiva. O tempo de repouso diminui com o aumento da temperatura, devido ao aumento térmico de vibrações na estrutura e aumento dos fônons. Da mesma forma, as impurezas e defeitos causam espalhamento de elétrons (colisões), portanto pode-se concluir que a mobilidade diminui com o autoaquecimento. [10]

A mobilidade dos portadores é um fator bastante importante para a determinação da capacidade de fornecimento de corrente de um transistor SOI MOSFET. O movimento dos portadores em um cristal semicondutor não é livre, mas limitado por mecanismos de espalhamento que reduzem sua mobilidade. Alguns destes mecanismos de degradação são fortemente dependentes da temperatura, e podem ser classificados como: espalhamento de rede, espalhamento por impurezas ionizadas, espalhamento portador-portador e espalhamento por impurezas neutras [15] [25].

a) Espalhamento de rede ou por fônons (lattice scattering -μps)

Espalhamentos de redes são causados pelas interações entre os portadores e as vibrações de rede cristalina (fonôns). Pode-se ser expresso pelo modelo da equação (36). As vibrações aumentam com o aumento da temperatura, causando redução da mobilidade [26].

$$\mu_{pse,psh} = \frac{1}{\frac{1}{\mu_{0ea,0ha}\left(\frac{T}{300}\right)^{-\alpha e,-\alpha h}} + \frac{1}{\mu_{0eb,0hb}\left(\frac{T}{300}\right)^{-\beta e,-\beta h}}} \quad (36)$$

onde o "e" refere-se a elétrons, "h" as lacunas, μ_{0ea} = 4195 cm^2/Vs, μ_{0ha}=2502 cm^2/Vs, μ_{0eb}=2153 cm^2/Vs, μ_{0hb} = 591 cm2/Vs, αe = αh = 1,5, βe = 3,13 e βh = 3,25.

b) Espalhamento por impurezas ionizadas

A mobilidade pode ser reduzida pela alta concentração de dopantes introduzidas na rede cristalina do material [26].

c) Espalhamento portador-portador

O mecanismo de espalhamento portador-portador exerce influência sobre a mobilidade em altas densidades de portadores, como em dispositivos submicrometricos, que apresentam altas densidades de corrente [27].

d) Espalhamento por impurezas neutras (*neutral-impurity scattering*)

O mecanismo de espalhamento por impurezas neutras deve-se às impurezas não-ionizadas em baixas temperaturas. Seria interessante observar este mecanismo se estivéssemos estudando dispositivos em baixas temperaturas [28].

2.1.5 Transcondutância

A transcondutância (g_m) é a medida da eficácia do controle da taxa de variação da corrente de dreno pela tensão de porta [11].

A transcondutância do transistor MOS convencional, PD e FD SOI na saturação pode ser obtida pela equação:

$$g_m = \frac{dI_{D\,Sat}}{dV_G} \tag{37}$$

$$g_m = \frac{\mu_n C_{OX1}}{n} \frac{W}{L} (V_{G1} - V_{th}) \tag{38}$$

Para $V_{DS} > V_{DS,\,SAT}$ e α conforme mostra abaixo:

$$\alpha = \frac{\varepsilon_{si}}{x_{dmax} C_{OX}}$$ Transistor MOS e PD SOI

$$\propto = \frac{C_{Si}}{C_{oxf}}$$ Transistor FD SOI com segunda interface acumulada

$$\propto = \frac{C_{Si} C_{oxb}}{C_{oxf}(C_{Si} + C_{oxb})}$$ Transistor FD SOI com segunda interface depletada

Conforme descrito no item 2.1.1.3, o fator de corpo (n) é a soma de 1 e α. Analisando a equação (38), quanto menor o fator de corpo, maior é a transcondutância. Como o fator de corpo em FD SOI na região de saturação é menor, apresenta maior g_m se comparado ao MOS convencional e maior ainda se comparado ao SOI com a segunda interface acumulada.

Outro ponto que deve ser analisado na equação (38) é a influência da mobilidade no resultado da transcondutância. Como explicado anteriormente, a mobilidade é suscetível à variação de temperatura. Como g_m tem variação diretamente proporcional à mobilidade, a redução da temperatura aumenta mobilidade e a transcondutância.

A seguir temos um exemplo de uma simulação numérica do transistor SOI totalmente depletado com L=0,5 μm, com V_{DS}= 100 mV para diferentes temperaturas [15].

Na Figura 8, observa-se inicialmente na temperatura ambiente uma curva característica da tensão de porta por g_m. Ao reduzir a temperatura para 250K, observa-se um aumento da transcondutância, indicando um maior controle da corrente de dreno pela tensão de porta. Para temperatura de 200K e 150K é visível o aumento de g_m, mas após diminuição da temperatura para 100K percebe-se a diminuição de g_m, que pode ser explicada pelo degradação da mobilidade através do espalhamento de superfície [15].

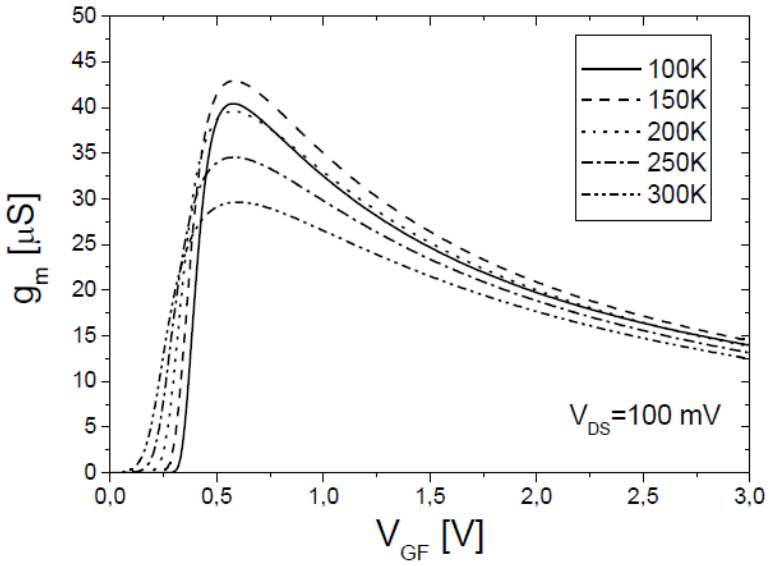


Figura 8 – Transcondutância em função da tensão de porta, simulada para um dispositivo SOI totalmente depletado com L=0,5 μm e V_{DS}=100 mV, em diferentes temperaturas. **[15]**

Para amplificadores operacionais, o ganho é calculado conforme equação

$$|Av| = g_m \, R_{out}$$

Conforme mostrado anteriormente, a g_m tem melhor comportamento nos transistores SOI, logo quanto maior o g_m maior é o ganho do amplificador.

2.1.6 Efeitos de canal curto

A redução do comprimento do canal dos transistores pode causar o efeito conhecido como "efeito de canal curto", que interfere na tensão de limiar e na inclinação de sublimiar.

Este efeito é decorrente do fato que a carga da região de depleção sobre o canal, que tipicamente é controlada pela tensão de porta, passa a ser parcialmente influenciada pelas regiões de depleção decorrentes das junções fonte canal / dreno canal.

A Figura 9 mostra, no lado esquerdo, os transistores MOS convencional e SOI de canal longo. Nestes exemplos, praticamente todas as cargas (Q_{dl}) da região do canal são controladas pela porta e não se caracteriza um efeito de canal curto.

Ao reduzirmos o comprimento do canal do transistor SOI, conforme mostra Figura 9 (lado direto inferior), o efeito de canal curto é configurado, pois a quantidade de carga controlada pela porta é da mesma ordem de grandeza que a presente nas regiões de depleção de fonte e dreno. Nesta situação a porta já não controla todas as cargas da região de canal (equação 40 – MOS convencional) e passa a controlar uma fração de carga conforme mostra equação (41).

Devido ao efeito de canal curto a quantidade de cargas controladas pela porta sofre uma redução significativa resultando na redução de V_{th}, principalmente em transistores convencionais com L muito pequeno e em aplicação de circuitos analógicos.

A carga de depleção num transistor MOS convencional pode ser expressa pela equação (39).

$$Q_{dl} = Q_{depl}\left(1 - \frac{r_j}{L}\left(\sqrt{1 + \frac{2x_{dmax}}{x_j}} - 1\right)\right) \quad (39)$$

Onde x_j é a profundidade de junção e $Q_{depl} = q\ Na\ x_{dmax}$ (40)

Para o transistor SOI FD a carga de depleção pode ser expressa pela equação (41).

$$Q_{dl} = Q_{depl}\left(1 - \frac{d}{L}\right) \tag{41}$$

Onde d é mostrado na Figura 9 lado esquerdo inferior.

$$Q_{depl} = q\, N_A\, t_{si} \tag{42}$$

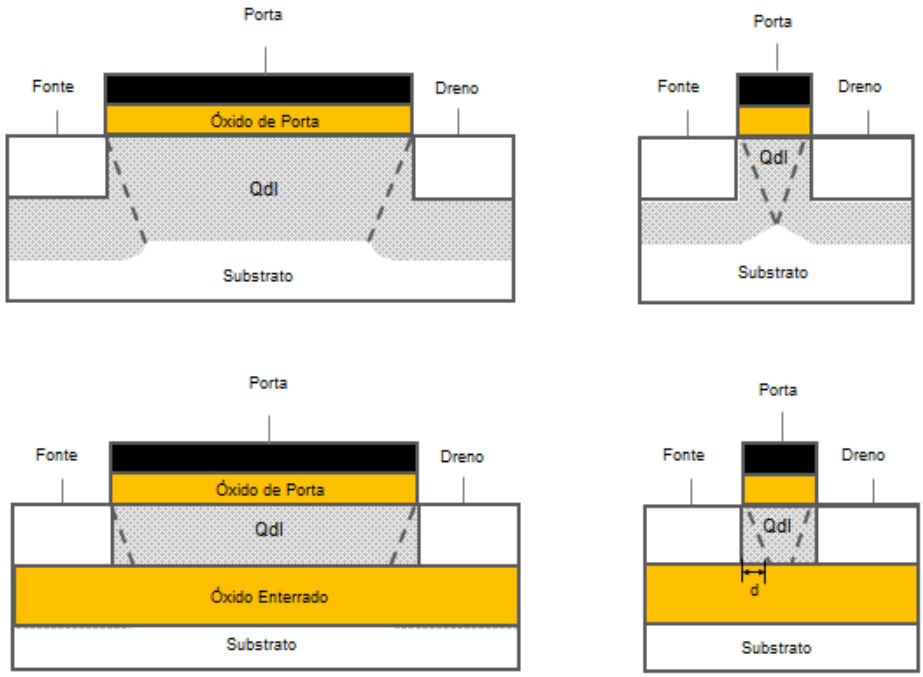


Figura 9 – Distribuição das cargas de depleção em canal longo (esquerda) e canal curto (direita) "*bulk*" e em transistor SOI MOSFETs totalmente depletado. Qdl é a carga de depleção controlada pela porta **[11]**.

2.2 Transistor de canal gradual

Com o intuito de minimizar os efeitos devido ao elevado campo elétrico na região de dreno, foi criado um novo transistor SOI totalmente depletado, com perfil assimétrico de dopantes na região de canal, denominado GC SOI MOSFET [1] [29] [30] [31]. Neste transistor, uma região com concentração de dopantes natural da lâmina de silício é preservada na região próxima ao dreno, através do mascaramento da implantação iônica para ajuste da tensão de limiar. Esta região possui comprimento L_{LD}. A parte remanescente do canal sofre a implantação iônica de ajuste de tensão de limiar (V_{th}), fazendo com que a estrutura resultante possua V_{th} similar à de um transistor SOI convencional (uniformemente dopado desde a fonte

até o dreno). Os resultados obtidos a partir desta nova estrutura mostram que a mesma proporciona uma redução no comprimento efetivo de canal, uma vez que a região fracamente dopada permanece invertida mesmo com tensão de porta nula [30]. Deste modo, pode-se aproximar que o comprimento efetivo de canal (L_{eff}) do dispositivo seja $L-L_{LD}$. Além disto, uma significativa redução na condutância de dreno dos transistores é obtida (Figura 12), o que é de especial interesse para aplicações analógicas.

Na Figura 10 é apresentado o perfil transversal do transistor GC SOI MOSFET.

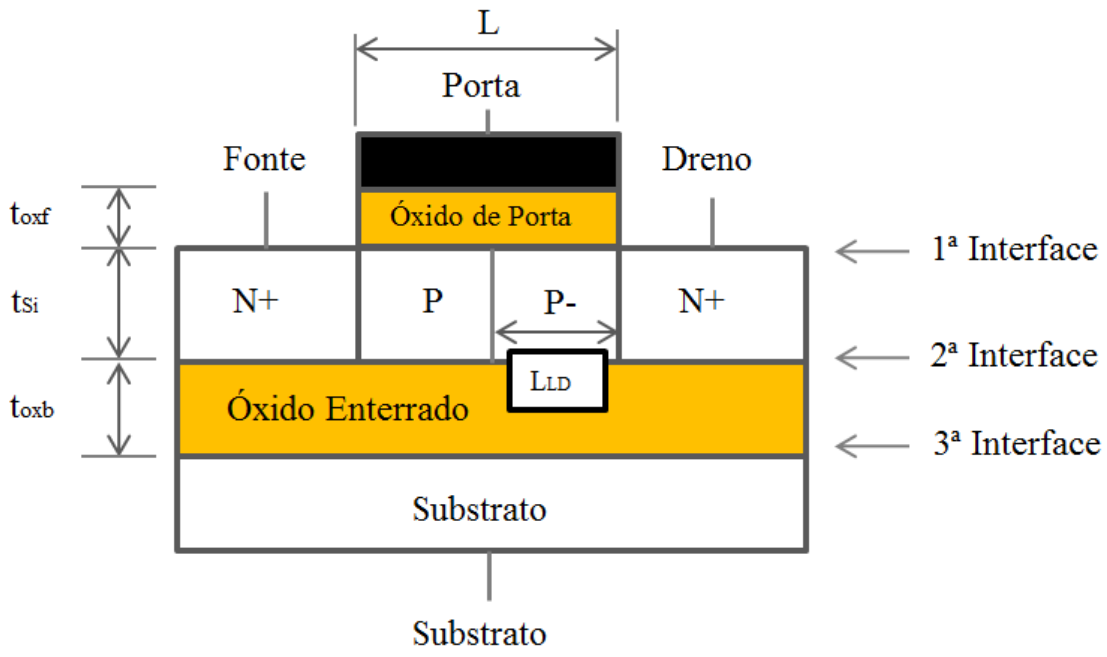
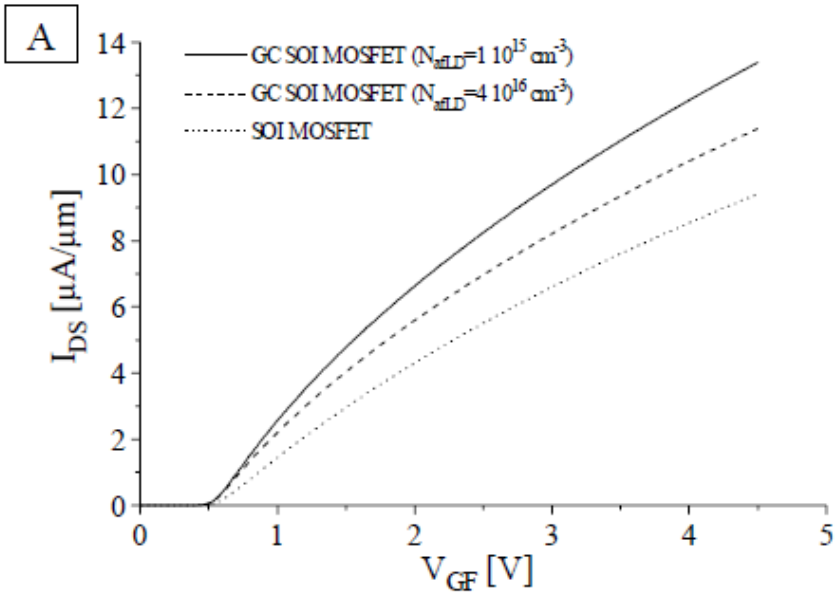


Figura 10 - Perfil do transistor SOI MOSFET totalmente depletado com perfil de dopantes assimétrico na região de canal (GC SOI MOSFET) **[5]**.

A Figura 10 mostra o perfil de um transistor GC SOI de canal (p) e com comprimento (L). Podem-se observar os eletrodos de fonte, porta, dreno, substrato, as espessuras de óxido de porta (t_{oxf}), óxido enterrado (t_{oxb}) e camada de silício (t_{Si}). O diferencial em relação ao transistor SOI é o comprimento da região do canal com concentração de dopantes reduzida L_{LD} onde N_{AfLD} é a concentração de dopantes na região fracamente dopada e N_{AfLH} na região fortemente dopada.

Para demonstrar as características entre o GC SOI e SOI convencional, serão apresentadas as curvas da corrente de dreno (I_{DS}) e transcondutância (g_m), ambas em função da tensão de porta (V_{GF}) na Figura 11, retiradas do trabalho que introduziu o transistor GC SOI MOSFET. [5].

Os dispositivos GC SOI e SOI apresentados têm as seguintes características: t_{oxf}=20 nm, t_{Si}=80 nm, t_{oxb}=400 nm, L=2 μm, concentrações das regiões de fonte e dreno igual $1x10^{20}$ cm^{-3}, N_A = $1x10^{17}$ cm^{-3} (canal com concentração uniforme) e N_{AfHD}=1,10^{17} cm^{-3}, L_{LD}=1 μm e com dois níveis de concentração diferentes na região fracamente dopada: N_{AfLD}=$1x10^{15}$ cm^{-3} e N_{AfLD}=$4x10^{16}$ cm^{-3} (canal com concentração gradual).



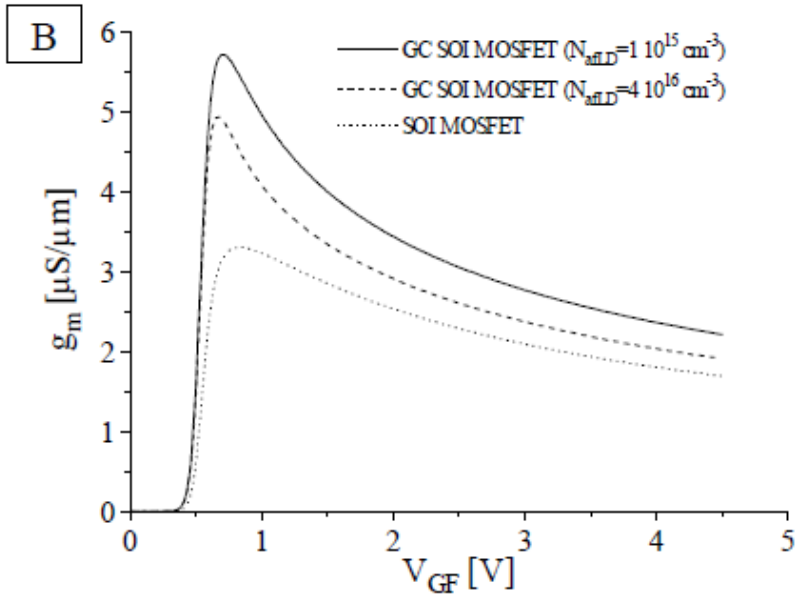


Figura 11 – Curvas I_{DS} x V_{GS} (V_{DS}=0,1 V) (A) e g_m x V_{GS} (V_{DS}=0,1 V) (B) simuladas para o transistor GC SOI MOSFET com dois níveis de concentração diferentes na região fracamente dopada e para um transistor SOI totalmente depletado convencional **[5]**.

Pode-se observar nas Figura 11 A e Figura 11 B que o transistor GC SOI MOSFET apresenta maior corrente de dreno que o transistor SOI totalmente depletado e também que, reduzindo-se a concentração de dopantes na região fracamente dopada, a corrente de dreno sofre uma elevação. Além disto, ambas as configurações do transistor GC SOI MOSFET apresentam maior transcondutância que o SOI MOSFET convencional, o que viabiliza sua utilização em circuitos mais rápidos. [5]

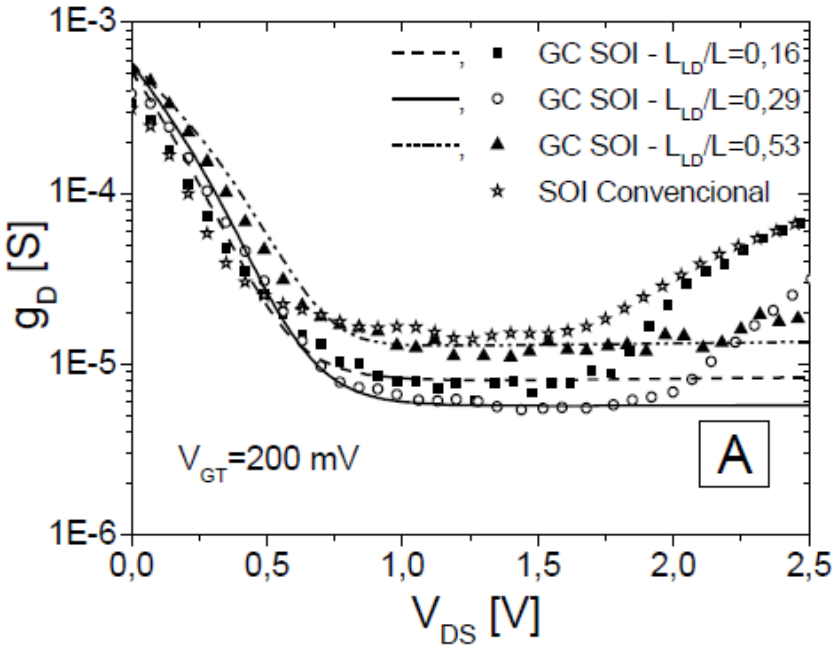


Figura 12 – Comparação entre as curvas experimentais (símbolos) e calculadas (linhas) da condutância de dreno em função da tensão de dreno, para diferentes dispositivos, com V_{GT}=200 mV **[15]**.

A Figura 12 mostra o estudo entre as curvas experimentais e calculadas da condutância de dreno em função da tensão de dreno. O transistor SOI convencional com canal uniforme possui g_D maior que os transistores GC SOI de L_{LD} / L de 0,53, 0,29 e 0,16. A estrutura GC proporciona a redução de g_D e consequentemente a melhora de ganho em relação ao SOI.

Circuitos analógicos simples, tais como espelhos de corrente [32] e amplificadores operacionais de transcondutância (Operational Transconductance Amplifier – OTA) [33] foram fabricados com sucesso e comprovaram o grande potencial desta estrutura. Além destes

resultados, outros grupos de pesquisa do exterior demonstraram o potencial da estrutura GC SOI para aplicações em microondas [34] e também utilizaram o conceito da estrutura de canal gradual para fabricar transistores bipolares em tecnologia SOI [35]. A empresa OKI semicondutores [4] é um exemplo de fabricante de transistores submicrométricos SOI canal gradual. Estudaremos os efeitos de autoaquecimento nesta tecnologia com canal de 300nm.

2.3 O efeito de autoaquecimento em transistores SOI

A estrutura do transistor SOI favorece o efeito de autoaquecimento, pois além do óxido de porta e óxido enterrado formarem uma caixa que bloqueia a dissipação de calor, o óxido tem condutividade térmica pelo menos 100 vezes menor que o Si. [36]. O calor gerado pela passagem de corrente eleva a temperatura, modificando a mobilidade e alterando o valor de corrente de saída do dispositivo.

O efeito de autoaquecimento nos dispositivos SOI pode se tornar um sério problema quando a espessura da camada de silício ativa é reduzida e a espessura do óxido enterrado é aumentada. Consequentemente, se a temperatura da região ativa aumenta, a característica elétrica do dispositivo pode ser drasticamente modificada em estado estacionário e no modo transiente [6].

Devido à passagem de corrente elétrica, ocorre o efeito Joule na camada de Si. O calor gerado pela passagem de corrente tem dificuldade de evacuação, justamente pela presença da camada de óxido enterrado. O autoaquecimento da camada de Si provoca uma redução da mobilidade e consequente redução da corrente elétrica.

Na Figura 13 apresentamos esquematicamente a ocorrência do efeito de autoaquecimento.

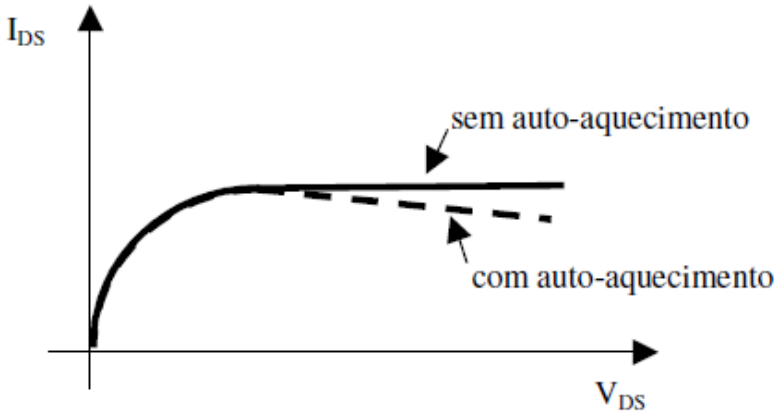


Figura 13 – Curva esquemática I_{DS} x V_{DS} indicando ocorrência de efeito autoaquecimento.

Este efeito é sumamente importante para circuitos analógicos, devido à variação nas características dos transistores, que causam instabilidade e distorção destes circuitos, uma vez que os circuitos analógicos são fortemente dependentes da estabilidade do ponto de polarização [37].

Os circuitos que funcionam com entrada DC podem sofrer maior efeito de SH porque o tempo de suas constantes elétrica são maiores que o tempo de autoaquecimento e por causa da dissipação do calor ocorrer no próprio dispositivo [7].

Para diminuir o efeito de autoaquecimento estão surgindo novas técnicas em relação à alteração nas camadas do SOI e processos de fabricação [6], proposta de novas estruturas como, por exemplo, Double step buried oxide (DSBO) [38] e alteração no material utilizado na fabricação do transistor SOI [39]. Neste trabalho foi estudado o efeito nos dispositivos SOI GC da UCL e OKI.

2.4 Métodos para medida de autoaquecimento

A caracterização do transistor SOI convencional e SOI GC pode ser feita aplicando medidas pulsadas no dreno ou porta e observando a variação na corrente de dreno. Outra maneira de avaliar o autoaquecimento é criando uma estrutura especial com quatro contatos no eletrodo de porta. A seguir serão apresentados detalhes dos métodos mencionados.

2.4.1 Avaliação do autoaquecimento com medidas dinâmicas (pulso no dreno)

A caracterização do autoaquecimento pode ser realizada através de medidas dinâmicas em transistores, avaliando a curva característica da corrente transitória de dreno medida após aplicação de um degrau de tensão no dreno e mantendo-se a tensão de porta constante [40].

Inicialmente, a corrente elétrica fluindo pelo transistor é crescente conforme aumenta o $V_{DS,}$ mas passa a decrescer com a redução da mobilidade ocasionada pelo autoaquecimento.

A Figura 14 mostra a configuração para medir a curva característica do transitório da corrente de dreno. Manteve-se a porta com tensão constante de 4,5V (tensão suficiente para formar camada de inversão), aplicou no dreno um pulso retangular no qual o tempo de subida, largura e o período são 10ns, 10µs e 60µs, respectivamente e a amplitude do pulso de tensão aplicada ao dreno variou de 0,8 até 4,5V.

A curva característica do transitório da corrente de dreno é avaliada pela queda de tensão sobre o resistor conectado à fonte. O substrato está conectado à fonte para assegurar que o transistor esteja totalmente depletado [40].

A resistência externa R_{ext} (100Ω ou 56Ω) deve possuir valor pequeno o suficiente para que se tenha um filtro passa baixa com capacitância de entrada com valores ($RC \approx 10^{-9}$ ns) que não interfiram com a constante de tempo associada com autoaquecimento ($\tau \approx 10^{-6}$µs).

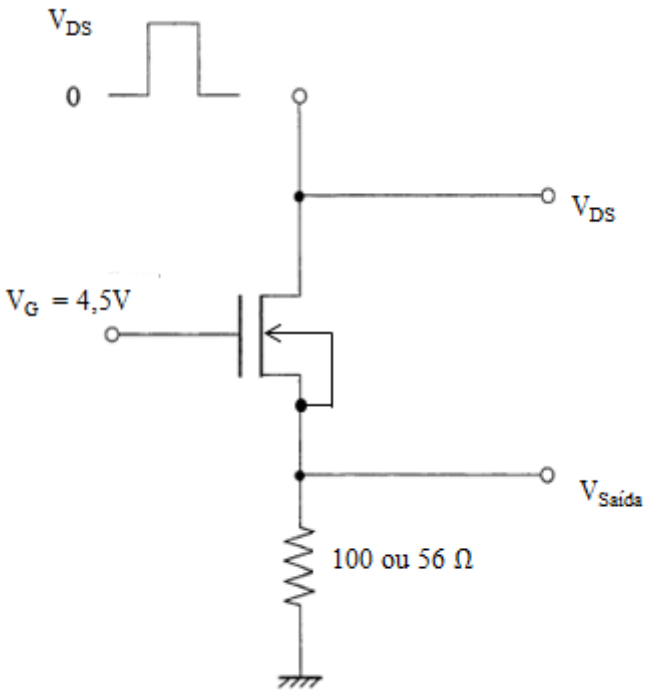


Figura 14 – Configuração para a medida da curva característica do transitório da corrente de dreno **[40]**.

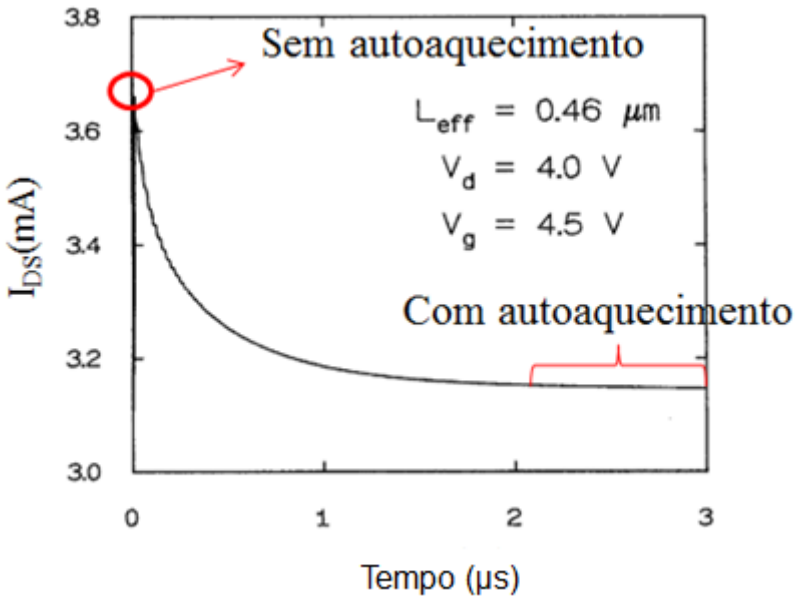


Figura 15 – Curva característica típica de um transitório de corrente de dreno **[40]**.

A Figura 15 mostra um exemplo típico da curva característica do transitório da corrente de dreno na temperatura ambiente de 290K. A medida da característica da corrente de dreno é considerada sem o efeito do corpo flutuante observado na corrente de pico (overshoot) do dreno, pois o transistor está totalmente depletado, a corrente de dreno foi medida para $V_G > V_{DS,}$ onde a ionização por impacto é desprezível.

Deste modo, com t ≈ 0 a corrente I_{DS} pode ser considerado livre do autoaquecimento. A medida que as tensões são mantidas, o aquecimento da camada de Si, e decorrente redução da mobilidade, promovem uma diminuição de I_{DS} até aproximadamente 2μs após o pulso no dreno ter início.

Para cada pulso aplicado no dreno com diferentes valores de amplitude (0,8V até 4,5V) pode-se achar o valor de corrente de dreno correspondente com e sem auto aquecimento. Após o estudo do modelo estimativa deste efeito, a Figura 18 irá mostrar o resultado dos pontos medidos e cálculos.

A partir do transitório de corrente pode-se ter uma estimativa da temperatura devido ao efeito de autoaquecimento em dispositivos SOI MOSFET [40].

O transitório decrescente da corrente de dreno é atribuído ao autoaquecimento do dispositivo e pode ser determinado pela Figura 16, na qual é apresentada a curva da constante de tempo para o autoaquecimento. A linha sólida representa a característica experimental do transitório medido na Figura 15.

A inclinação da linha tracejada indica a constante de tempo de autoaquecimento. Esta figura contém a constante de tempo de autoaquecimento (τ) extraída usando a equação.

$$\tau = \frac{\log e}{B} \tag{43}$$

Onde B é a inclinação do prolongamento da parte linear da curva sólida.

A inclinação da linha tracejada da figura 13 indica a constante de tempo calculada pela equação abaixo.

$$\tau = \frac{\rho_{SiO_2}\, c_{SiO_2} V_{SiO_2} + \rho_{Si} c_{Si} V_{Si}}{K_t} \tag{44}$$

Onde ρ é a densidade, c é o calor específico, V é o volume e K_t é a condutância térmica. A primeira porção da equação (44) esta relacionada com o óxido de silício (SiO_2) e a segunda com silício (Si).

A Figura 16 demonstra que a constante de tempo do transitório da corrente de dreno é comparável à constante de tempo calculada.

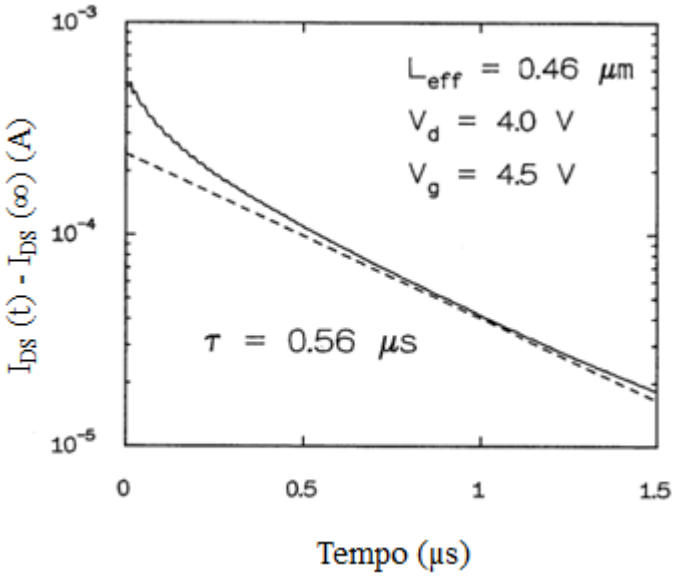


Figura 16 – Constante de tempo para o autoaquecimento. A linha sólida representa a característica experimental do transitório medido na Figura 15. A inclinação da linha tracejada indica a constante de tempo do autoaquecimento **[40]**.

Para estimar a constante de tempo do autoaquecimento, foi considerada a estrutura simplificada do dispositivo em secção transversal como mostra a Figura 17. A constante de tempo do aquecimento, τ, é assumida como:

$$\tau = \frac{\rho c V}{K_t} \tag{45}$$

Onde:

V é o volume aquecido [μm^3]

K_t é a condutância térmica [$W.cm^{-1}K^{-1}$]

ρ é a densidade [$g.cm^{-3}$]

C é o calor específico [cal g^{-1} K^{-1}]

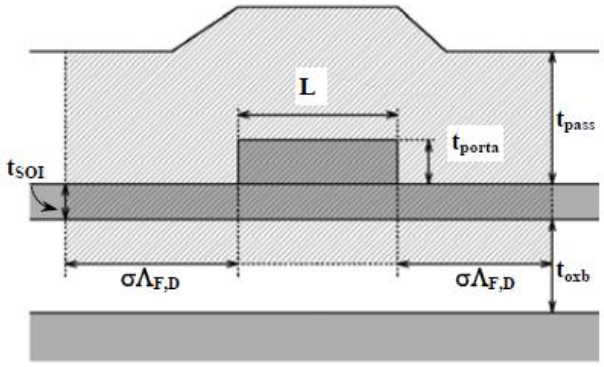


Figura 17 – Estrutura simplificada de um dispositivo SOI para a estimativa da constante de tempo de autoaquecimento **[40]**.

Onde:

t_{SOI} é a espessura das regiões do canal com a camada adjacente de silício n^+[µm]

t_{porta} é a espessura do eletrodo de porta [µm]

t_{pass} é a espessura do óxido de passivação [µm]

$\Lambda_{F,D}$ é o comprimento da região aquecida na fonte e dreno [µm]

A região hachurada da Figura 17 representa aproximação do volume aquecido:

$$V = V_{SiO_2} + V_{Si} \tag{46}$$

$$V_{SiO_2} = W(L + 2\sigma\Lambda_{F,D})\left(t_{pass} + \frac{1}{2}\, t_{oxb}\right) \tag{47}$$

$$V_{Si} = W(L + 2\sigma\Lambda_{F,D})\left(t_{SOI} + \frac{1}{L+2\sigma\Lambda_{F,D}}\, t_{porta}\right) \tag{48}$$

Onde $\sigma = G_{th,n}$ é a condutância térmica lateral normalizada para a borda de fonte e dreno. Por outro lado, a condutância térmica do calor que flui do volume V é descrito por:

$$K_t = \frac{K_{SiO_2}}{t_{oxb}} W(L + 2\sigma\Lambda_{F,D}) \tag{49}$$

A constante de tempo do aquecimento é dessa forma estimada como:

$$\tau = \frac{\rho_{SiO_2}\, C_{SiO_2} V_{SiO_2} + \rho_{Si} C_{Si} V_{Si}}{K_t} \tag{50}$$

Substituindo equações (47), (48) e (49) em (50) temos (51):

$$\tau = \frac{t_{oxb}}{K_{SiO_2}} \left[\rho_{SiO_2}\, C_{SiO_2} \left(t_{pass} + \frac{1}{2}\, t_{oxb} \right) + \rho_{Si} C_{Si} \left(t_{SOI} + \frac{1}{L + 2\sigma_\Lambda}\, t_{porta} \right) \right] \tag{51}$$

Onde a densidade e o calor específico são dados por:

$$\rho_S = 2{,}3\ g.cm^{-3}, C_{SiO_2} = 0{,}17\ cal.g^{-1}.K^{-1}, K_{Si} = 1{,}5\ cm^{-1}K^{-1}$$

$$C_{Si} = 0{,}17\ cal.g^{-1}.K^{-1}\ , K_{SiO_2} = 0{,}014 W.cm^{-1}K^{-1}, \rho_{SiO_2} = 2{,}2 g.cm^{-3}$$

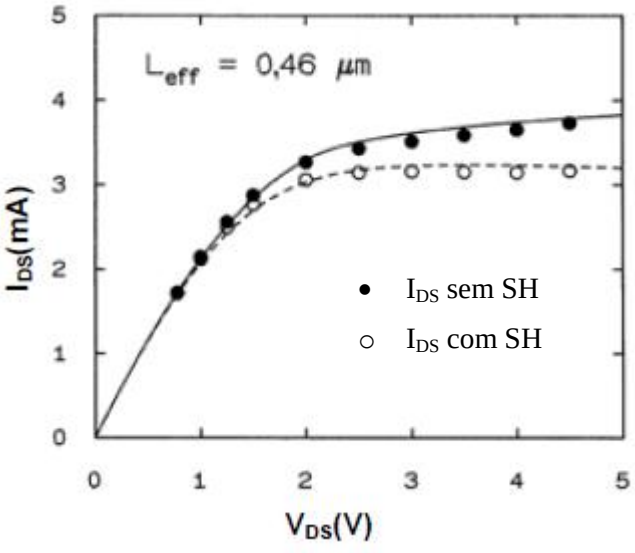


Figura 18 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopados com e sem autoaquecimento (SH). V_{th}=4,5V e T=290K **[40]**.

A Figura 18 mostra a curva I_{DS} x V_{DS} com V_{GS} = 4,5 V, T=290K. Para cada pulso aplicado no dreno com diferentes valores de amplitude (0,8V até 4,5V) pode-se achar o valor de corrente de dreno correspondente com e sem auto aquecimento e assim foram obtidos os pontos e traçada a curva.

Por exemplo, aplicou-se a tensão constante de 4,5V na porta e no dreno foi aplicado um pulso com amplitude de 2V. Foi levantada a curva com o mesmo perfil da Figura 15 e extraída dois valores de corrente de dreno: um na região sem autoaquecimento e outro na região com autoaquecimento.

Os círculos preenchidos e não preenchidos são pontos medidos. As curvas com linha contínua e tracejada foram calculadas sem SH e com SH, conforme as equações que foram apresentadas anteriormente neste capítulo.

Comparando os valores calculados e medidos pode-se concluir que o modelo apresentado descreve bem o efeito de autoaquecimento.

Este foi o método utilizado neste trabalho para simulação dos dispositivos.

2.4.2 Avaliação do transistor SOI com medidas dinâmicas (pulso na porta) sem efeito de SH.

Visando avaliar um transistor SOI sem o efeito de SH foi desenvolvido uma técnica que aplica pulsos curtos com "*low duty cycle*" na porta e tensão constante no dreno para obter a curva característica I-V antes da ocorrência do SH.

A eliminação do SH durante a medida requer que as medidas sejam realizadas num curto intervalo de tempo e que haja um grande período de repouso entre os pulsos. O tempo de aquecimento é da ordem de vários nanosegundos. Desta forma, uma escala de tempo "curta" é de poucos nanosegundos. A configuração da medida proposta está apresentada na Figura 19.

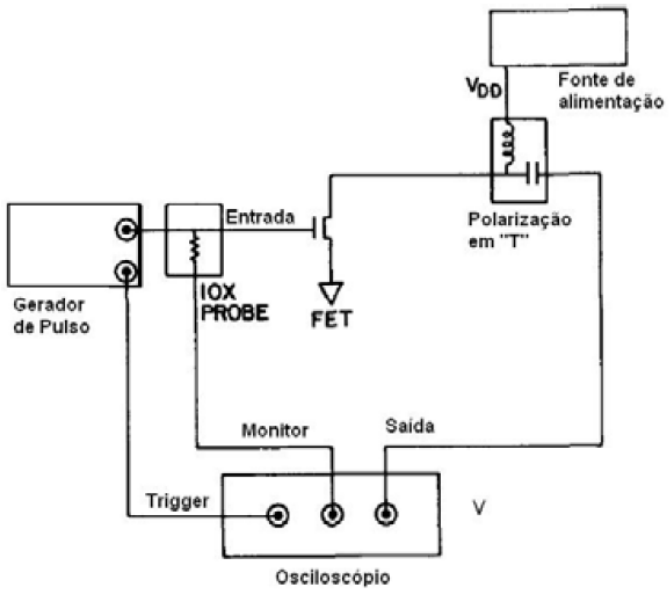


Figura 19 – Aparato de medição proposto por **[41]** para obtenção da curva I_{DS} x V_{DS} sem efeito de SH.

Um gerador de pulso aplica um pulso (curto) de tensão na porta do transistor, a queda de tensão no dreno aparece no osciloscópio. Para fazer medidas na escala de nanosegundos, todas as interconexões devem ser realizadas com cabo coaxial de 50Ω. Quando ocorre um rápido transitório, aparece a impedância da linha de transmissão enquanto o dispositivo é "ligado". O circuito equivalente AC, ou transitório, foi simplificado com 50Ω colocados entre a fonte de tensão e o terminal do dispositivo.

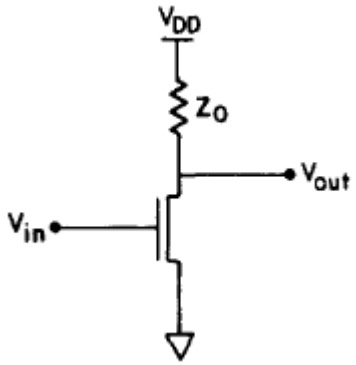


Figura 20 – Configuração para a medida da curva característica do transitório da corrente de dreno. **[41]**

Os pontos da curva I-V foram obtidos a partir de medições de tensão, invertendo a maneira habitual de obtenção de dados. Quando a tensão de porta muda de 0V para uma tensão desejada, os valores (I_{DS}, V_{DS}) são alterados de (0, V_{DD}) para (V_{out}/50, V_{DD}-V_{out}), onde V_{out} é a queda de tensão medida no osciloscópio. Pela variação de V_{DD} é gerada a curva I-V. Este método exige que o dispositivo apresente zero corrente de dreno com zero tensão de porta.

A Figura 21 apresenta um exemplo da curva I_{DS} x V_{DS} obtida para um transistor MOS convencional com L=0,2µm e t_{oxf}=5nm e toxb = 380nm.

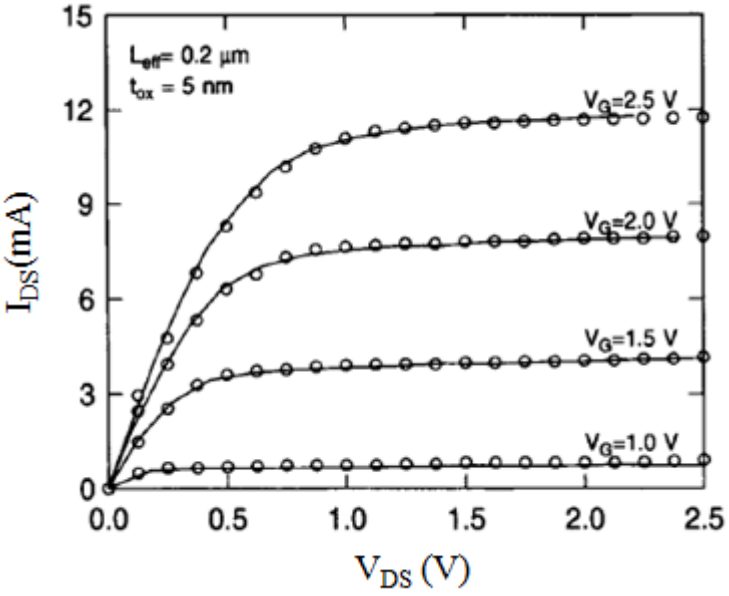


Figura 21 – Corrente de dreno versus tensão de dreno para transistor MOS (L=0,2 µm). **[41]**

Para estas medições, o pulso (longo) de tensão de porta foi de 7ns e foi repetido a cada 10µs para um "*duty cycle*" de 0,07%. As curvas mostram excelente concordância, indicando que o método funciona e que não há autoaquecimento significante no MOS convencional.

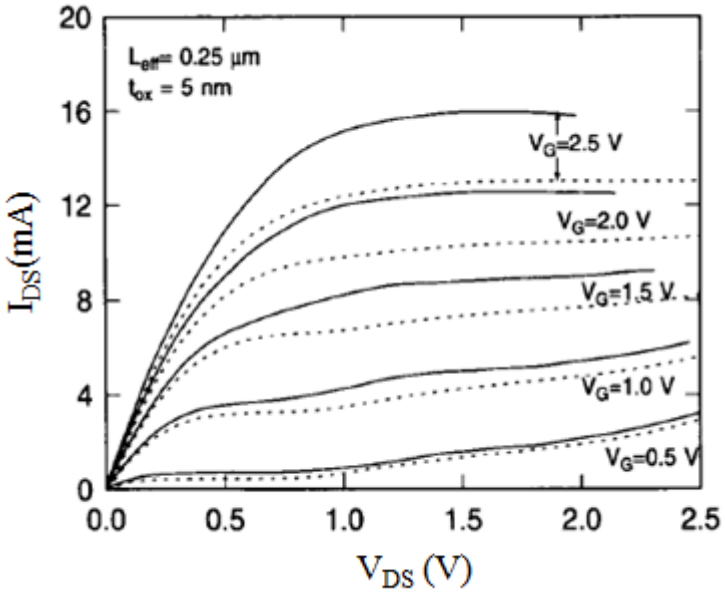


Figura 22 – Curva estática I_{DS} x V_{DS} para transistor PD SOI nMOSFET (linha tracejada) e curva obtida com o método dreno pulsada (linha contínua). **[41]**

A diferença entre a curva estática e pulsada é por volta de 20%. Isto indica que a temperatura do dispositivo no método de corrente pulsada é menor que a estática. O pulso utilizado nesta curva foi de 7ns, mas se reduzirmos para 2ns o resultado é o mesmo. Isto mostra que este método pulsado pode medir a corrente sem o autoaquecimento.

Gerando a curva de I_{DS} x V_{DS} em função da temperatura da lâmina (base) pode-se extrair o aumento da temperatura devido ao SH, conforme a Figura 23. Quando o dispositivo está trabalhando com baixa corrente e tensão, a potência é baixa para medida pulsada ou estática. Para potências maiores, a curva estática cruza a curva pulsada, indicando que a temperatura do dispositivo aumenta durante a medida estática. Contudo a curva estática não apresenta resistência negativa de dreno que indica aquecimento. Esse cruzamento de curvas é uma clara indicação do SH. A temperatura do canal do dispositivo pode ser estimada pela interseção das curvas pulsada e estática. A avaliação da temperatura em função da potência (DC) pode ser vista no quadro anexo da Figura 23. Para o dispositivo exemplificado, a temperatura alcançou 125º C durante a medida estática. [41]

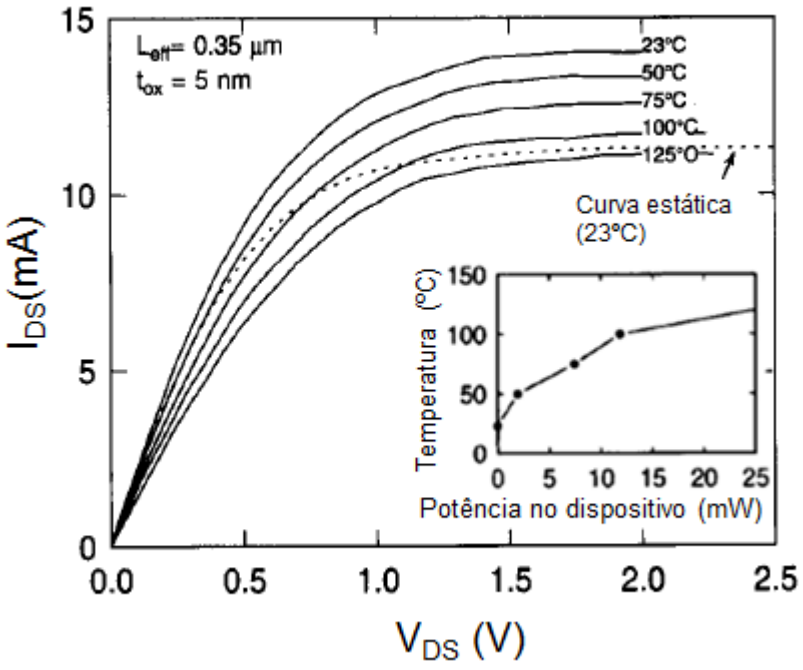


Figura 23 – Curva pulsada da corrente de dreno versus tensão de dreno para transistor PD SOI nMOSFET com variação de temperatura (linha contínua) e curva estática em temperatura ambiente (linha tracejada). O quadro anexo mostra a temperatura pela potência. **[41]**

Em resumo, esse método de medição das características SOI utilizando pulsos curtos (nanosegundo) pode eliminar o efeito de autoaquecimento nas medidas de corrente, que anteriormente interferiam nas medidas do transistor SOI. Isto ajuda na reprodução de efeito "*kink*" e na extração de medidas verdadeiras de condutância e transcondutância.

Além disso, é possível utilizar este método para determinar a temperatura que o transistor alcança em função da potência (DC).

2.4.3 Características do SH através da estrutura de quatro contatos de porta

A caracterização deste efeito pode ser realizada através de estrutura especial com quatro contatos de porta, como esquematizado na Figura 24.

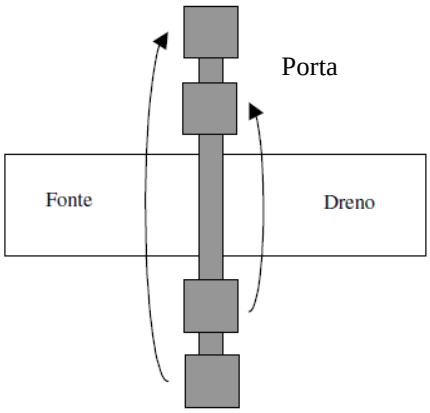


Figura 24 – Estrutura especial para a caracterização do efeito de autoaquecimento.

Nesta estrutura especial, aplica-se um potencial à porta através dos terminais mais externos e monitora-se e a queda de potencial no Silício policristalino de porta, através dos terminais internos. O aquecimento da camada de Si se propaga através do óxido de porta para o Silício policristalino, aumentando a sua temperatura e modificando a sua resistência. Deste modo, o monitoramento da resistência da região de Si policristalino permite determinar a susceptibilidade do transistor ao efeito de autoaquecimento.

Na Figura 25 é mostrado o circuito para avaliação do autoaquecimento..

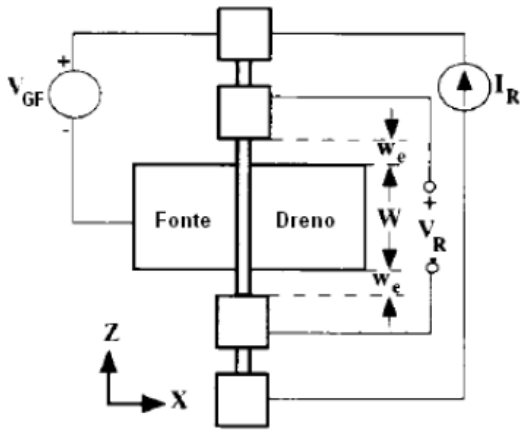


Figura 25 – Vista superior da estrutura de teste experimental para medida da temperatura. W é a largura do canal e We é a região entre as bordas do dispositivo e o terminal de contato da porta **[42]**.

A porta de polisilício funciona como um sensor de temperatura onde a potência é dissipada. Esta técnica já era utilizada em MOS convencional e com adição de análise térmica pode ser aplicada em dispositivos SOI.

A Figura 26 mostra um exemplo de calibração típica dispositivo indicando a sensibilidade da resistência de porta ao aquecimento da base e a potência do dispositivo [42].

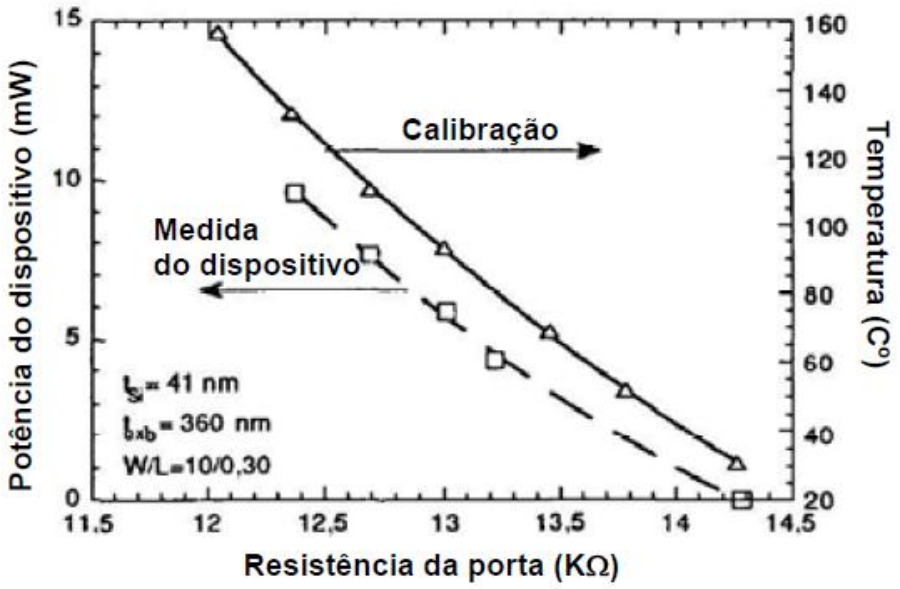


Figura 26 – Calibração e dados das medidas do dispositivo para um dispositivo típico. **[42]**

Foi usada a seguinte configuração V_{DS}=2-3V e V_{GS}=2-3V para a polarização do dispositivo com tecnologia de 0,3 µm.

Para calcular a temperatura do canal pela medida da resistência de porta, é necessário assumir que a distribuição de temperatura nas duas porções da porta (óxido de porta e polisílicio) não é superior à temperatura do canal. Também é assumido um perfil de temperatura linear, o qual decresce da temperatura do canal para a temperatura do substrato e para os terminais de contato de porta. O erro nos cálculos de temperatura do canal devido às considerações do perfil de temperatura de porta é menor que 8%.

A Figura 26 mostra os dados da temperatura do canal de diferentes espessuras de silício de dispositivos SOI e de um dispositivo convencional. O aumento da temperatura em cada caso é proporcional à potência, onde se observou que para uma dada potência a temperatura em dispositivos SOI é muito maior que no dispositivo convencional. Conforme t_{Si} reduz, a temperatura aumenta. Isto comprova que a diminuição das dimensões da caixa formada pelo óxido de porta e óxido enterrado dificulta a passagem de corrente, aumenta a temperatura, diminui a mobilidade e a corrente.

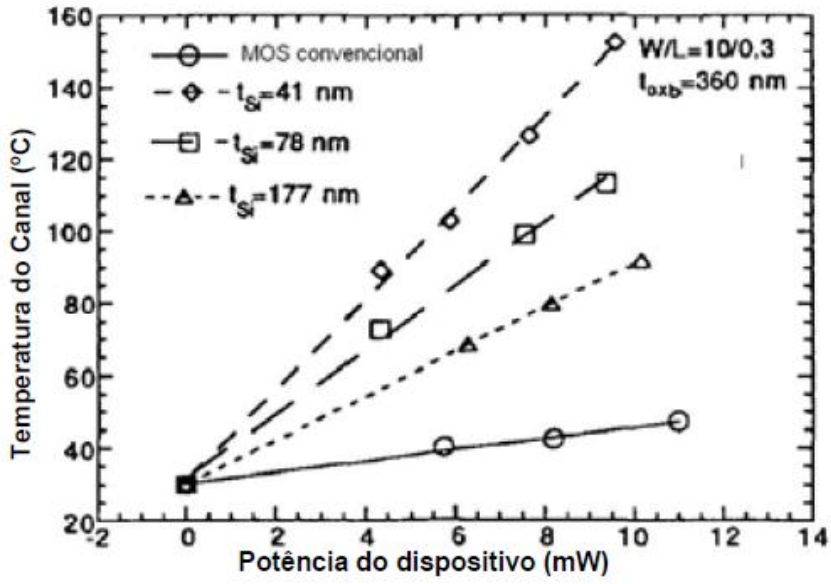


Figura 27 – Temperatura do canal em função da potência em diferentes espessuras de silício dos dispositivos SOI e para um MOS convencional **[42]**.

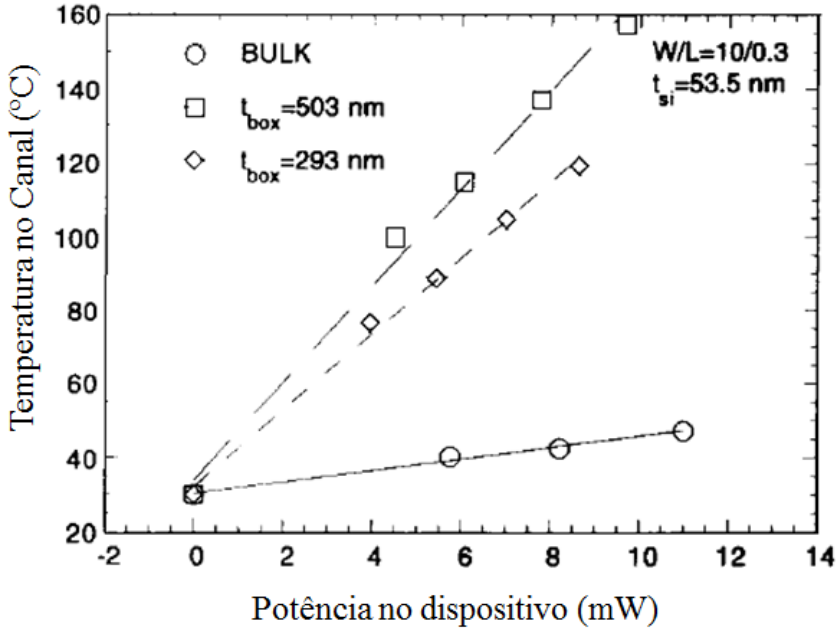


Figura 28 – Temperatura do canal em função da potência em diferentes espessuras de óxido dos dispositivos SOI e para um MOS convencional. **[42]**

A Figura 28 mostra a temperatura do canal variando com diferentes espessuras do óxido enterrado. Conforme T_{BOX} ou T_{oxb} é reduzido, a temperatura e potência são reduzidas. Este resultado mostra que a redução do óxido enterrado, aumenta a caixa formada pelo óxido de porta e óxido enterrado e reduz a temperatura.

3. SIMULAÇÕES

O simulador ATLAS permite simular o comportamento elétrico, óptico e térmico de dispositivos semicondutores. O ATLAS fornece uma plataforma baseada na Física, fácil de usar, modular e expansível para a análise DC, AC, e as respostas no domínio do tempo, para todas as tecnologias de semicondutores em 2D e 3D.

Foram criadas estruturas bidimensionais de SOI convencionais e com canal gradual, com diversos comprimentos de canal. A partir da simulação dos mesmos foram obtidas curvas de corrente com e sem autoaquecimento em DC e AC.

O objetivo das simulações foi analisar o comportamento do autoaquecimento em transistores SOI convencional e GC SOI para que direcionar o uso deles no projeto de circuitos.

3.1 Modelos Utilizados

Os modelos físicos utilizados para a simulação foram KLA, WATT, BGN, CONSRH, AUGER, SRH, FLDMOB e LAT.TEMP com temperatura ambiente (300K). A Tabela 1 mostra o detalhamento de cada um dos modelos utilizados nas simulações.

Tabela 1 – Modelos físicos utilizados nas simulações

Modelos		
Mobilidade		
Nome	Sigla	Descrição
Klaassen	KLA	Inclui dependência com concentração de portadores, concentração intrínseca de portadores e temperatura absoluta. Aplica diferentes mobilidades para portadores majoritários e minoritários. Recomendado para dispositivos SOI.
Watt	WATT	Os parâmetros padrões deste modelo são configurados para medir mobilidade no silício com temperatura de 300K. Neste trabalho foi usado o watt.n que considera pontos na interface silício / óxido e abaixo da interface. Os valores de etan.watt e etap.watt influenciam diretamente no valor efetivo de campo elétrico. O modelo Watt leva em consideração três mecanismos primários de dispersão na camada de inversão: dispersão de fonons, dispersão da rugosidade superficial e dispersão de impurezas ionizadas.
Parallel Electric Field Dependence	FLDMOB	Utilizado em Si e GaAs. Requeridos para modelos com qualquer tipo de efeito de velocidade de saturação dos portadores.
Portadores Estáticos		
Nome	Sigla	Descrição
Bandgap Narrowing	BGN	Importante em regiões altamente dopadas e deve ser usado com modelo KLA.
Recombinação		
Nome	Sigla	Descrição
Concentration Dependent	CONSRH	Recomendado para o Si. O tempo de vida dos portadores depende da concentração.
Auger	AUGER	Importante em alta densidade de corrente. A recombinação ocorre através da transição de três partículas, onde um portador é capturado ou emitido.
Shockley-Read-Hall	SRH	Recomendado para SOI, pois simula as correntes de fuga que existem devido à variação térmica e também por simular a presença de armadilhas na interface silício / óxido.
SH		
Nome	Sigla	Descrição
Lattice Heating	LAT.TEMP	Quando acionado, considera o efeito de autoaquecimento.

3.1.1 Modelo utilizado para autoaquecimento

O modelo utilizado para considerar autoaquecimento no simulador ATLAS é o LAT.TEMP que usa o módulo GIGA. Para utilização deste modelo é necessário definir a configuração do parâmetro THERMCONTACT.

GIGA considera rigorosamente o modelo de autoaquecimento descrito por Wachutkas [43] que considera aquecimento por efeito Joule e resfriamento devido à geração de portadores e recombinação e efeito de Peltier e Thomson. GIGA trabalha com S-PISCES e BLAZE [44].

O GIGA adiciona a equação (52) de fluxo de calor nas equações primárias que são resolvidas pelo simulador ATLAS.

$$C\,\frac{\partial T_L}{\partial t} = \nabla(K\nabla T_L) + \mathrm{H} \tag{52}$$

Onde:

C é a capacidade de calor.

K é a condutância térmica – valor padrão para Si é 1,48 W/Kcm (K_{300})

H é a taxa de geração de calor

T_L é a temperatura da grade (K)

A capacidade de calor pode ser expressa por:

$$C = \rho\, C_p \tag{53}$$

Onde:

ρ é a densidade [$g.cm^{-3}$]

C é o calor específico [cal g^{-1} K^{-1}]

Para cálculo de transiente o GIGA possui uma equação (específica para cada região da estrutura.

$$C = HC.A + HC.BT_L + HC.CT_L{}^2 + \frac{HC.D}{T_L{}^2} \quad (\text{J / cm}^3\text{ / K}) \tag{54}$$

Onde:

HC.A é a capacidade de calor da região A.

HC.B é a capacidade de calor da região B.

HC.C é a capacidade de calor da região C.

T_L é a temperatura da grade (K)

$$C(T_L) = \rho\left[C_{300} + C_1 \frac{(\frac{T_L}{300})^{\beta} - 1}{(\frac{T_L}{300})^{\beta} + \frac{C_1}{300}}\right] \tag{55}$$

Onde:

C (T_L) é a dependência da capacidade de calor com a temperatura.

ρ é a densidade de massa.

$C_{300,}$ C_1 e β podem ser encontrados na Tabela 2.

Tabela 2 – Parâmetros padrões para capacidade de calor

Material	**ρ (g/cm3)**	**C_{300} (J/K/kg)**	**C_1 (J/K/kg)**	**β**
Si	2,33	711	255	1,85

3.2 Resultados para a tecnologia UCL

Foram realizadas simulações para transistores SOI convencional e GC SOI nMOSFET UCL (L_{LD}/L=0,3 e 0,5) com comprimento de canal L=0,5µm, 0,75µm e 1µm, espessura da camada de silício: t_{Si}=80nm, espessura do óxido de porta t_{oxf}=30nm, espessura do óxido enterrado t_{oxb}=390nm e concentração no canal de 5.510^{16} cm^{-3}. Para o transistor SOI GC SOI da UCL, conforme anexo C, foi utilizada a concentração de $5.5x10^{16}$ cm^{-3} na porção com maior dopagem e $1x10^{15}$ cm^{-3} na outra porção com redução de dopantes.

Incialmente foram extraídos os valores de tensão de limiar e a inclinação de sublimiar a partir da curva I_{DS} x V_{GS} com V_{DS}=50mV e $0 \leq V_{GS} \leq 2V$ com passos de 10mV para diferentes tamanhos de dispositivos. A Tabela 3 mostram os valores obtidos.

A tensão de limiar foi obtida pelo método da segunda derivada. Após gerar a curva I_{DS} x V_{GS}, traçou-se a curva da segunda derivada e no pico máximo foi extraído o valor de V_{th}.

A inclinação de sublimiar também foi extraída através da curva de I_{DS} x V_{GS} utilizando-se da equação (29).

Após obter a tensão de limiar e inclinação de sublimiar de cada dispositivo através da curva de corrente de dreno por tensão de porta, foi obtida a curva de corrente de dreno e tensão de dreno para verificação do efeito de autoaquecimento.

Para simulação dos dispositivos considerando o efeito de autoaquecimento, foi adicionado o modelo LAT.TEMP juntamente com o parâmetro "THERMCONTACT". Este parâmetro é utilizado para definir quantos contatos térmicos são utilizados e suas características. Nas simulações com autoaquecimento apresentadas neste trabalho foi utilizado um contato por dispositivo e com valor máximo possível na profundidade (y).

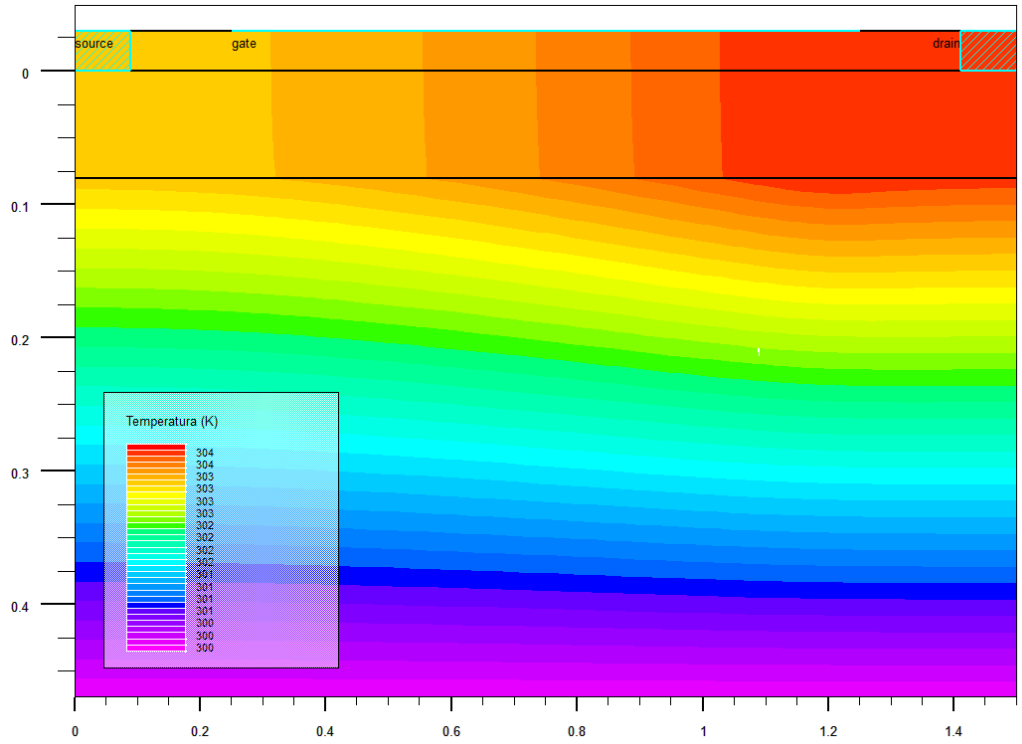
As curvas características I_{DS} x V_{DS} dos dispositivos da UCL foram obtidas com $V_{GS}=V_{th}$+200mV e $V_{GS}=V_{th}$+3V, variando V_{DS} de 0 até 4V em passo de 10mV.

Todas as simulações deste trabalho utilizaram temperatura ambiente (300K).

O pacote de software da Silvaco, além de oferecer o "*deckbuild"* que foi utilizado para simulação realizadas neste trabalho, possui também o TonyPlot que plota os dados gerados na simulação e é possível estudar o perfil do dispositivo.

Na Figura 29, pode-se observar o perfil de um transistor SOI com L=1µm. As cores estão relacionadas com a temperatura e maior temperatura esta no vermelho.

a)



b)

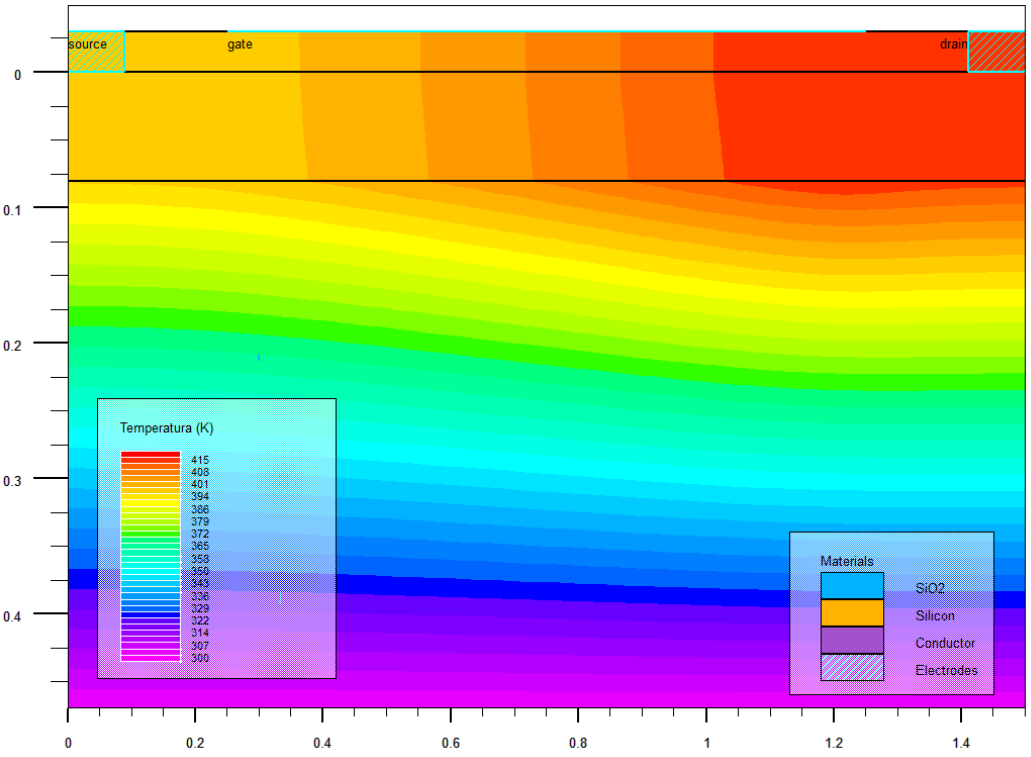


Figura 29 – Seção transversal do transistor SOI com L=1µm

a) $V_{GS} = V_{th} + 200mV$ e b) $V_{GS} = V_{th} + 3V$

Na primeira simulação foi aplicada a tensão de porta por volta de 200mV. A Figura 29a apresenta o perfil do transistor SOI. Podem-se ver no topo da figura os eletrodos de fonte (Source), porta (Gate) e Dreno (Drain). Para avaliarmos o efeito de autoaquecimento foi apresentado em forma de cores que partem do violeta (300K) até Vemelho (304K). Percebe-se um pequeno aquecimento na região o dreno com diferença de temperatura de 4K.

Na Figura 29b, a cor violeta parte de 300K e vai até o vermelho com 415K. Para o mesmo transistor foi aumentada a tensão de porta para 3,30V. O aumento de passagem de corrente pelo canal fez aumentar o calor gerado e percebe-se um aumento considerável de 115K desde o seu início de operação.

Passando para a Figura 30a, incialmente foi aplicada na porta a tensão de 0,49V. Pode-se verificar que dispositivo apresentou um pequeno aumento de 3K na região do dreno.

Para a Figura 30b, a tensão de porta foi de 3,29V. Percebe-se um aumento significativo de 119K no região do dreno.

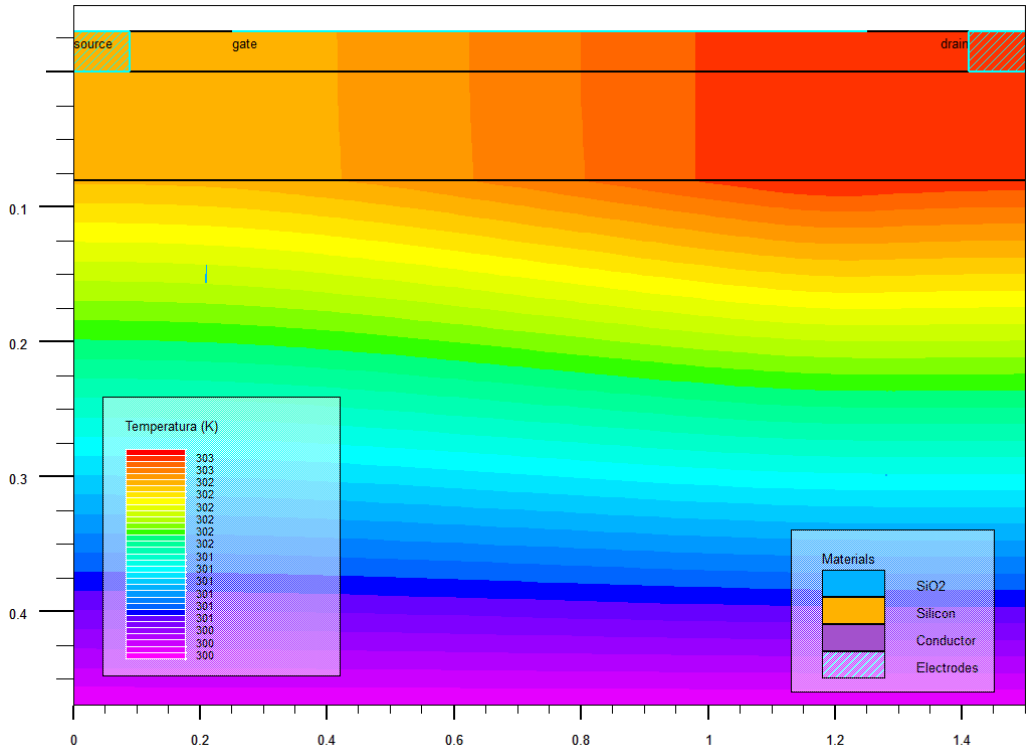
Comparando a Figura 29a e Figura 30a, nota-se que o aquecimento dos transistores SOI e SOI GC são próximos e não deve alterar as características do dispositivo.

Quando se compara a Figura 29b e Figura 30b, nota-se que o aquecimento dos transistores SOI e SOI GC são próximos, ambos apresentam uma alta temperatura após o final da simulação devido ao efeito de autoaquecimento. Como ambos tem o mesmo tamanho de caixa formada entre óxido de porta e óxido enterrado era esperado a mesma temperatura.

Tabela 3 – Comparação entre tensão de limiar e inclinação de sublimiar

	Dispositivo	Descrição	Leff (µm)	Vth (V)	S (mV/dec)
UCL	0,5µm	SOI	0,5	0,25	80
		GC L_{LD}/L = 0,3	0,35	0,24	88
		GC L_{LD}/L = 0,5	0,25	0,19	104
	0,75µm	SOI	0,75	0,28	70
		GC L_{LD}/L = 0,3	0,525	0,27	72
		GC L_{LD}/L = 0,5	0,375	0,22	83
	1µm	SOI	1	0,30	65
		GC L_{LD}/L = 0,3	0,7	0,29	67
		GC L_{LD}/L = 0,5	0,5	0,29	72

a)



b)

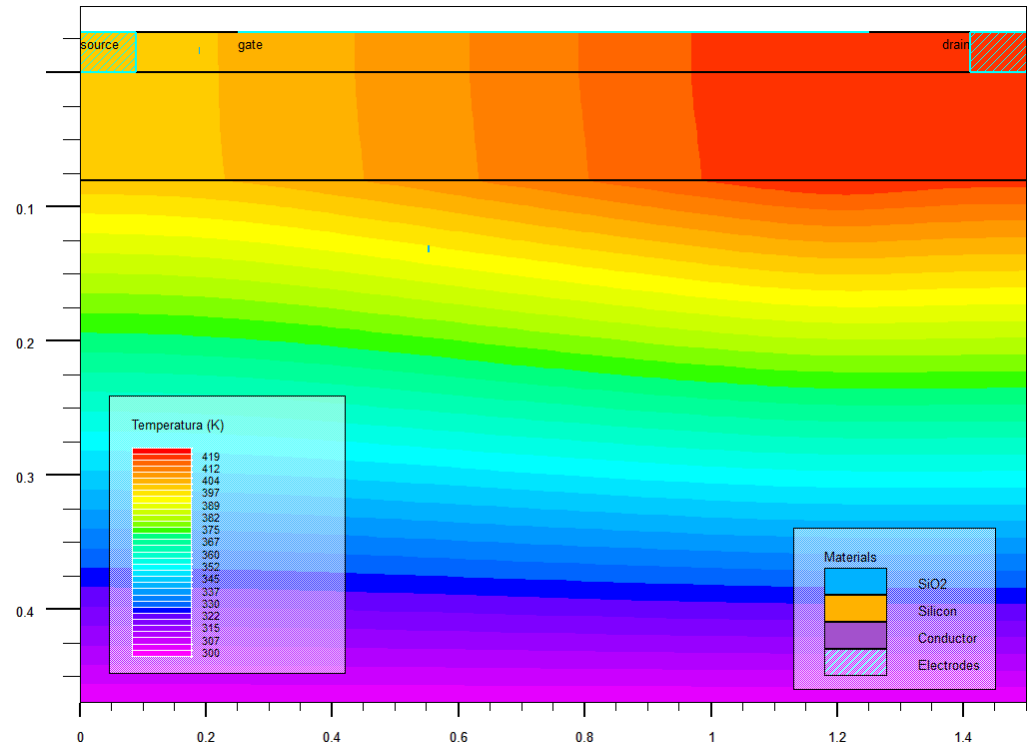


Figura 30 – Seção transversal do transistor SOI GC (L_{LD}/L = 0,5) com L=1µm e

a) $V_{GS} = V_{th}$ + 200mV e b) $V_{GS} = V_{th}$ + 3V

A seguir podemos observar os gráficos obtidos para diferentes comprimentos de canal. Inicialmente temos os transistores SOI para cada canal com e sem autoaquecimento.

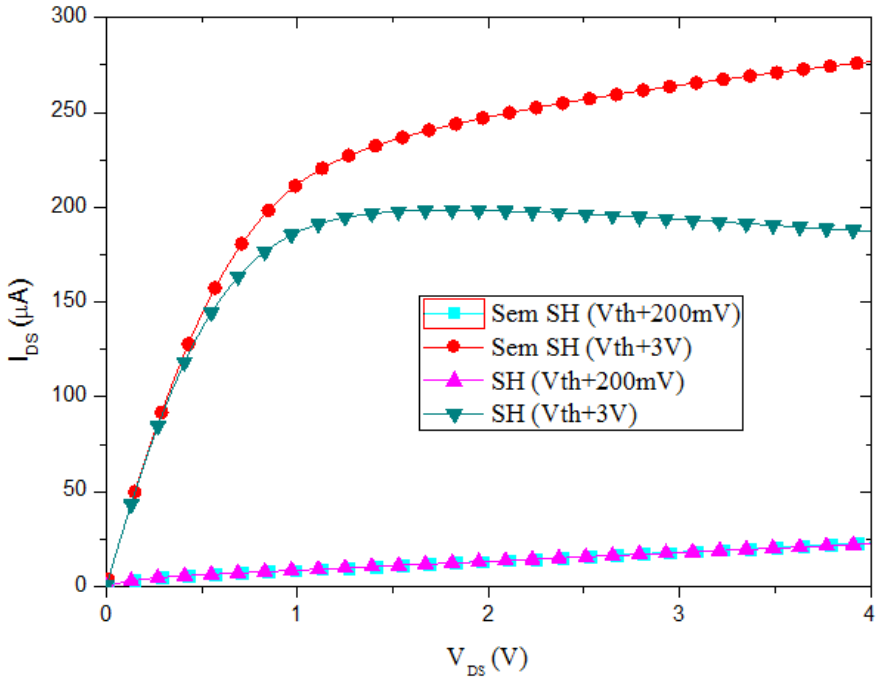


Figura 31 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,5μm) com e sem autoaquecimento (SH).

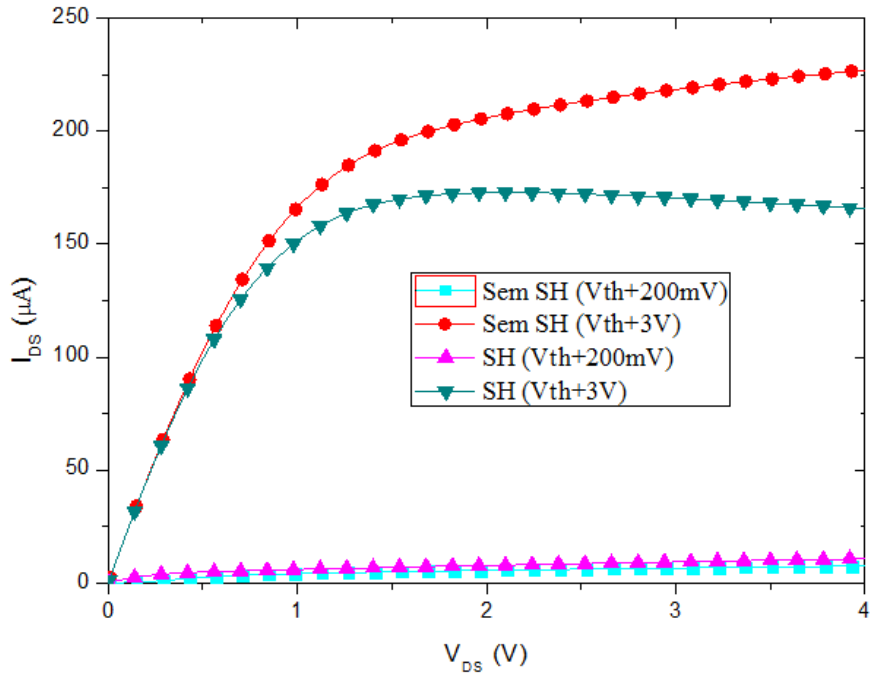


Figura 32 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,75μm) com e sem autoaquecimento (SH).

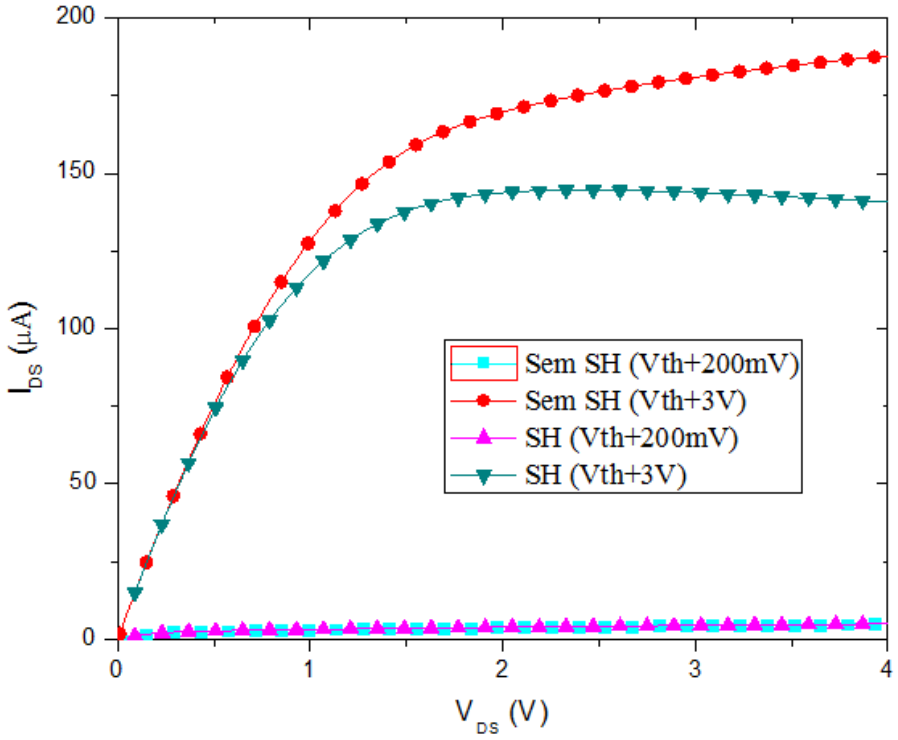


Figura 33 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=1μm) com e sem autoaquecimento (SH).

Pode-se observar nos gráficos da Figura 31, Figura 32 e Figura 33que a tensão de V_{th} + 200mV não apresentou diferença significativa entre a corrente com e sem SH.

Para a tensão de V_{th} + 3V aplicada na porta, pode-se notar uma grande diferença entre a queda de tensão de dreno com e sem SH. Nos três gráficos a curva da corrente de dreno sem SH tem a tendência de aumentar conforme aumenta a tensão de dreno. A corrente dreno com SH, por antes de 1V começa a descolar da curva sem SH e quando chega a 4V apresenta uma queda significativa.

Depois da apresentação dos transistores SOI com dopagem de canal uniforme, serão apresentados os gráficos referentes aos transistores da UCL com dopagem gradual de L_{LD} / L = 0,5, ou seja, metade do canal teve uma concentração de dopantes maior ($5{,}5 \times 10^{16}$ cm^{-3}) e a outra com dopagem menor de 1×10^{15} cm^{-3}.

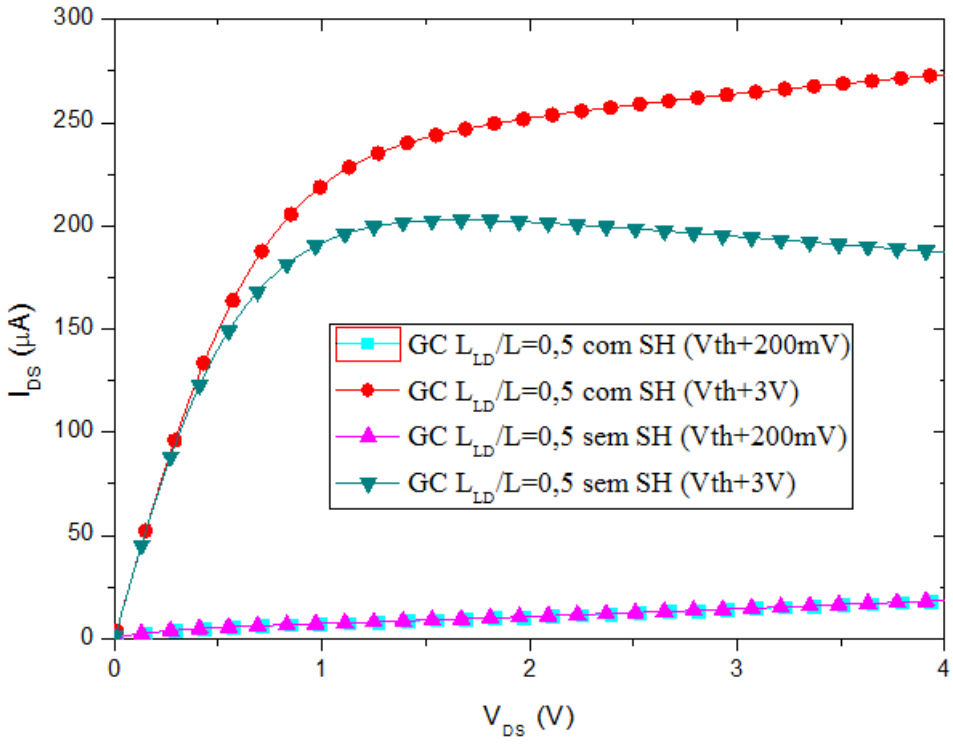


Figura 34 - Corrente de dreno versus tensão de dreno, para transistor GC SOI (L=0,5μm e L_{LD}/L=0,5) com e sem autoaquecimento (SH).

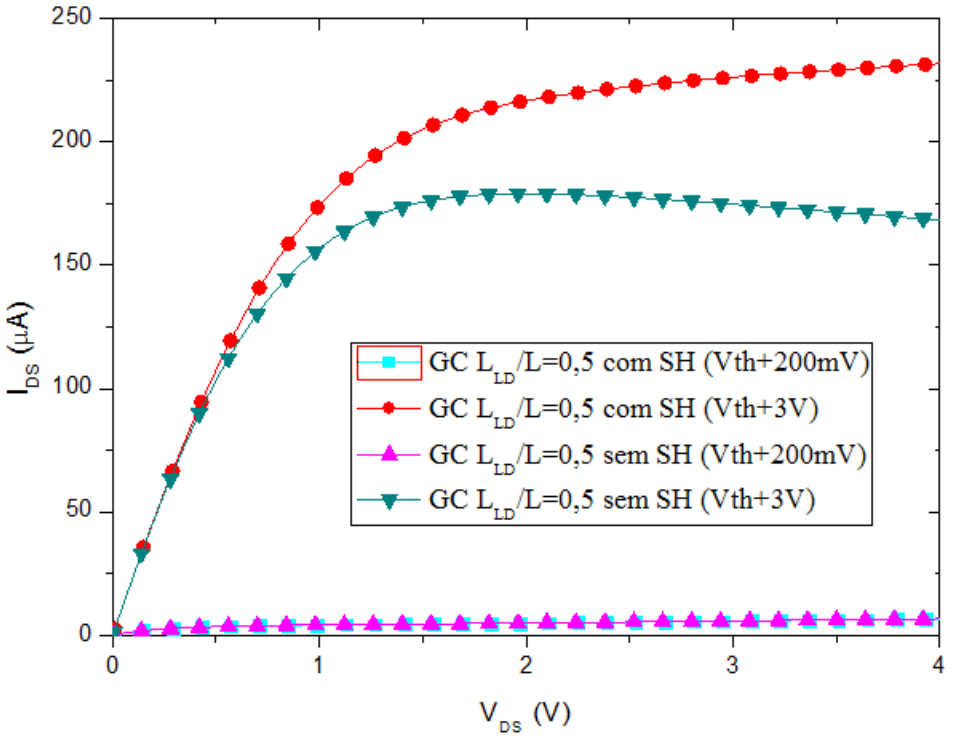


Figura 35 - Corrente de dreno versus tensão de dreno, para transistor GC SOI (L=0,75μm e L_{LD}/L=0,5) com e sem autoaquecimento (SH).

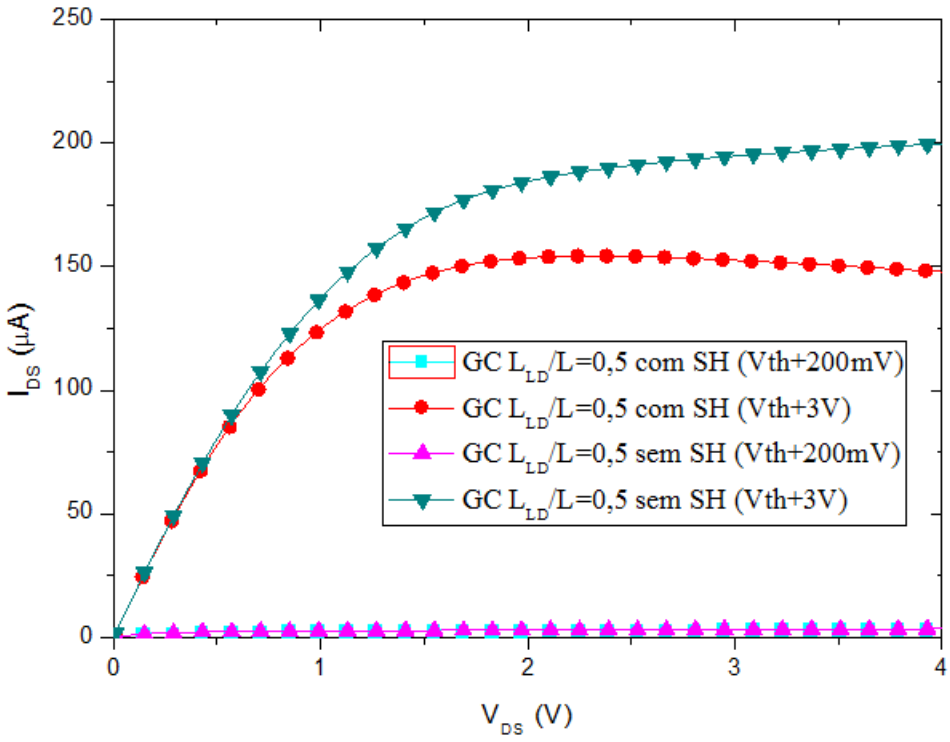


Figura 36 - Corrente de dreno versus tensão de dreno, para transistor GC SOI (L=1µm e L_{LD}/L=0,5) com e sem autoaquecimento (SH).

Os gráficos da Figura 34, Figura 35 e Figura 36 mostram a curva de I_{DS} x V_{DS} do transistor GC SOI UCL com diferentes comprimentos de canal.

Para a tensão de Vth + 200mV dependendo da tensão de dreno não houve variação entre a corrente com e sem SH. Por exemplo, na Figura 36, para V_{DS}=2V o valor de I_{DS} foi de 4,92µA com e sem autoaquecimento.

Se olharmos para a tensão de Vth + 3V aplicada na porta, a visão já é diferente, pois existe uma grande diferença entre a tensão de dreno com e sem SH. A curva da corrente de dreno sem SH tem a tendência de aumentar conforme aumenta a tensão de dreno, ao contrário da corrente dreno com SH, que inicia a curva acompanhando a curva sem SH e antes de 1V, começa a apresentar uma desaceleração no aumento de corrente.

3.3 Simulações com aplicação de pulso no dreno

Para simular e extrair o autoaquecimento através de medida pulsada foram utilizadas as mesmas estruturas de transistores GC SOI com L_{LD}/L de 0,3 e 0,5 criadas para medidas de corrente contínua. Foi alterada apenas a tensão aplicada no dreno, que passou de contínua para um pulso.

Para o transistor da UCL foram aplicados: na porta $V_{GS}=V_{th}+3V$; e no dreno pulsos que partem de 0V para tensões que variam de 0,5V até 4V, com passo de 0,1V, No anexo D pode-se encontrar um exemplo das linhas de comando utilizada para realização destas simulações.

A seguir será mostrado como obter a curva I_{DS} x V_{DS} para medidas pulsadas.

Como comentado anteriormente, primeiro é necessário manter a porta com uma tensão constante e aplicar um pulso no dreno. O pulso foi configurado da seguinte maneira no simulador Atlas:

solve vdrain=4 ramptime=1E-8 tstop=10.1E-6 tstep=100e-9

É importante destacar a linha de comando acima, pois é a única diferença nos comandos utilizados para simulação de medida contínua. Na Figura 37, Vdrain é a amplitude do pulso aplicado no dreno, ramptime é o período, TSTEP é tempo de subida e TSTOP é o tempo de parada.

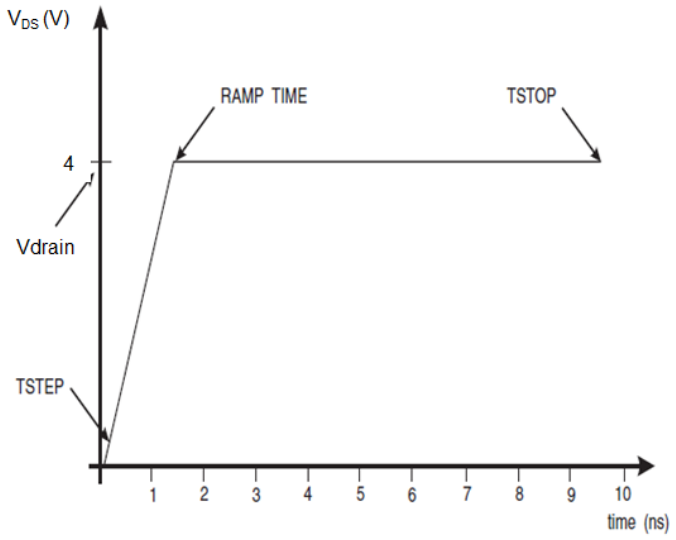


Figura 37 – Gráfico mostra as configurações do comando de pulso no simulador atlas.

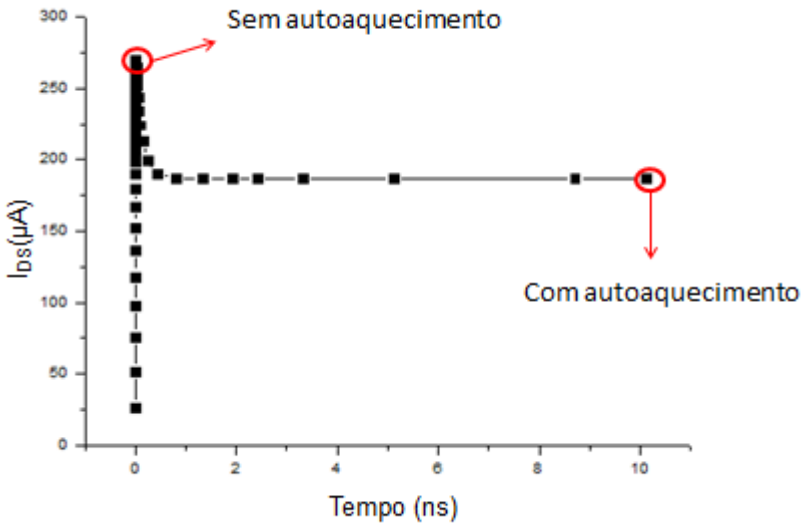


Figura 38 - Corrente de dreno (amplitude do pulso de 4V) versus tempo, para transistor SOI uniformemente dopado (L=0,5μm).

Após a configuração do comando de pulso e execução da simulação obteve-se a curva da Figura 38. Ela mostra a variação da corrente de dreno após a aplicação de um pulso de 4V no dreno. O pico da curva é o valor de corrente imune ao efeito de autoaquecimento e após a curva se estabilizar pode-se encontrar o valor com o efeito do autoaquecimento.

A partir desta curva foi possível obter o valor de dois pontos (com e sem autoaquecimento). Depois disso, foram geradas as curvas para valores de tensão de dreno de 0,5V e 3,9V com passo de 0,1V e, para cada uma delas, foram extraídos os valores de corrente de dreno com e sem aquecimento. A partir disto, foi possível obter a curva da mostrada na Figura 39.

A Figura 40 mostra o mesmo procedimento, mas para um comprimento de canal de L=0,75 μm.

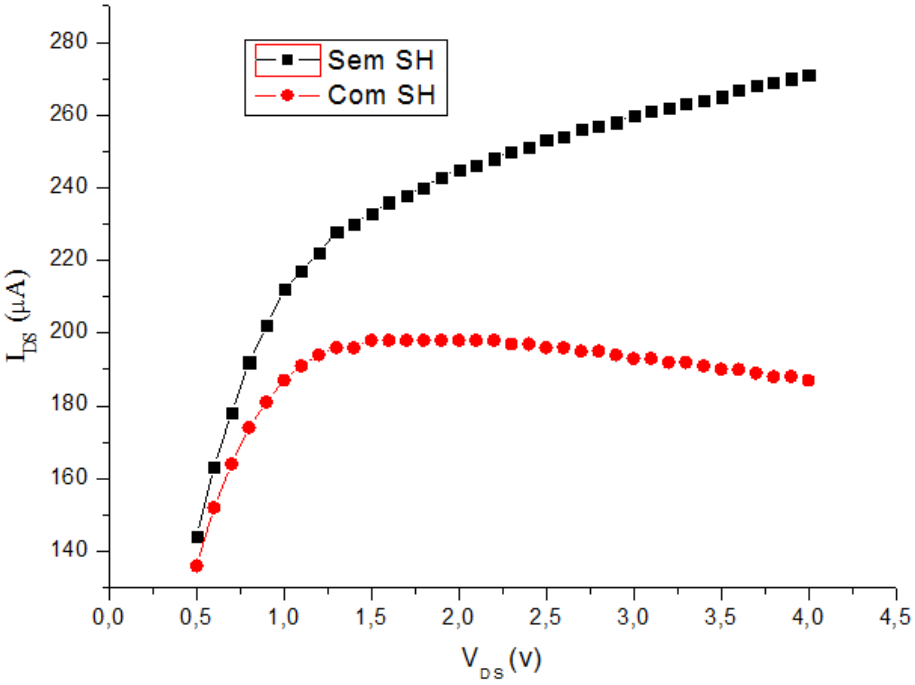


Figura 39 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,5μm) com e sem autoaquecimento (SH).

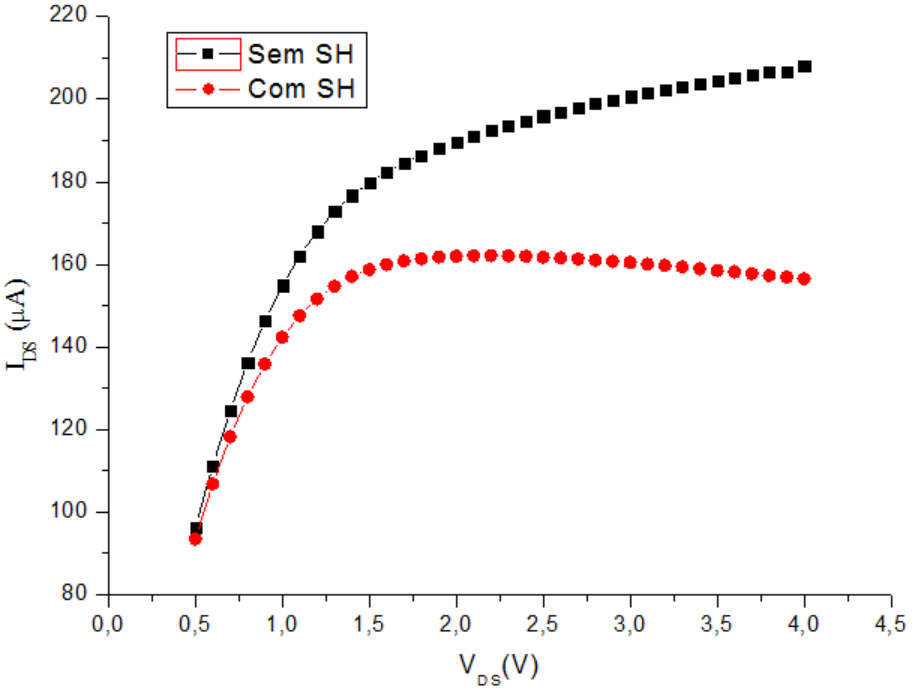


Figura 40 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,75μm) com e sem autoaquecimento (SH).

Após criar a curva de corrente de dreno versus a tensão de dreno para transistor SOI com comprimento de canal igual a 0,5µm e 0,75µm foi traçada a curva para L=1µm conforme mostra a figura 40.

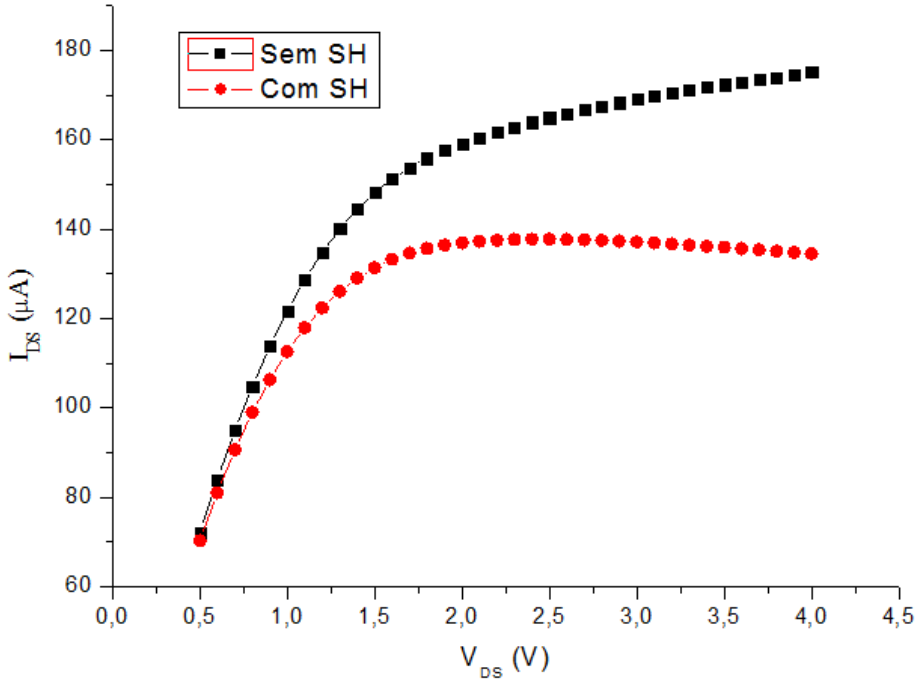


Figura 41 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=1 µm) com e sem autoaquecimento (SH).

As curvas apresentadas na Figura 39, Figura 40 e Figura 41 mostram tendências semelhantes. Analisando a diferença entre a corrente de dreno com e sem SH para o V_{DS} = 2V, o transistor SOI com L=0,5µm tem diferença de aproximadamente 19%, enquanto os outros apresentam 15% (L=0,75µm) e 14% (L=1µm). Com o aumento de tensão, aumenta a passagem de corrente elétrica que, por efeito Joule na camada de Si, aumenta a temperatura. O calor gerado pela passagem de corrente tem dificuldade de evacuação, justamente pela presença da camada de óxido enterrado. O aquecimento da camada de Si provoca uma redução da mobilidade e consequente redução da corrente elétrica. Por isso podemos observar nas curvas anteriores que a corrente de dreno com SH diminui, evidenciando o efeito de autoaquecimento. A diferença entre os tamanhos de canais, mostra que quanto menor o dispositivo, maior é a alteração nas suas características de saída.

Utilizando os resultados apresentados na Figura 39, Figura 40 e Figura 41 foram calculadas as diferenças entre a corrente de dreno sem SH e com SH. Desta maneira foi possível colocar todos os resultados num mesmo gráfico (Figura 42).

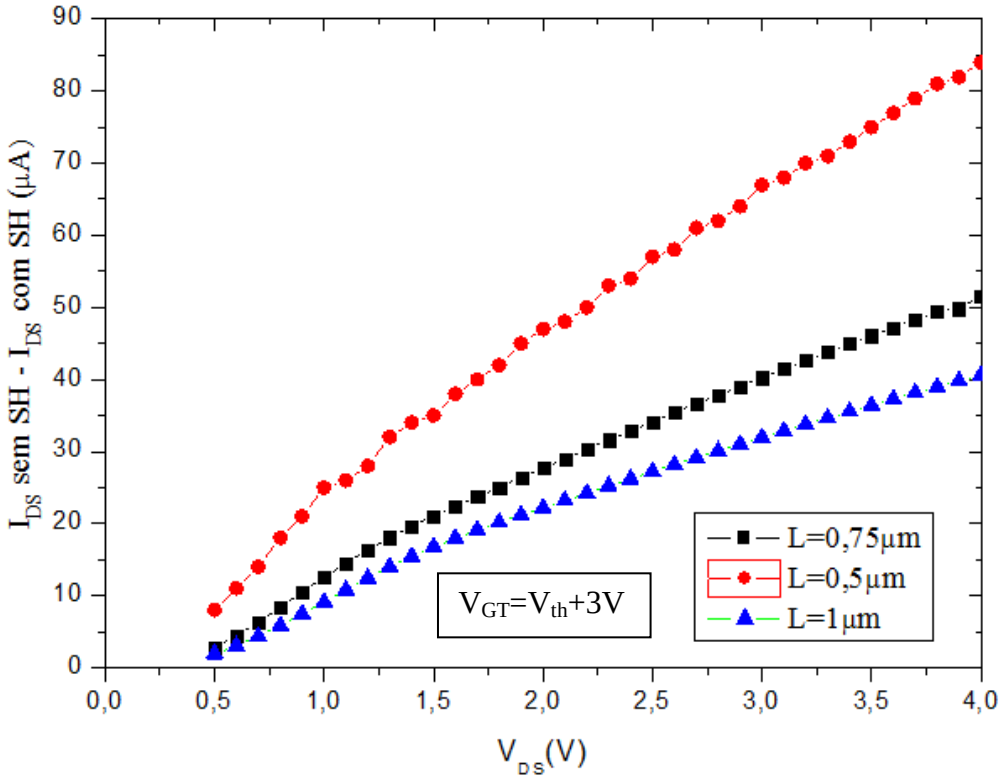


Figura 42 - Corrente de dreno sem SH menos a com SH versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,5 µm, 0,75 µm e 1µm).

Pode-se notar na Figura 42 que a curva do transistor com L=0,5µm com a mesma polarização tem a maior corrente no dreno do que nos outros e por isso sofre maior efeito de autoaquecimento. Para pulsos de 0,5V até 0,7V a corrente de dreno do transistor com L=0,75µm é muito próxima da corrente do transistor de L=1µm. Ao aumentar a amplitude do pulso, percebe-se que naturalmente o L=0,75µm sofre maior efeito de autoaquecimento comparando com L=1µm.

Após a análise dos resultados obtidos com transistores SOI convencionais, partimos para transistores SOI GC. A Figura 43 mostra o resultado da simulação de transistor SOI GC com L_{LD} / L = 0,5 e L_{LD} / L = 0,3 para o comprimento de canal de L=0,5µm.

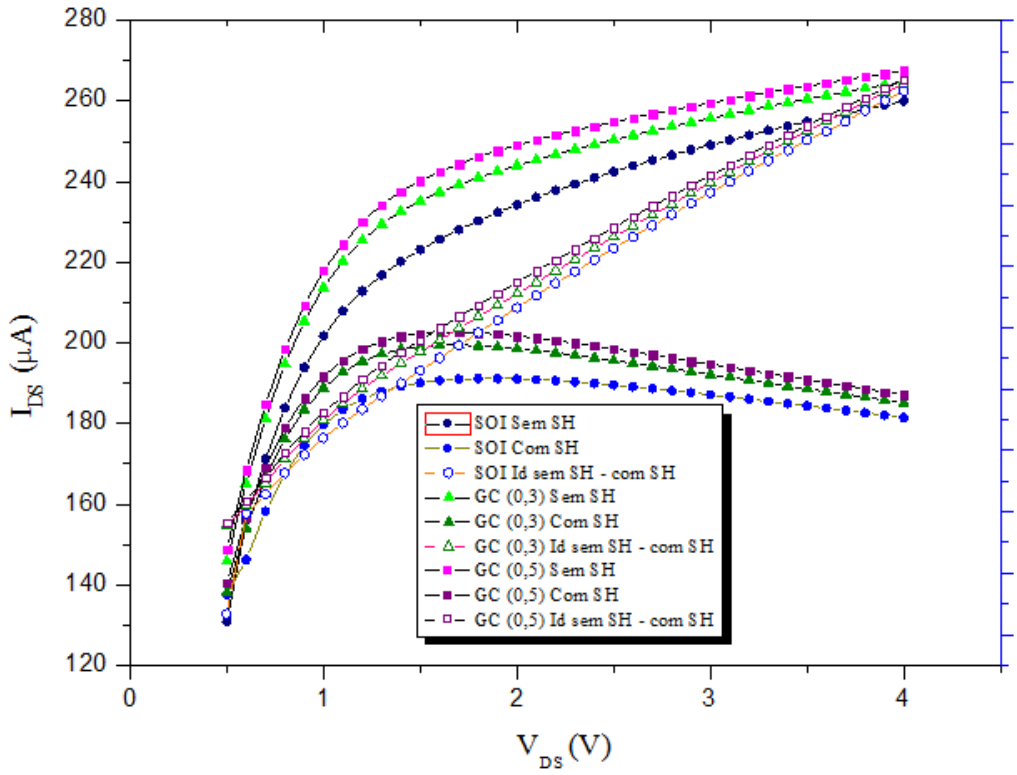


Figura 43 - Corrente de dreno versus tensão de dreno, para transistor SOI convencional, GC de L_{LD} / L = 0,5 e 0,3 com L=0,5 µm.

Analisando a Figura 43, pode-se observar que o transistor GC SOI (L_{LD} / L=0,5) tem maior valor de corrente de dreno tanto com SH e sem SH, se compararmos com SOI convencional e o GC de $L_{LD=}$0,3.

Interessante observar que as três curvas superiores (sem SH) não cruzam e também que as três curvas inferiores não se sobrepõe e nem se cruzam depois do início. Isto mostra que o efeito de autoaquecimento é comum para o SOI e GC SOI.

As três curvas centrais da Figura 43, mostram a diferença sem SH e com SH. A tendência da curva é a mesma, mais uma vez mostra que o efeito é comum para os transistores.

Na sequência teremos os gráficos para L=0,75µm e L=1µm.

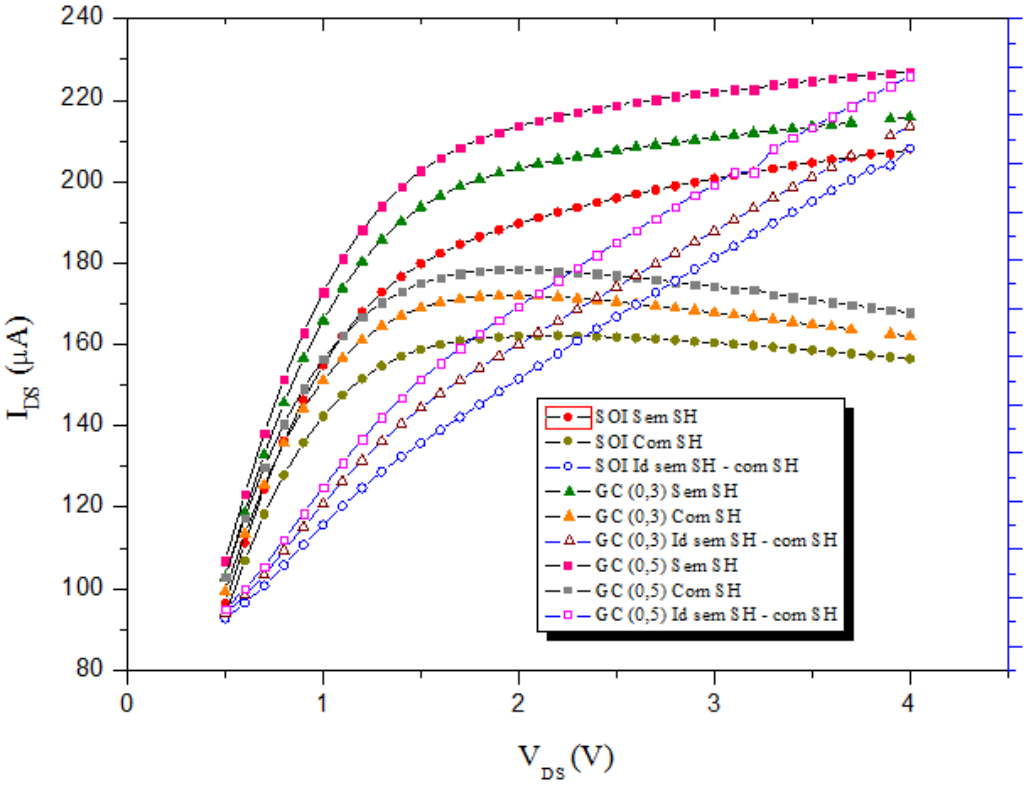


Figura 44 - Corrente de dreno versus tensão de dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 e 0,3 com L=0,75 µm.

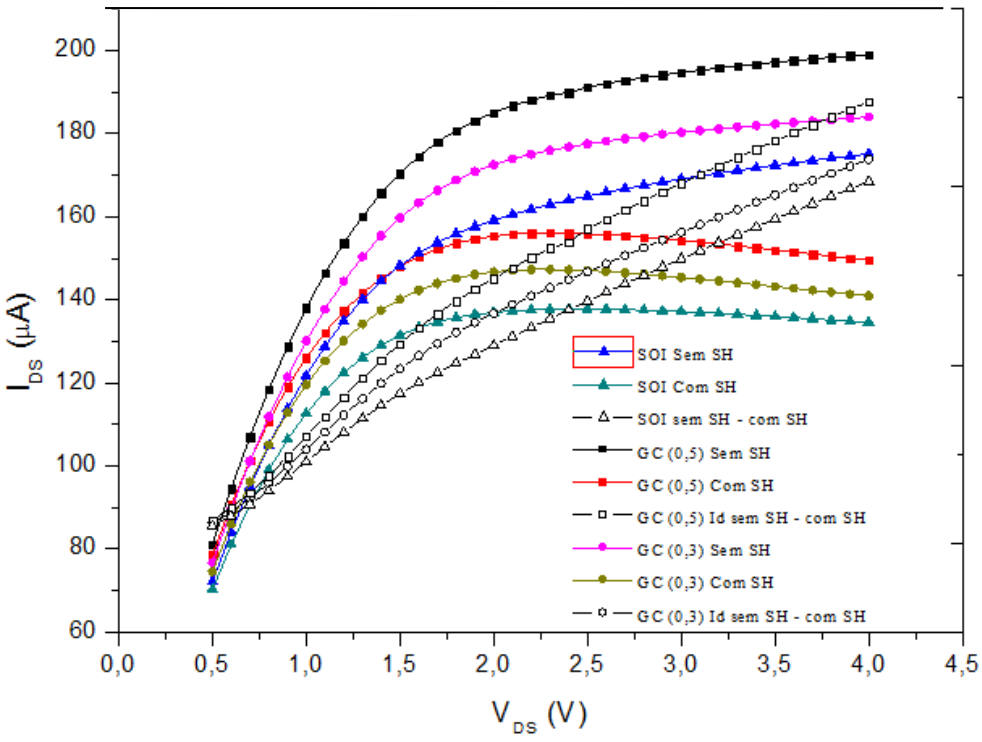


Figura 45 - Corrente de dreno versus tensão de dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 e 0,3 com L=1 µm.

As curvas anteriores indicam que os transistores GC SOI sofrem de SH mais agudo que os transistores SOI convencionais. Para comprovarmos essa hipótese, podemos obter a curva da porcentagem da corrente de dreno pela potência.

Utilizando os dados da Figura 43, Figura 44 e Figura 45, foram traçadas as curvas de I_{DS} (SOI (Ids sem SH - Ids com SH) / Ids com SH) *100) versus potência (V x I_{DS} com SH).

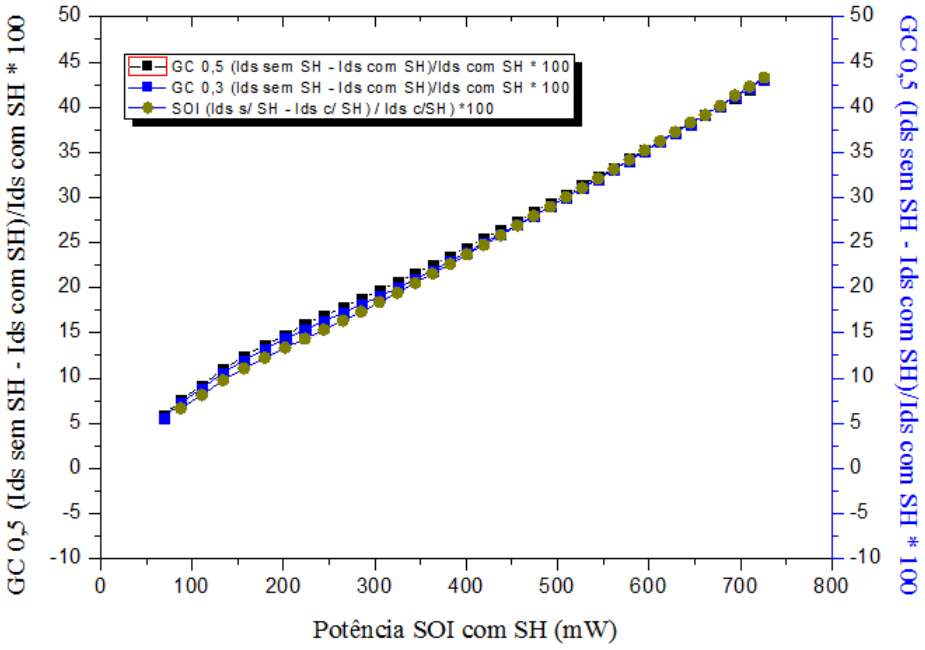


Figura 46 - Corrente de dreno versus potência para transistor SOI, GC de L_{LD} / L = 0,5 e 0,3 com L=0,5 µm.

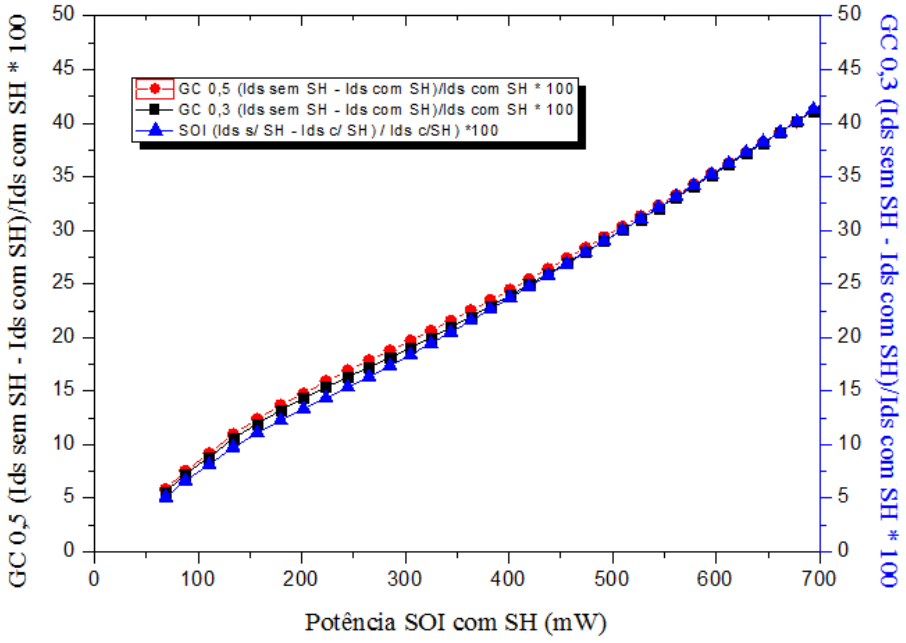


Figura 47 - Corrente de dreno versus potência para transistor SOI, GC de L_{LD} / L = 0,5 e 0,3 com L=1 µm.

Analisando o gráfico da Figura 46 e Figura 47, para a mesma potência dissipada foi encontrado aproximadamente o mesmo efeito de autoaquecimento para o mesmo comprimento de canal (L). Independente da dopagem de canal (gradual ou uniforme), o dispositivo sofre efeito de autoaquecimento similar.

Pode-se concluir que as curvas anteriores de I_{DS} x V_{DS} que indicavam que os transistores GC SOI tinham queda maior de corrente de dreno com SH não estava relacionada com o tipo de dopagem. Pode-se atribuir a queda com o aumento de passagem de corrente, ou seja, como o SOI GC fornece corrente de dreno superior ao SOI convencional para a mesma polarização, o aumento de corrente, causa o aumento de calor e consequentemente aumenta a queda de corrente.

A equação (44) mostra que a constante de tempo de SH não esta relacionada com a dopagem uniforme ou gradual. Ela esta relacionada com a densidade, calor específico, volume e a condutância térmica e das dimensões da caixa de silício formada pelo óxido de silício e óxido enterrado que dificultam a dissipação de calor.

3.4 Simulações dos transistores SOI e GC SOI da OKI.

Neste capítulo estudaremos os efeitos de autoaquecimento no transistor SOI convencional e SOI GC desenvolvido pela empresa OKI *Electric Industry* [4].

Foram realizadas simulações para o transistor SOI e GC SOI nMOSFET OKI (L_{LD}/L=0,5) com comprimento de canal L=300nm, espessura da camada de silício: t_{Si}=40nm, espessura do óxido de porta t_{oxf}=2,5nm, espessura do óxido enterrado t_{oxb}=145nm e concentração no canal de 5.510^{16} cm^{-3}. No transistor GC SOI, conforme anexo E, foi utilizada a concentração de $1.0x10^{18}$ cm^{-3} na porção com maior dopagem e $1.0x10^{15}$ cm^{-3} do outro lado da junção com redução de dopantes.

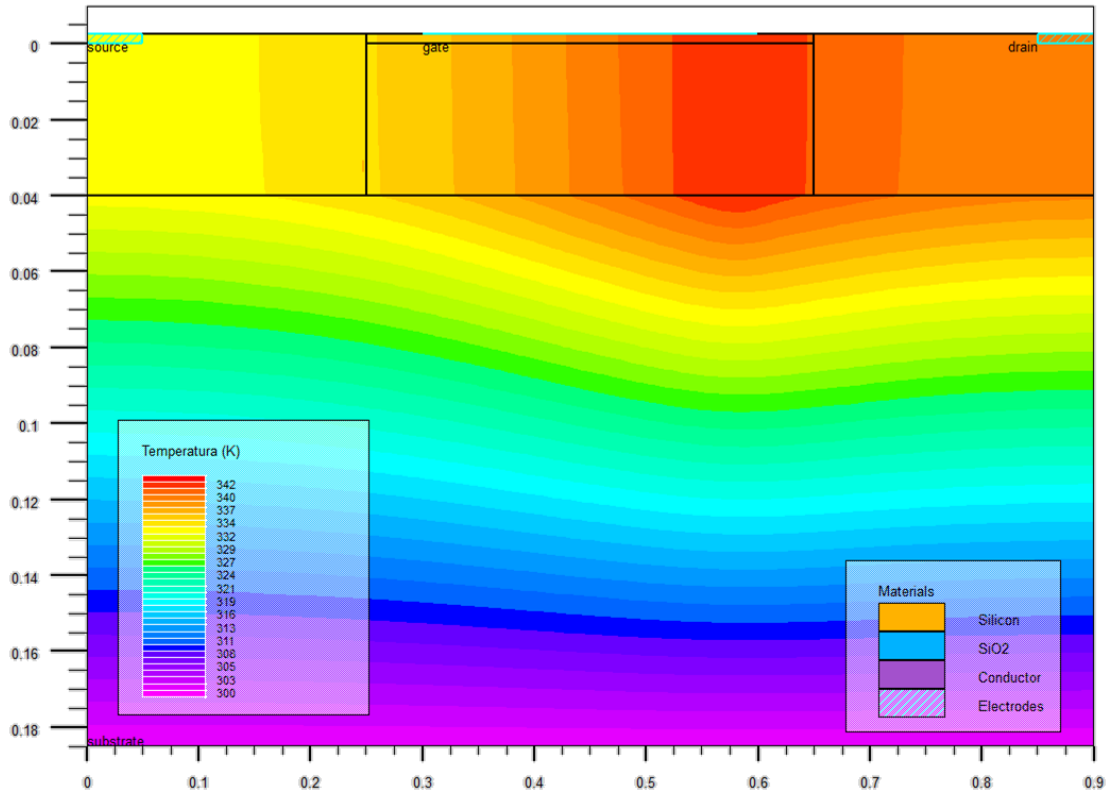
Recentes estudos que comparam o SOI e GC SOI da OKI mostram que o SOI GC possui tensão de limiar constante em temperaturas de 90K até 380K [45].

Incialmente foram extraídas tensão de limiar e a inclinação de sublimiar a partir da curva I_{DS} x V_{GS} com V_{DS}=50mV e $0 \leq V_{GS} \leq 2V$ com passos de 10mV. A Tabela 4 mostra os valores obtidos.

Tabela 4 – Comparação entre tensão de limiar e inclinação de sublimiar

	Dispositivo	Descrição	Leff (µm)	Vth (V)	S (mV/dec)
OKI	0,3µm	SOI	0,3	0,34	76
		GC L_{LD}/L = 0,5	0,15	0,32	75

a)



b)

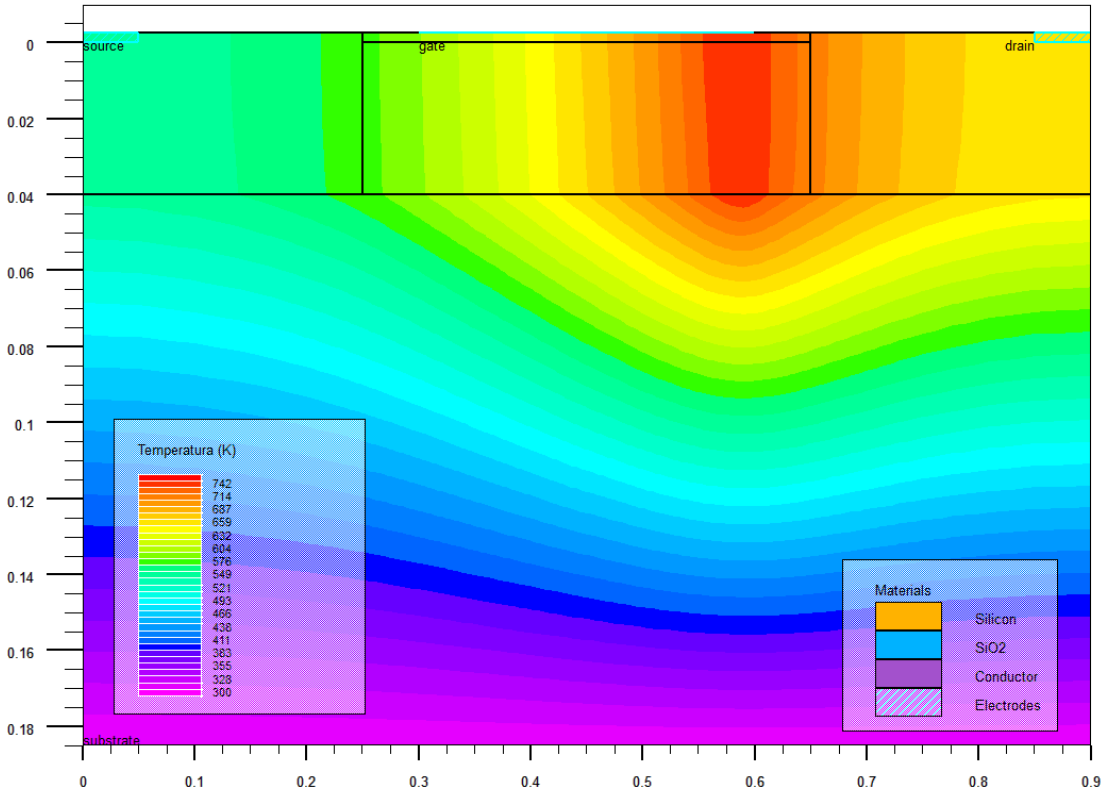


Figura 48 – Seção transversal do transistor SOI convencional com L=300nm

a) $V_{GS} = V_{th} + 200mV$ e b) $V_{GS} = 1,5V$

As curvas características I_{DS} x V_{DS} (Figura 48) dos dispositivos da OKI foram obtidas com $V_{GS}=V_{th}+200mV$ e $V_{GS}=1,5V$, V_{DS} variando de 0 até 4V com passo de 10mV.

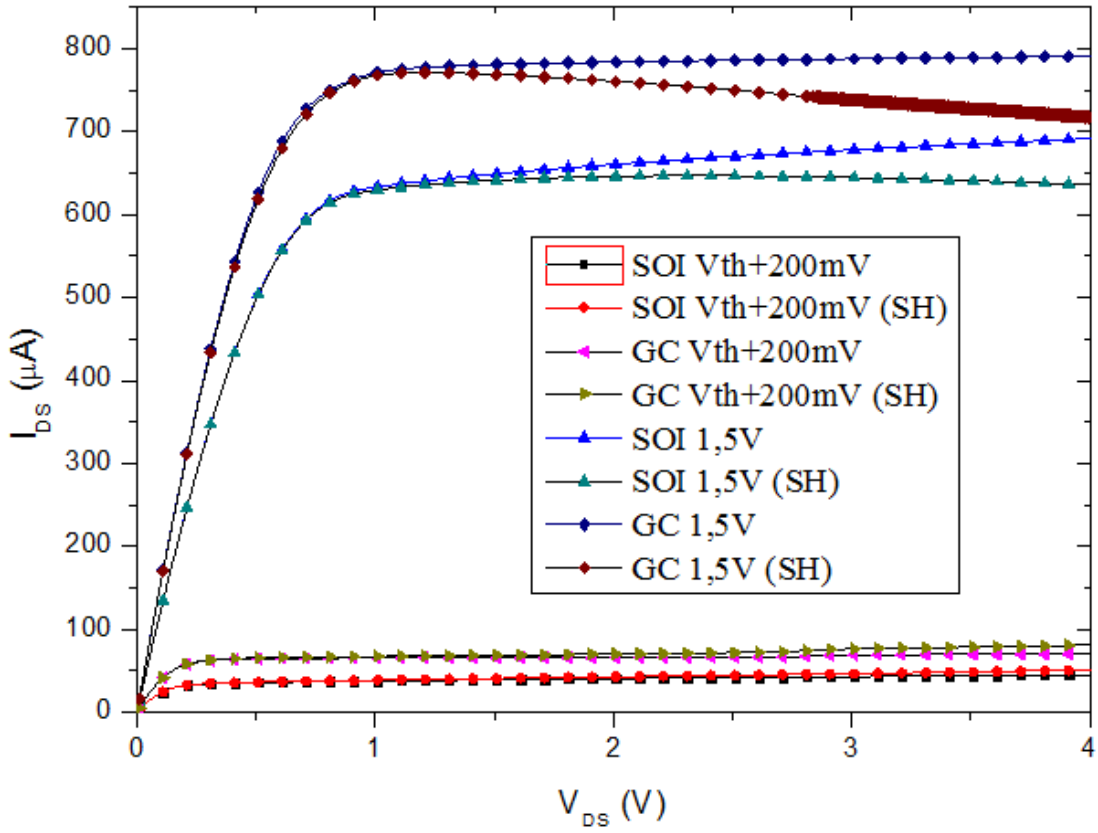


Figura 49 – Medida Estática - Corrente de dreno versus Tensão de Dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 com L=300 nm.

A Figura 49 mostra a simulação dos transistores SOI com dopagem no canal uniforme (SOI) e canal gradual (GC) com L=300nm.

Para tensão de porta V_{th} + 200mV não houve variação significativa da corrente com SH. Deste modo, pode-se concluir que para valores de V_{GT} baixo o efeito de SH pode ser ignorado tanto nos transistores SOI com canal uniforme como no GC SOI. Este resultado é importante, pois a redução na condutância de saída GC SOI não se deve ao efeito de SH. Para a tensão de 1,5V pode-se observar que, tanto para o SOI como para o SOI GC houve o efeito de SH, onde conforme aumentou a tensão de dreno, a corrente de dreno caiu devido ao efeito de autoaquecimento.

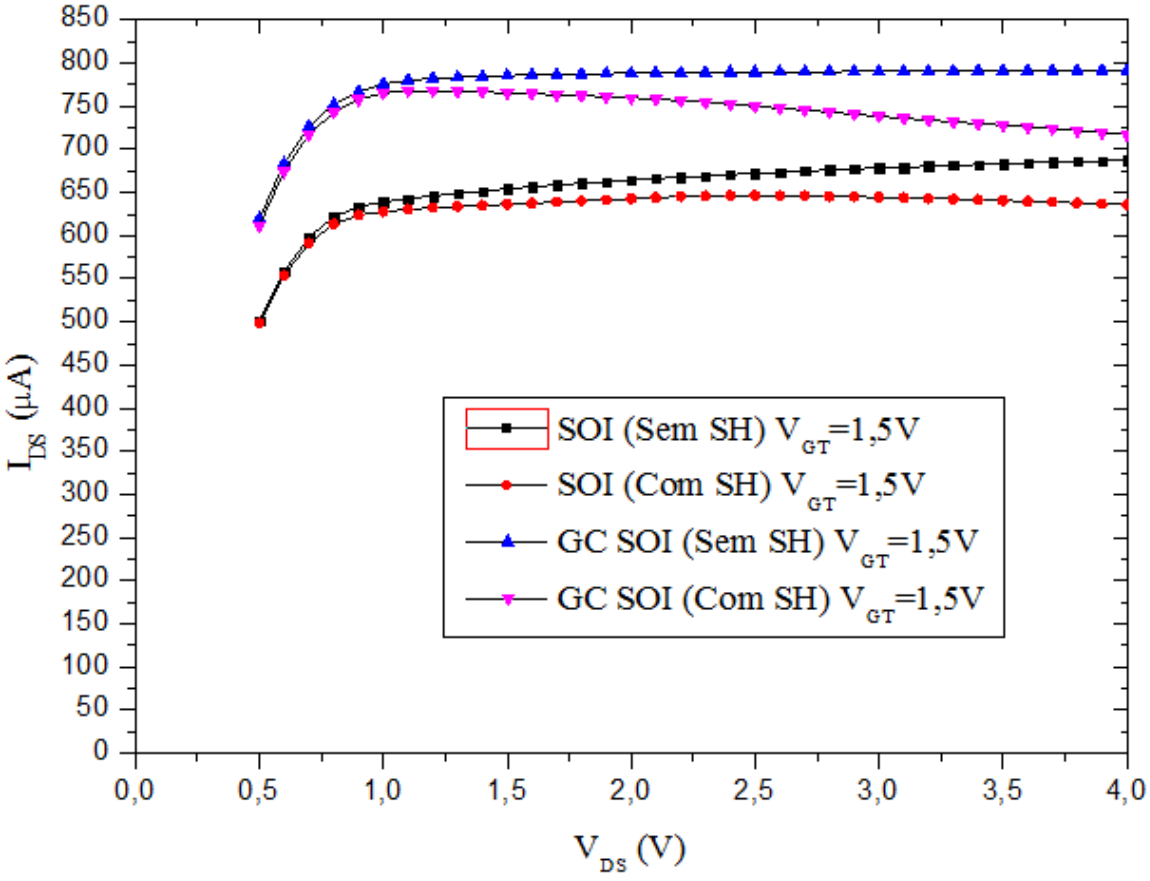


Figura 50 – Medida pulsada - Corrente de dreno versus tensão de dreno para transistor SOI convencional, GC de L_{LD} / L = 0,5 com L=300 nm.

A corrente de dreno que o GC SOI fornece é maior que a corrente de dreno do SOI convencional. Se aumenta a passagem de corrente na caixa forma pelo óxido de porta e de silício, aumenta o calor e diminui a mobilidade. Por isso, verificamos que a diferença entre corrente de dreno com e sem SH para o GC é maior que a diferença entre com e sem SH para o SOI.

Em ambos os casos fica evidente o efeito de autoaquecimetno, mas como o GC fornece corrente de dreno superior ao SOI, mesmo com a queda de corrente, ainda tem corrente superior se compararmos com o SOI.

O gráfico em função de potência mostra que o transistor SOI e GC SOI tem dissipação semelhante e sofrem o mesmo efeito de aquecimento, independente dos dopantes no canal. Apenas com valores acima de 3mW nota-se uma pequena diferença de 5%.

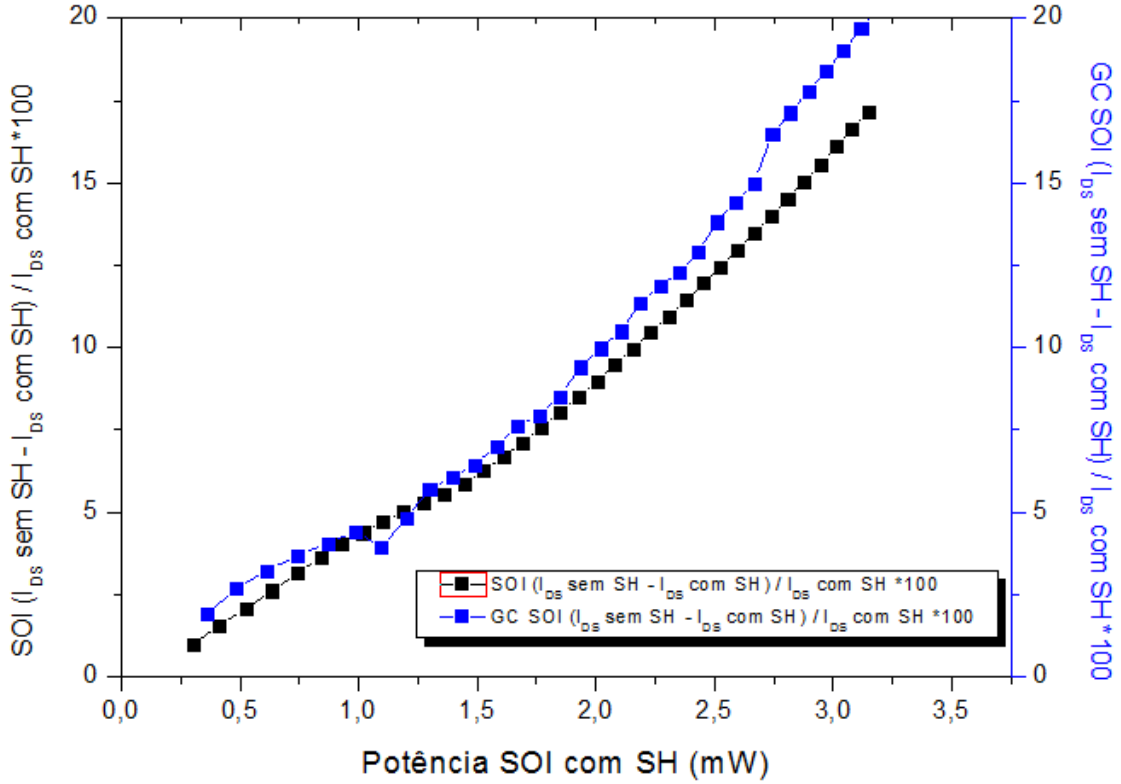


Figura 51 - Corrente de dreno versus potência para transistor SOI, GC de L_{LD} / L = 0,5 com L=300nm.

4. RESULTADO EXPERIMENTAL

O equipamento utilizado para a medição de autoaquecimento nos transistores é o Keithley modelo 4200, mostrado na Figura 52.

Figura 52 – Keithley modelo 4200

Este modelo oferece a opção de gerar curvas I_{DS} x V_{DS} ou I_{DS} x V_{GS} a partir de uma entrada pulsada para extração de V_{th} e S e também pode ser utilizado para investigar a degradação de Ids pelo tempo, devido ao efeito de autoquecimento.

A seguir o leitor pode encontrar detalhes do equipamento e da configuração do Keithley.

O 4200-PIV Pulse pacote IV é um kit de opcionais para o modelo Keithley 4200-SCS. O foco do pacote 4200-PIV é testar transistores CMOS de baixo consumo que apresentam autoaquecimento.

Para realizar testes de pulso de transistores é necessário utilizar o pacote 4200-PIV, que possui os seguintes itens:

a) 4200-PG2 - de canal duplo / gerador de pulsos de tensão;

b) 4200-SCP2 - osciloscópio de canal duplo;

c) Pulso IV Interconnect - 4200-RBT remoto Bias Tees para combinar DC e sinais de pulso e cabos e conectores necessários;

d) Pulso IV “software” - Projetos de rotinas de teste para transistores CMOS, incluindo o cabo compensação e algoritmos linha de carga para fornecer resultados de varredura DC.

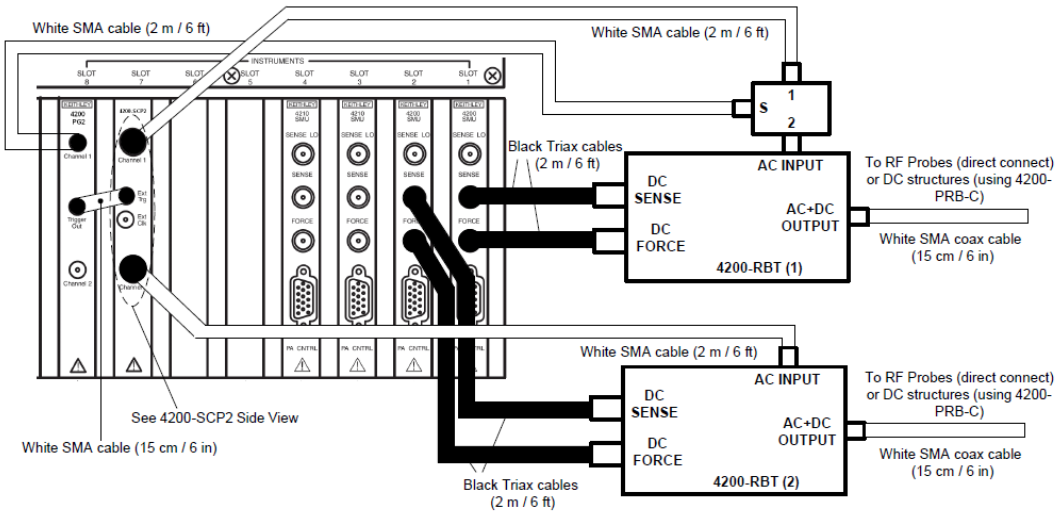


Figura 53 – Diagrama dos conectores

O pacote 4200-PIV possui duas placas no mainframe 4200-SCS, conforme mostrado na Figura 53. Além disso, a interligação de pulso-IV também é mostrada na Figura 54 [44].

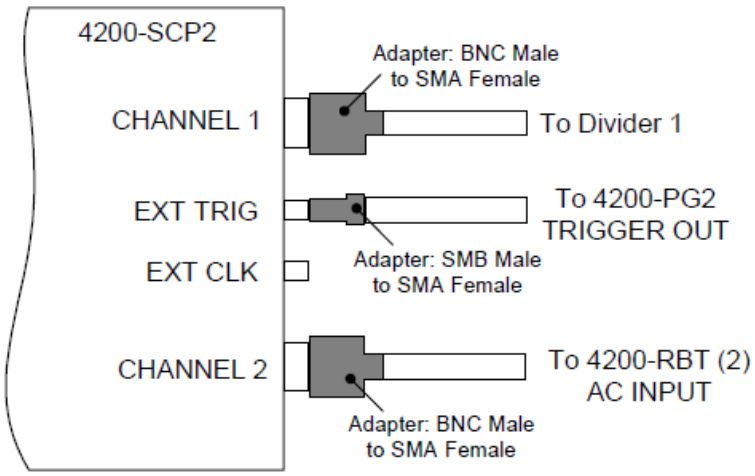


Figura 54 – 4200-SCP2 Vista lateral - Adaptador para conexões 4200-SCP2, mostrando adaptadores para BNC e SMA.

Os conceitos de configuração e teste do pacote 4200-PIV são baseados em conceitos e trabalhos de KA Jenkins [46] e A. Kerber [47], com resultados por C.D. Young [48] e outros.

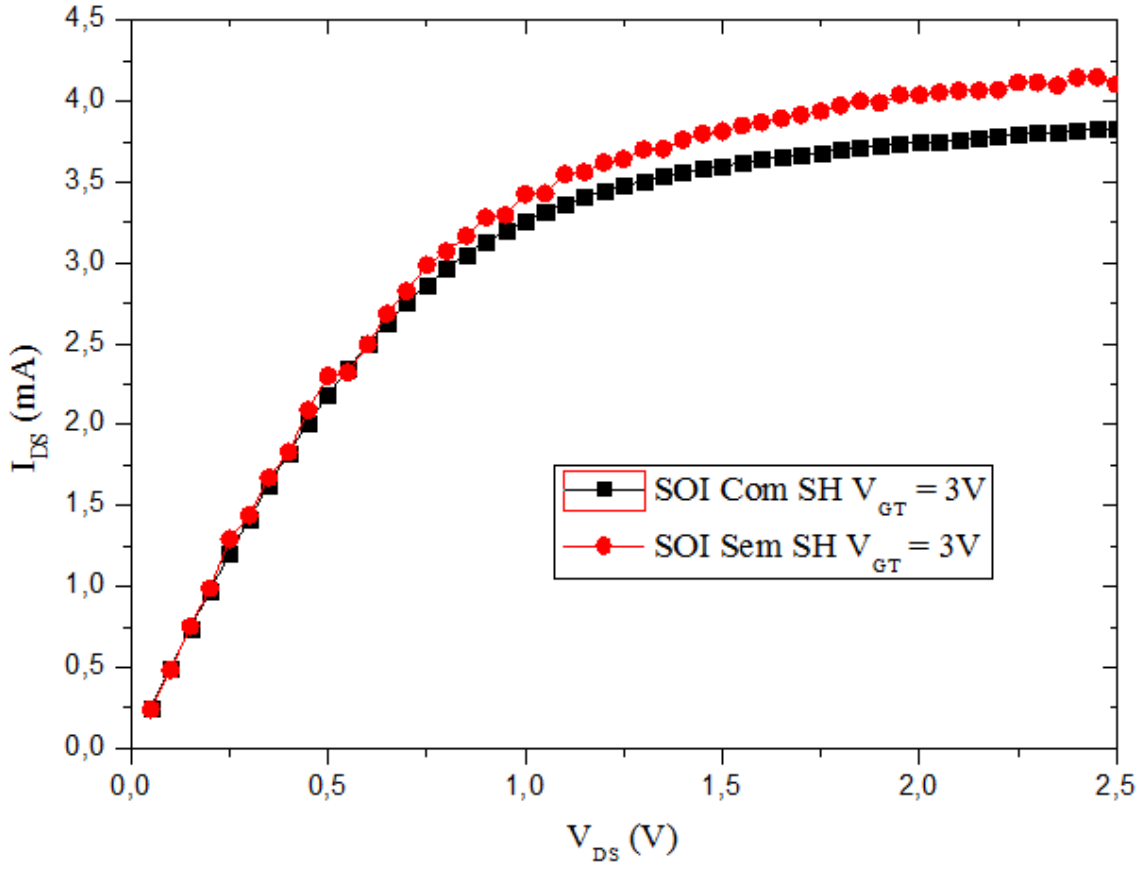


Figura 55 - Corrente de dreno versus tensão de dreno, para transistor SOI uniformemente dopado (L=0,75 µm) com e sem autoaquecimento (SH).

Com intuito de verificar o funcionamento do equipamento, conectores, “software” e integração do sistema, foram feitas medidas com transistor SOI uniformemente dopado com canal de 0,75µm.

A Figura 55 mostra a curva de tensão do dreno pela tensão na porta variando de 0 a 2,5V com passo de 0,05V e configuração do KTEI Version 7.2 de acordo com a Tabela 5.

Tabela 5 – Configuração do software para obter a curva da Figura 55.

Parameter Name	In/Out	Type	Value
VgStart	Input	DOUBLE	3.000000e+000
VgStop	Input	DOUBLE	6.000000e-001
VgNumSteps	Input	INT	1
Vg_off	Input	DOUBLE	0
VdStart	Input	DOUBLE	0
VdStop	Input	DOUBLE	2.500000e+000
VdStep	Input	DOUBLE	5.000000e-002
PulseWidth	Input	DOUBLE	7.000000e-008
PulsePeriod	Input	DOUBLE	1.000000e-004
AverageNum	Input	INT	1
GateScpRange	Input	DOUBLE	0
DrainScpRange	Input	DOUBLE	0
GateSMURange	Input	INT	1
DrainSMURange	Input	INT	1
LoadLineCorr	Input	INT	1
GateCompliance	Input	DOUBLE	0.1
DrainCompliance	Input	DOUBLE	0.1
NPLC	Input	DOUBLE	0.01
DCSourceDelay	Input	DOUBLE	0
DC_vs_Pulse	Input	INT	2
VPUId	Input	CHAR_P	VPU1
GateSMU	Input	CHAR_P	SMU1
DrainSMU	Input	CHAR_P	SMU2

5. CONCLUSÃO

O objetivo principal deste trabalho foi estudar o autoaquecimento nos transistores com tecnologia SOI e GC SOI da UCL e OKI, de maneira que os resultados obtidos nas simulações possam contribuir globalmente para o desenvolvimento de circuitos/CIs na área de micro e nano eletrônica.

Foram simulados transistores SOI e GC SOI com larguras de canais de 300nm, 0,5μm, 0,75μm e 1μm com intuito de analisar a corrente de dreno em função da tensão de porta para verificar o impacto do efeito de aquecimento. Pudemos observar que para o mesmo tamanho de canal o efeito de autoaquecimento é comum para canal com dopagem uniforme e gradual.

Com base nos arquivos de simulações para tensão contínua foram criados novos conjuntos de arquivos com entrada de tensão pulsada. Esse método consiste em avaliar a variação na corrente de dreno após a aplicação de um pulso no dreno.

Em relação à infraestrutura para realização deste trabalho, podemos concluir que o software Atlas atendeu as expectativas no que diz respeito à simulação dos dispositivos. Os resultados experimentais mostram que os equipamentos e “softwares” do Centro Universitário da FEI podem ser utilizados para extrair as medidas do efeito de autoaquecimento em transistores SOI e GC SOI.

Pode-se concluir que o transistor SOI e GC SOI sofrem o mesmo efeito de autoaquecimento e a variação nas dimensões da caixa de silício entre óxido de porta e óxido enterrado são fatores determinantes para alteração características dos dispositivos, principalmente na corrente de dreno.

6. CONTINUIDADE DO TRABALHO

Como verificamos no capítulo 3, o transistor SOI foi simulado com L=0,5µm, 0,75 µm e 1µm e 300nm as curvas de I_{DS} x V_{GS}. A partir destas curvas, obtivemos os valores de tensão de limiar e inclinação de sublimiar onde posteriormente foram utilizados para obter as curvas de I_{DS} x V_{DS} com V_{th} adicionado 200mV, 1,5V e 3V. Ao final desta etapa foi possível verificar o efeito de autoaquecimento com a aplicação do pulso no dreno.

A continuidade deste trabalho é variar a temperatura e fazer a caracterização elétrica dos dispositivos utilizados nas simulações, comparando os resultados práticos com teóricos.

REFERÊNCIAS

[1] M. A. Pavanello, J. A. Martino and V. D. Flandre, "An Asymmetric Channel SOI nMOSFET for Reducing Parasitic Effects and Improving Outpu Characteristics," in *Electrochemical and Solid-State Letters, vol. 3 n.1*, 2000, pp. 50-52.

[2] O. Weber, "High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding," *IEDM*, 2008.

[3] SOI Industry Consortium, "SOI Consortium," [Online]. Available: www.soiconsortium.org.

[4] "http://www2.okisemi.com/," [Online].

[5] M. A. Pavanello, Projeto, fabricação e caracterização elétrica de uma nova estrutura para o SOI MOSFET, São Paulo: Escola Politécnica da Universidade de São Paulo, 2000, p. 138.

[6] J. Roig, D. Flores, S. Hidalgo, M. Vellvehi, J. Rebollo and J. Millán, "Study of novel techniques for reducing self-heating effects in SOI power LDMOS," in *Solid-State Electronics, Vol. 46, Issue 12,*, 2002, pp. 2123-2133.

[7] D. Yachou, J. Gautier and C. Raynaud, "Self Heating Effects on SOI devices and implication to parameter extraction," in *Proceeding of the IEEE international SOI conference*, 1993.

[8] "www.uclouvain.be," 2012. [Online].

[9] B. G. Streetman and S. Banerjee, Solid State Electronic Devices, vol. 6, New Jersey: EEE, 2006.

[10] J. P. Colinge and C. A. Colinge, in *Physics of Semiconductor Devices*, Massachusetts, Kluwer Academic Publishers, 2002, p. 187.

[11] J. P. Colinge, "The SOI MOSFET," in *Silicon-On-Insulator Technology: Materials to VLSI, 3rd Ed.*, Kluwer Academic Publishers, 2003, pp. 155-231.

[12] J. P. Colinge, "Thin-film SOI technology: The solution to many submicron CMOS

problems," in *Thin-film SOI technology: The solution to many submicron CMOS problems*, Technical Digest of IEDM, 1989, pp. 817-820.

[13] B. e. a. EL-KAREH, "Silicon on insulator-an emerging high-leverage technology," vol. 18, IEEE Transactions on Components, Packaging, and Manufacturing Technology, 1995, pp. 187-184.

[14] L. F. F. D. Flandre, P. G. A. Jespers and J. P. Colinge, "Modeling and Application of Fully Depleted SOI MOSFETs for Low Voltage, Low Power Analogue CMOS Circuits," in *Solid-State Electronics, vol. 39*, 1996, pp. 455-460.

[15] M. D. SOUZA, MODELAGEM, SIMULAÇÃO E FABRICAÇÃO DE CIRCUITOS ANALÓGICOS COM TRANSISTORES SOI CONVENCIONAIS E DE CANAL GRADUAL OPERANDO EM TEMPERATURAS CRIOGÊNICAS, São Paulo: Escola Politécnica da Universidade de São Paulo, 2008.

[16] S. Sze, Physics of Semiconductor Devices, 2ª ed., New York: John Wiley & Sons.

[17] H. C. and L. G. P, in *IEEE Eletron Device Letters*, vol. 16, 1995, p. 16.

[18] P. R. KINGET, "Device mismatchh and Tradeoffs in the Design of Analog Circuits," in *IEEE Jounal of Solid-State Circuits*, vol. 40, 2005, p. 1212.

[19] M. YOSHIMI, H. HAZAMA, M. TAKAHASHI, S. KAMBAYASHI, T. WADA and H. TANGO, "Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film," vol. 36, IEEE Transactions on Electron Devices, 1989, pp. 493-503.

[20] G. GROESENEKEN, J. COLINGE, H. MAES, J. ALDERMAN and S. HOLT, "Temperature dependence of threshold voltage in thin-film SOI MOSFETs," in *IEEE Electron Device Letters*, vol. 11, 1990, pp. 329-331.

[21] N. KISTLER and J. WOO, "Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFETs," in *IEEE Transaction on Electron Devices*, vol. 41, 1994, pp. 1217-1221.

[22] H.-K. Lim and J. G. Fossum, "IEEE Transactions on Electron Devices," *Threshold Voltage of Thin-Film Silicon-on-Insulator*, p. 1244, Outubro 1983.

[23] J. Gautier and J. . Y.-C. Sun, "IEEE ELECTRON DEVICE LETTERS, VOL. 16, NO. 11," *On the Transient Operation of Partially Depleted SO1 NMOSFET' s,* p. 497, novembro 1995.

[24] H. LIM and J. FOSSUM, "Threshold voltage of thin-film silicon-on- insulator (SOI) MOSFETs.," vol. 30, IEEE Transactions on Electron Devices, 1983, pp. 1244-1251.

[25] E. CONWELL and V. F. WEIAAKOPF, "Theory of impurity scattering in semiconductors," 3 ed., vol. 77, Physics Review, 1950, pp. 388-390.

[26] E. A. e. a. GUTIERREZ, Low Temperature Electronics: Physics, Devices, Circuits, Academic Press, 1991.

[27] S. SELBERHERR, "MOS Device Modeling at 77K," 8 ed., vol. 36, IEEE Transactions on Electron, 1989, pp. 1464-1474.

[28] J. M. DORKEL and P. LETURCQ, "Carrier mobilities in silicon semi-empiric related to temperature, doping and injection level," in *Solid-State Electronics*, vol. 24, 1981, pp. 821-825.

[29] M. A. Pavanello, J. A. Martino, V. Dessard and D. Flandre, "The Graded-Channel SOI nMOSFET and Its Potential to Analog Applications," in *ICMP99 - International Conference on Microelectronics and Packaging Technical Digest*, Campinas, 1999, pp. 105-109.

[30] M. A. Pavanello, J. A. Martino, V. Dessard and D. Flandre, "The Graded-Channel SOI MOSFET to Alleviate the Parasitic Bipolar Effects and Improve the Output Charactetistics," in *9th International Symposium on Silicon-On-Insulator Technology and Devices, 195th Electrochemical Society Meeting*, Seattle, USA, 1999, pp. 293-298.

[31] M. A. Pavanello, J. A. Martino and D. Flandre, "Analog Performance and Application of Graded-Channel Fully Depleted SOI MOSFETs," in *Solid-State Electronics, vol. 44, n. 7*, 2000, pp. 1219-1222.

[32] M. A. Pavanello and R. S. Ferreira, "Improved Current Mirror Performance Using Graded-Channel Silicon-On-Insulator Devices in High Temperature Operation," in *Microelectronics Technology and Devices SBMicro 2004, The ECS Proc. Series PV*

2004-03, 2004, pp. 45-5.

[33] S. P. Gimenez, M. A. Pavanello, J. A. Martino, S. Adriaense and D. Flandre, "Design of Operational Transconductance Amplifiers with Improved Gain by Using Graded-Channel SOI nMOSFETs," in *16th Symposium on Integrated Circuits and System*, 2003, pp. 26-31.

[34] J.-P. Raskin and M. Dehan, "An Asymmetric Channel SOI nMOSFET for Improving DC and Microwave Characteristics," in *Solid-State Electronics, vol. 46, n. 7*, 2002, pp. 1005-1011.

[35] L. F. F. D. Flandre and S. Adriaensen , "Analysis of the Thin-Film SOI Lateral Bipolar Transistor and Optimization of its Output Characteristics for High-Temperature Applications," in *Solid-State Electronics, vol. 46, n. 9*, 2002, pp. 1339-1343.

[36] L. T. S. et, "Proceedings of the IEDM," in *Proceedings of the IEDM*, 1992, p. 357.

[37] S. E. Oliveira, Estudo de autoaquecimento em transistores SOI com estrutura de canal gradual, São Paulo: Escola Politécnica da Universidade de São Paulo, 2007.

[38] Z. X. Zhang, Q. Lin, M. Zhu and C. L. Lin, "A new structure of SOI MOSFET for reducing self-heating effect," in *Ceramics International, Vol. 30, Issue 7*, 2009, pp. 1289-1293.

[39] J. Olsson, "Self-heating effects in SOI bipolar transistors," in *Microelectronic Engineering, Vol. 56, Issues 3-4*, 2001, pp. 339-352.

[40] N. a. Yasuda, "Analytical device model of SOI MOSFETs including self-heating effect," in *Japanese Journ. Of Applied Physics, vol. 30, nº 12B*, 1991, pp. p3677-3684.

[41] K. Jenkins and J.-C. Sun, "Measurement of I-V curves of silicon-on-insulator (SOI) MOSFET's without self-heating," in *IEEE Electron Device Letters, Vol 16 issue 4*, 1995, p. 145.

[42] L. T. Su, J. E. Chung, D. A. Antoniadis, K. E. Goodson and M. I. Flik, "Measurement and modeling of self-heating effects in SOI nMOSFETs," in *IEEE Transaction on Electron Devices, Vol. 41*, 1994, p. 69.

[43] G. K. WACHUTKA, "Rigorous Thermodynamic Treatment of Heat Generation and Conduction in Semiconductor Device Modeling," *IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN, VOL. 9*, p. 1141, NOVEMBER 1990 .

[44] Keithley Instruments, "www.keithley.com," [Online].

[45] M. d. Souza, M. Emam, D. Vanhoenacker-Janvier, J.-P. Raskinb, D. Flandre and M. A. Pavanello, Comparison Between the Behavior of Submicron Graded-Channel SOI nMOSFETs with Fully- and Partially-Depleted Operations in a Wide Temperature Range, São Paulo: Centro Universitário da FEI, 2010.

[46] K. A. Jenkins, J. Y.-C. Sun and J. Gautier, "Characteristics of SOI FET's under pulsed conditions," in *IEEE Transactions on Electron Devices, vol 44, issue 11*, 1997, pp. 1923-1930.

[47] "Characterization of the VT instability in SiO2/HfO2 gate dielectrics," in *Proc. IEEE IRPS*, 2003, p. 41.

[48] C. D. Young, R. Choi, J. H. Sim, B. H. Lee, P. Zeitzoff, J. Zhao, K. Matthews, G. A. Brown and G. Bersuker, "Interfacial Layer Dependence of HfSixOy Gate Stacks on Vt Instability and Charge Trapping Using Ultra-short Pulse I-V Characterization," in *Proc. IEEE IRPS*, 2005, pp. 75-79.

Apêndice A

```
go atlas
TITLE Transistor SOI convencional - T=300K

#################################################################
# Nome: Edson Kioshi Goto                                      #
# Date: Oct, 07th, 2010                                        #
# Arquivo: SOI convencional Version 01                         #
# Simulação de um SOI nMOSFET                                  #
# L=0,5um                                                      #
# Espessura da camada de silício: tSi=80nm                      #
# Espessura do oxido de porta: toxf=30nm                        #
# Espessura do oxido enterrado: toxb=390nm                      #
# Curva: Ids x Vgf, com Vds=50mV                                #
#################################################################

mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.005
x.mesh loc=0.25 spac=0.005
x.mesh loc=0.26 spac=0.005
x.mesh loc=0.35  spac=0.01
x.mesh loc=0.5  spac=0.05
x.mesh loc=0.65  spac=0.01
x.mesh loc=0.74 spac=0.005
x.mesh loc=0.75 spac=0.005
x.mesh loc=0.76 spac=0.005
x.mesh loc=1    spac=0.05


y.mesh loc=-0.03 spac=0.01
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.03 spac=0.01
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.05
y.mesh loc=0.1 spac=0.1
y.mesh loc=0.4 spac=0.1
y.mesh loc=0.45 spac=0.05
y.mesh loc=0.47 spac=0.01
#
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.08 silicon
region num=3 y.min=0.08 oxide
#
#*********** define the electrodes ************
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode name=gate x.min=0.25 x.max=0.75 y.min=-0.03 y.max=-0.03
electrode name=source x.min=0 x.max=0.1 y.min=-0.03 y.max=0
electrode name=drain x.min=0.9 x.max=1 y.min=-0.03 y.max=0
electrode name=substrate
#
#*********** define the doping concentrations *****
#
#doping uniform conc=1e15 boron reg=2 x.min=0 x.max=2.5 y.min=0 y.max=2

doping uniform boron conc=5.5e16 reg=2

# x.min=0.25 x.max=2.25 y.min=0 y.max=0.08

doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.r=0.25
doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.l=0.75

save outf= SOI_L05_triodo_file1.str
```

```
# set interface charge separately on front and back oxide interfaces
interf qf=5e10 y.max=0.05
interf qf=5e10 y.min=0.05


#
# set workfunction of gate
contact name=gate n.poly
contact name=substrate workfunc=4.95
output minset j.el

# select models
models kla watt bgn consrh auger srh fldmob print temp=300

#lat.temp
#material region=2 taup0=.5E-7 taun0=0.5E-7 hoogen=2E-3 hoogep=2E-3
mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
#thermcontact numerb=1 y.min=0.47 ext.temper=300

solve init

save   outf=SOI_L05_file2.str

#
# do IDVG characteristic
#
method newton autonr trap maxtrap=10
solve prev
#impact selb

#**********************************
# Eleva Vds para 0.050 V
#**********************************
solve vdrain=0.001
solve vdrain=0.005
solve vdrain=0.01
solve vdrain=0.02
solve vdrain=0.05
log        outf=IdsxVgf_L_05.log

#************************
#Eleva Vgt para 2
#************************
solve  vstep=0.01 vfinal=2 name=gate

#solve vfinal=0.050 vstep=0.01 name=drain
#**********************************
# Vt=?
#**********************************

save outf=SOI_L05_triodo_vgs_out_file3.str

quit
```

Apêndice B

```
go atlas
TITLE Transistor SOI convencional com autoaquecimento - T=300K

#################################################################
# Nome: Edson Kioshi Goto                                      #
# Date: Oct, 07th, 2010                                        #
# Arquivo: SOI convencional Version 01                         #
# Simulacao de um SOI nMOSFET                                  #
# L=0,5um                                                      #
# Espessura da camada de silicio: tSi=80nm                      #
# Espessura do oxido de porta: toxf=30nm                                #
# Espessura do oxido enterrado: toxb=390nm                      #
# Curva: Ids x Vd, com Vgs= VTh + 3V                             #
#################################################################

# Logbook
# 1) 04/oct/2010 - Write the code.
# 2) 07/oct/2010 - Write code.
# 3) 18/oct/2010 - review and simulate.
# 4) 21/oct/2010 - SH
# 5) 26/oct/2010 - Check the results and review the code.

mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.005
x.mesh loc=0.25 spac=0.005
x.mesh loc=0.26 spac=0.005
x.mesh loc=0.35  spac=0.01
x.mesh loc=0.5  spac=0.05
x.mesh loc=0.65  spac=0.01
x.mesh loc=0.74 spac=0.005
x.mesh loc=0.75 spac=0.005
x.mesh loc=0.76 spac=0.005
x.mesh loc=1    spac=0.05


y.mesh loc=-0.03 spac=0.01
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.03 spac=0.01
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.05
y.mesh loc=0.1 spac=0.1
y.mesh loc=0.4 spac=0.1
y.mesh loc=0.45 spac=0.05
y.mesh loc=0.47 spac=0.01
#
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.08 silicon
region num=3 y.min=0.08 oxide
#
#*********** define the electrodes ************
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode name=gate x.min=0.25 x.max=0.75 y.min=-0.03 y.max=-0.03
electrode name=source x.min=0 x.max=0.1 y.min=-0.03 y.max=0
electrode name=drain x.min=0.9 x.max=1 y.min=-0.03 y.max=0
electrode name=substrate
#
#*********** define the doping concentrations *****
#
#doping uniform conc=1e15 boron reg=2 x.min=0 x.max=2.5 y.min=0 y.max=2

doping uniform boron conc=5.5e16 reg=2
```

```
# x.min=0.25 x.max=2.25 y.min=0 y.max=0.08

doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.r=0.25
doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.l=0.75

save outf= SOI_L05_triodo_file1.str

# set interface charge separately on front and back oxide interfaces
interf qf=5e10 y.max=0.05
interf qf=5e10 y.min=0.05


#
# set workfunction of gate
contact name=gate n.poly
contact name=substrate workfunc=4.95
output minset j.el

# select models
models kla watt bgn consrh auger srh fldmob print temp=300 lat.temp
#material region=2 taup0=.5E-7 taun0=0.5E-7 hoogen=2E-3 hoogep=2E-3
mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
thermcontact number=1 y.min=0.47 ext.temper=300

solve init

save   outf=SOI_L05_file2.str

#
# do IDVG characteristic
#
method newton autonr trap maxtrap=10
solve prev
#impact selb

#**********************************
# Eleva Vgs para vT + 3V
#**********************************
solve vgate=1e-3
solve vgate=5e-3
solve vgate=1e-2
solve vgate=5e-2
solve vgate=1.00
solve vgate=2.00
solve vgate=3.00
solve vgate=3.36

log        outf=IdxVd_L05_SH_vth3_20101026.log

#************************
#Eleva Vds para 4
#************************
solve vstep=0.01 vfinal=4 name=drain

#solve vfinal=0.050 vstep=0.01 name=drain
#**********************************
# Vt=?
#**********************************

save outf=SOI_L05_triodo_vgs_out_file3.str

quit
```

Apêndice C

```
go atlas
TITLE Transistor GC SOI - T=300K

#################################################################
# Nome: Edson Kioshi Goto                                      #
# Date: Oct, 21st, 2010                                        #
# Arquivo: GC SOI Version 01                                   #
# Simulacao de um SOI nMOSFET                                  #
# L=0,5um                                                      #
# Espessura da camada de silicio: tSi=80nm                     #
# Espessura do oxido de porta: toxf=30nm                       #
# Espessura do oxido enterrado: toxb=390nm                     #
# Curva: Ids x Vd para Vth+3                                   #
#################################################################

# Logbook
# 1) 04/oct/2010 - Write the code.
# 2) 07/oct/2010 - Write code.
# 3) 18/oct/2010 - review and simulate.
# 4) 21/oct/2010 - Simulate
# 5) 10/nov/2010 - lld/l=0,5
# 6) 11/nov/2010 - com SH

mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.005
x.mesh loc=0.25 spac=0.005
x.mesh loc=0.26 spac=0.005
x.mesh loc=0.35  spac=0.01
x.mesh loc=0.5  spac=0.05
x.mesh loc=0.65  spac=0.01
x.mesh loc=0.74 spac=0.005
x.mesh loc=0.75 spac=0.005
x.mesh loc=0.76 spac=0.005
x.mesh loc=1    spac=0.05


y.mesh loc=-0.03 spac=0.01
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.03 spac=0.01
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.05
y.mesh loc=0.1 spac=0.1
y.mesh loc=0.4 spac=0.1
y.mesh loc=0.45 spac=0.05
y.mesh loc=0.47 spac=0.01
#
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.08 silicon
region num=3 y.min=0.08 oxide
#
#*********** define the electrodes ************
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode name=gate x.min=0.25 x.max=0.75 y.min=-0.03 y.max=-0.03
electrode name=source x.min=0 x.max=0.1 y.min=-0.03 y.max=0
electrode name=drain x.min=0.9 x.max=1 y.min=-0.03 y.max=0
electrode name=substrate
#
#*********** define the doping concentrations *****
#
doping uniform conc=5.5e16 boron reg=2 x.min=0.25 x.max=0.5
```

```
doping uniform boron conc=1e15 reg=2 x.min=0.5 x.max=0.75

doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.r=0.25
doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.l=0.75

# save outf= SOI_L05_triodo_file1.str

# set interface charge separately on front and back oxide interfaces
interf qf=5e10 y.max=0.05
interf qf=5e10 y.min=0.05


#
# set workfunction of gate
contact name=gate n.poly
contact name=substrate workfunc=4.95
output minset j.el

# select models
models kla watt bgn consrh auger srh fldmob print temp=300 lat.temp
#material region=2 taup0=.5E-7 taun0=0.5E-7 hoogen=2E-3 hoogep=2E-3
mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
thermcontact number=1 y.min=0.47 ext.temper=300

solve init

save   outf=SOI_L05_file2.str

#
# do IDVG characteristic
#
method newton autonr trap maxtrap=10
solve prev
#impact selb

#***********************************
# Eleva Vgs para vT + 3V
#***********************************
solve vgate=1e-3
solve vgate=5e-3
solve vgate=1e-2
solve vgate=5e-2
solve vgate=1
solve vgate=2
solve vgate=3
solve vgate=3.19

log        outf=IdxVd_L05_GC_SH_vth3_20101111.log

#************************
#Eleva Vds para 4
#************************
solve vstep=0.01 vfinal=4 name=drain

#solve vfinal=0.050 vstep=0.01 name=drain
#***********************************
# Vt=?
#***********************************

save outf=SOI_L05_triodo_vgs_out_file3.str

quit
```

Apêndice D

```
go atlas
TITLE Transistor SOI convencional - T=300K

#################################################################
# Nome: Edson Kioshi Goto                                      #
# Date: Oct, 07th, 2010                                        #
# Arquivo: SOI convencional Version 01                         #
# Simulacao de um SOI nMOSFET                                  #
# L=0,5um                                                      #
# Espessura da camada de silicio: tSi=80nm                      #
# Espessura do oxido de porta: toxf=30nm                        #
# Espessura do oxido enterrado: toxb=390nm                      #
# Curva: Ids x Vgf, com Vds=50mV                                #
#################################################################

# Logbook
# 1) 04/oct/2010 - Write the code.
# 2) 07/oct/2010 - Write code.
# 3) 18/oct/2010 - review and simulate.
# 4) 21/oct/2010 - SH
# 5) 26/oct/2010 - Check the results and review the code.
# 6) 12/nov/2010 - Ramptime vd=4

mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.005
x.mesh loc=0.25 spac=0.005
x.mesh loc=0.26 spac=0.005
x.mesh loc=0.35  spac=0.01
x.mesh loc=0.5  spac=0.05
x.mesh loc=0.65  spac=0.01
x.mesh loc=0.74 spac=0.005
x.mesh loc=0.75 spac=0.005
x.mesh loc=0.76 spac=0.005
x.mesh loc=1    spac=0.05


y.mesh loc=-0.03 spac=0.01
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.03 spac=0.01
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.05
y.mesh loc=0.1 spac=0.1
y.mesh loc=0.4 spac=0.1
y.mesh loc=0.45 spac=0.05
y.mesh loc=0.47 spac=0.01
#
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.08 silicon
region num=3 y.min=0.08 oxide
#
#*********** define the electrodes ************
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode name=gate x.min=0.25 x.max=0.75 y.min=-0.03 y.max=-0.03
electrode name=source x.min=0 x.max=0.1 y.min=-0.03 y.max=0
electrode name=drain x.min=0.9 x.max=1 y.min=-0.03 y.max=0
electrode name=substrate
#
#*********** define the doping concentrations *****
#
#doping uniform conc=1e15 boron reg=2 x.min=0 x.max=2.5 y.min=0 y.max=2
```

```
doping uniform boron conc=5.5e16 reg=2

# x.min=0.25 x.max=2.25 y.min=0 y.max=0.08

doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.r=0.25
doping gaussian arsenic conc=8e20 char=0.08 lat.char=0.00304 reg=2 x.l=0.75

save outf= SOI_L05_triodo_file1.str

# set interface charge separately on front and back oxide interfaces
interf qf=5e10 y.max=0.05
interf qf=5e10 y.min=0.05


#
# set workfunction of gate
contact name=gate n.poly
contact name=substrate workfunc=4.95
output minset j.el

# select models
models kla watt bgn consrh auger srh fldmob print temp=300 lat.temp
#material region=2 taup0=.5E-7 taun0=0.5E-7 hoogen=2E-3 hoogep=2E-3
mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
thermcontact number=1 y.min=0.47 ext.temper=300

solve init

save   outf=SOI_L05_file2.str

#
# do IDVG characteristic
#
method newton autonr trap maxtrap=10
solve prev
#impact selb

#**********************************
# Eleva Vgs para vT + 3V
#**********************************
solve vgate=1e-3
solve vgate=5e-3
solve vgate=1e-2
solve vgate=5e-2
solve vgate=1.00
solve vgate=2.00
solve vgate=3.00
solve vgate=3.36

log        outf=ramp_IdxVd_L05_SH_vth3_20101112.log

#************************
#Eleva Vds para 4
#************************
#solve vstep=0.01 vfinal=4 name=drain

#solve vfinal=0.050 vstep=0.01 name=drain
#**********************************
# Vt=?
#**********************************
#**********************************
# Aplicação do pulso Vd=4V
#**********************************

solve vdrain=4 ramptime=1E-8 tstop=10.1E-6 tstep=100e-9

save outf=SOI_L05_triodo_vgs_out_file3.str

quit
```

Apêndice E

```
################################################################################
# Arquivo: GC_CC_G1_300
# Transistor GC SOI nMOSFET
# LHD=150 nm e LLD=150nm
# Espessura da camada de silicio: tSi=40nm
# Espessura do oxido de porta: toxf=2.5nm
# Espessura do oxido enterrado: toxb=145nm
# Concentracao HD: Na2=1E18cm-3
# Concentracao LD: Na1=1E18cm-3
#
# Logbook:
# 12/03/2012 - Adicionado SH
# 13/03/2012 - Idxvd para vth+200
################################################################################
go atlas
TITLE Transistor SOI Convencional - L=2um / T=300K
################################
# Especifying the initial mesh #
################################
mesh space.mult=1.0
#
x.mesh loc=0.000 spac=0.050
x.mesh loc=0.050 spac=0.050
x.mesh loc=0.240 spac=0.005
x.mesh loc=0.250 spac=0.005
x.mesh loc=0.300 spac=0.005
x.mesh loc=0.350 spac=0.005
x.mesh loc=0.450 spac=0.010
x.mesh loc=0.350 spac=0.005
x.mesh loc=0.600 spac=0.005
x.mesh loc=0.650 spac=0.005
x.mesh loc=0.660 spac=0.005
x.mesh loc=0.900 spac=0.050
#
y.mesh loc=-0.0025 spac=0.005
y.mesh loc=0.00 spac=0.002
y.mesh loc=0.01 spac=0.002
y.mesh loc=0.02 spac=0.005
y.mesh loc=0.04 spac=0.01
y.mesh loc=0.144 spac=0.05
y.mesh loc=0.185 spac=0.01
#
region num=1 x.min=0.000 x.max=0.250 silicon
region num=2 x.min=0.650 x.max=0.900 silicon
region num=3 x.min=0.250 x.max=0.650 silicon
region num=4 x.min=0.250 x.max=0.650 y.max=0 oxide
region num=5 y.min=0.04 oxide
#
#**************** DEFINE THE ELECTRODES *****************
# 1-GATE    2-SOURCE    3-DRAIN   4-SUBSTRATE
#
electrode   name=gate x.min=0.300 x.max=0.600 y.max=-0.0025
electrode   name=source x.max=0.050 y.min=-0.0025 y.max=0.0
electrode   name=drain  x.min=0.850 y.min=-0.0025 y.max=0.0
electrode   name=substrate bottom
#
#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping uniform conc=1.0e18 p.type reg=3  x.min=0.300 x.max=0.450 y.min=0
y.max=0.040
doping uniform conc=1.0E15 p.type reg=3  x.min=0.450 x.max=0.600 y.min=0
y.max=0.040
doping gaussian n.type conc=5e19 char=0.015 lat.char=0.00304 reg=3 x.min=0.250
x.max=0.300 y.min=0.00 y.max=0.04
```

```
doping gaussian n.type conc=5e19 char=0.015 lat.char=0.00304 reg=3 x.min=0.600
x.max=0.650 y.min=0.00 y.max=0.04
doping gaussian n.type conc=5e20 char=0.04 lat.char=0.00304 reg=1 x.min=0.000
x.max=0.250
doping gaussian n.type conc=5e20 char=0.04 lat.char=0.00304 reg=2 x.min=0.650
x.max=0.900

#save outf=GC_CC.str
#tonyplot GC_CC.str

# SET INTERFACE CHARGE SEPARATELY ON FRONT AND BACK OXIDE INTERFACES
interf  qf=3e10 y.max=0.1
interf  qf=1e11 y.min=0.1

# SET WORKFUNCTION OF GATE
contact name=gate n.poly
contact name=substrate workfunc=4.95
output minset

# SPECIFYING PHYSICAL MODELS

# Set 3
models kla watt bgn consrh auger srh fldmob print temp=300 lat.temp
mobility mod.watt.n
mobility etan.watt=0.25 etap.watt=0.15
thermcontact number=1 y.min=0.185 ext.temper=300
solve init

method newton gummel autonr trap maxtrap=10

solve prev

solve prev
#**********************************
# Eleva Vgs para vth + 3V
#**********************************
solve vgate=1e-3
solve vgate=5e-3
solve vgate=1e-2
solve vgate=0.52
solve vgate=0.7
solve vgate=0.8
solve vgate=0.9
solve vgate=1.1
solve vgate=1.3
solve vgate=1.4
solve vgate=1.5


log outf=GC_150_150_G1_300_idxvd_vth1meio_26.log

#************************
#Eleva Vds para 4
#************************
#solve vstep=0.01 vfinal=4 name=drain

solve vdrain=2.6 ramptime=1E-8 tstop=10.1E-6 tstep=100e-9

log off
quit
```