

RICCARDO PIZZANELLI

**ESTUDO DO EFEITO DIBL EM FUNÇÃO DA TEMPERATURA EM NANOFIOS  
TRANSISTORES SOI MOS DE EFEITO DE CAMPO**

**São Bernardo do Campo**

**2023**

**RICCARDO PIZZANELLI**

**ESTUDO DO EFEITO DIBL EM FUNÇÃO DA TEMPERATURA EM NANOFIOS  
TRANSISTORES SOI MOS DE EFEITO DE CAMPO**

Dissertação de mestrado apresentada ao  
Centro Universitário FEI como parte dos  
pré-requisitos para obtenção do título de  
Mestre em Engenharia Elétrica

Área de concentração:  
Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dra.  
Michelly de Souza

**São Bernardo do Campo**

**2023**

Pizzanelli, Riccardo.

ESTUDO DO EFEITO DIBL EM FUNÇÃO DA TEMPERATURA  
EM NANOFIOS TRANSISTORES SOI MOS DE EFEITO DE CAMPO /  
Riccardo Pizzanelli. São Bemardo do Campo, 2023.

105 p. : il.

Dissertação - Centro Universitário FEI.

Orientadora: Prof.<sup>a</sup> Dra. Michelly De Souza.

1. Nanofios . 2. DIBL. 3. Largura do canal . 4. Temperatura. I. De  
Souza, Michelly, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os  
dados fornecidos pelo(a) autor(a).

**APRESENTAÇÃO DE DISSERTAÇÃO  
ATA DA BANCA EXAMINADORA**

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Mestrado

PGE-10

**Aluno(a):** Riccardo Pizzanelli

**Matrícula:** 120302-5

**Título do Trabalho:** ESTUDO DO EFEITO DIBL EM FUNÇÃO DA TEMPERATURA EM NANOFIOS TRANSISTORES SOI MOS DE EFEITO DE CAMPO

**Área de Concentração:** Nanoeletrônica e Circuitos Integrados

**Orientador(a):** Profª Dra Michelly de Souza

**Data da realização da defesa:** 23/06/2023

**ORIGINAL ASSINADA**

**Avaliação da Banca Examinadora:**

A defesa pública da dissertação de mestrado foi realizada de forma híbrida com a presença dos membros titulares da banca examinadora. A defesa teve início com a apresentação do trabalho pelo candidato. Em seguida, foi realizada a arguição por todos os membros da banca examinadora. O candidato respondeu às perguntas de forma satisfatória. Em seguida, em sessão fechada, a banca deliberou pela aprovação unânime da dissertação. Os comentários realizados pelos membros da banca serão incluídos na versão final do texto da dissertação de mestrado.

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒

REPROVADO ☐

**MEMBROS DA BANCA EXAMINADORA**

Profª Dra Michelly de Souza

Profª Dra Bruna Cardoso Paz

Prof. Dr. Marcelo Antonio Pavanello

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a meus pais  
e irmã, aos quais devo tudo e aos  
quais amo incondicionalmente.

“Os encantos dessa sublime ciência  
se revelam apenas àqueles que tem  
coragem de ir em a fundo nela.”

Carl Friedrich Gauss

## **AGRADECIMENTOS**

À minha orientadora Professora Dra. Michelly de Souza pela confiança, incentivo de ir além tanto na graduação quanto na pós-graduação, pela amizade, paciência e por ser uma professora que faz a diferença.

Ao professor Dr. Marcelo Antonio Pavanello pelo tempo de ajuda, paciência, aulas ministradas e dedicação. Ao Professor Dr. Rodrigo Doria pelas aulas, dicas, paciência, conhecimento e incentivo.

Aos meus pais pelo apoio, incentivo, carinho e suporte fornecidos desde sempre e por terem me ensinado a importância de estudar.

À minha irmã, que sempre esteve ao meu lado me dando forças, incentivo, carinho e toda ajuda para ir cada vez mais longe.

Aos meus amigos que fazem parte do grupo de alunos na pós-graduação do Centro Universitário FEI e da graduação por toda ajuda que me foi dada durante esse período do trabalho.

Ao CNPq pelo apoio financeiro e confiança depositados em mim para realizar este trabalho.

Ao meu colega Rhaycen Rodrigues Prates pela contribuição com os dados experimentais.

E a tantas outras pessoas que de alguma forma, seja ela qual for, me auxiliaram para a realização deste trabalho.

## RESUMO

Este trabalho apresenta um estudo comparativo da redução da barreira induzida por dreno, DIBL (*Drain Induced Barrier Lowering*), para os nanofios transistores SOI MOS de efeito de campo nas estruturas modo inversão e junctionless (sem junção). O principal objetivo deste trabalho é analisar a variação do DIBL em função da temperatura na faixa entre, 300 K, 400 K, 500 K e 580 K, para diferentes larguras de canal. Para o que o estudo fosse realizado, foram feitas medidas em amostras de transistores nanofios modo inversão e sem junção, tipo “n”, com comprimento de canal de  $L = 40$  nm e  $L = 100$  nm, larguras da aleta de silício de 12 nm, 22 nm e 42 nm, altura da aleta de silício de 9 nm e tensões de dreno de  $V_{DS} = 40$  mV e  $V_{DS} = 900$  mV para ambas as estruturas que possuem dimensões idênticas. Para a análise das estruturas e seu comportamento elétrico, foi realizada a extração de parâmetros por meio de medidas experimentais nas respectivas temperaturas mencionadas acima e por meio de simulações numéricas tridimensionais. Com os dados coletados e as medidas realizadas, foi demonstrado que nanofios transistores sem junção apresentam valores menores para o DIBL do que os nanofios modo inversão, assim como, quando analisada a variação do DIBL em relação a temperatura. Comparando o DIBL em nanofios modo inversão e sem junção observa-se uma redução de 36% do efeito em favor dos transistores sem junção para o  $W_{fin} = 12$  nm, 25% para o  $W_{fin} = 22$  nm e 34% para o  $W_{fin} = 42$  nm. Assim, quando os nanofios sem junção e modo inversão são comparados em relação ao efeito DIBL em função da temperatura, a variação sofrida pelo transistor sem junção é menor, o que indica menor dependência das características elétricas com a temperatura. A menor dependência com a temperatura do transistor sem junção se dá pela relação que o potencial de Fermi possui com a concentração intrínseca de portadores, concentração de dopantes e a temperatura.

Palavras-chave: Nanofios. DIBL. Inversão. Sem Junção. Largura do Canal. Temperatura.

## ABSTRACT

This work presents a comparative study of DIBL (Drain Induced Barrier Lowering), for nanowire SOI MOS field effect transistors in inversion mode and junctionless structures (junctionless). The main objective of this work is to analyze the DIBL variation as a function of temperature in the range between, 300 K, 400 K, 500 K and 580 K, for different channel widths. For the study to be carried out, measurements were made on samples of inversion mode and junctionless nanowire transistors, type “n”, with channel length of  $L = 40$  nm and  $L = 100$  nm, silicon fin widths of 12 nm, 22 nm and 42 nm, silicon fin height of 9 nm and drain voltages of  $V_{DS} = 40$  mV and  $V_{DS} = 900$  mV for both structures that have identical dimensions. For the analysis of the structures and their electrical behavior, parameters were extracted through experimental measurements at the respective temperatures mentioned above and through three-dimensional numerical simulations. With the collected data and the performed measurements, it was demonstrated that junctionless transistor nanowires present lower values for the DIBL than the inversion mode nanowires, as well as, when analyzing the DIBL variation in relation to temperature. Comparing DIBL in inversion mode and junctionless nanowires, a reduction of 36% in favor of junctionless transistors is observed for  $W_{fin} = 12$  nm, 25% for  $W_{fin} = 22$  nm and 34% for  $W_{fin} = 42$  nm. Thus, when the junctionless and inversion mode nanowires are compared in relation to the DIBL effect as a function of temperature, the variation suffered by the junctionless transistor is smaller, which indicates less dependence of the electrical characteristics on temperature. The lowest dependence on the temperature of the junctionless transistor is due to the relationship that the Fermi potential has with the intrinsic concentration of carriers, concentration of dopants and temperature.

Keywords: Nanowires. DIBL. Inversion. Junctionless. Channel Width. Temperature.

## LISTA DE FIGURAS

|                                                                                                                                                                                                                                                                            |    |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 1. Lei de Moore .....                                                                                                                                                                                                                                               | 20 |
| Figura 2. Perfil transversal de um transistor SOI nMOSFET .....                                                                                                                                                                                                            | 24 |
| Figura 3. Diagramas de faixas de energia para transistores MOS convencional (A), SOI parcialmente depletado (B) e SOI totalmente depletado (C).....                                                                                                                        | 26 |
| Figura 4. Ilustração do efeito de canal curto (depleção da fonte e do dreno) em transistores modo inversão (A) e sem junção (B).....                                                                                                                                       | 32 |
| Figura 5. Potencial entre fonte e dreno em A) canal longo e B) canal curto .....                                                                                                                                                                                           | 35 |
| Figura 6. Transistor nanofio de silício.....                                                                                                                                                                                                                               | 36 |
| Figura 7. Nanofio transistor modo inversão.....                                                                                                                                                                                                                            | 37 |
| Figura 8. Nanofio transistor sem junção.....                                                                                                                                                                                                                               | 38 |
| Figura 9. Modos de operação do transistor junctionless.....                                                                                                                                                                                                                | 39 |
| Figura 10. Corrente de dreno em escala log em função da tensão de porta, com valores da inclinação de sublimiar e DIBL.....                                                                                                                                                | 40 |
| Figura 11. Variação do comprimento do canal efetivo em um nanofio transistor sem junção.....                                                                                                                                                                               | 42 |
| Figura 12. Concentração de dopantes ao longo do canal, fonte e dreno do nanofio transistor sem junção e sem spacer.....                                                                                                                                                    | 50 |
| Figura 13. Concentração de dopantes ao longo do canal, fonte e dreno do nanofio transistor modo inversão e sem spacer.....                                                                                                                                                 | 50 |
| Figura 14. Curva da corrente de dreno em função da tensão de porta, oriunda de simulações tridimensionais, para nanofios transistor sem junção com diferentes larguras de aleta de silício polarizado com tensão de dreno $V_{DS} = 40$ mV em temperatura ambiente.....    | 53 |
| Figura 15. Curva da corrente de dreno em função da tensão de porta, oriunda de simulações tridimensionais, para nanofios transistor modo inversão com diferentes larguras de aleta de silício polarizado com tensão de dreno $V_{DS} = 40$ mV em temperatura ambiente..... | 53 |
| Figura 16. urva da corrente de dreno em função da tensão de porta para nanofios transistor sem junção com diferentes $W_{fin}$ e polarizado com tensão de dreno $V_{DS} = 40$ mV para 300 K, 400 K, 500 K e 580 K, (a) escala linear e (b) escala logarítmica.....         | 54 |

|                                                                                                                                                                                                                                                                                         |    |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 17. Curva da corrente de dreno em função da tensão de porta para nanofios transistor modo inversão com diferentes larguras de aleta de silício polarizado com tensão de dreno $V_{DS} = 40$ mV para 300 K, 400 K, 500 K e 580 K, (a) escala linear e (b) escala logarítmica..... | 55 |
| Figura 18. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com $V_{DS} = 40$ mV.....                                                                         | 58 |
| Figura 19. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com $V_{DS} = 40$ mV.....                                                                            | 59 |
| Figura 20. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com $V_{DS} = 900$ mV.....                                                                        | 59 |
| Figura 21. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com $V_{DS} = 900$ mV.....                                                                           | 60 |
| Figura 22. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com $V_{DS} = 40$ mV.....                                                                                                                           | 61 |
| Figura 23. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com $V_{DS} = 40$ mV.....                                                                                                                        | 61 |
| Figura 24. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com $V_{DS} = 900$ mV.....                                                                                                                          | 62 |
| Figura 25. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com $V_{DS} = 900$ mV.....                                                                                                                       | 62 |
| Figura 26. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de simulações tridimensionais, para nanofios transistores em junção.....                                                                              | 63 |
| Figura 27. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de simulações tridimensionais, para nanofios transistores modo inversão.....                                                                          | 64 |
| Figura 28. Microprovador de temperatura variável localizado no laboratório de microeletrônica do Departamento de Engenharia Elétrica do Centro Universitário FEI.....                                                                                                                   | 66 |

|                                                                                                                                                                                                                                                                                   |    |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 29. Curva em escala logarítmica da corrente de dreno em função da tensão de porta para nanofios transistores modo inversão.....                                                                                                                                            | 68 |
| Figura 30. Curva em escala logarítmica da corrente de dreno em função da tensão de porta para uma tensão de dreno de $V_{DS} = 900$ mV no nanofio modo inversão.....                                                                                                              | 69 |
| Figura 31. Curva em escala logarítmica da corrente de dreno em função da tensão de porta oriunda de dados experimentais para nanofios transistores sem junção com diferentes com diferentes larguras da aleta de silício polarizados com tensão de dreno de $V_{DS} = 40$ mV..... | 70 |
| Figura 32. Curva em escala logarítmica da corrente de dreno em função da tensão de porta oriunda de dados experimentais para nanofios transistores sem junção com diferentes com diferentes larguras da aleta de silício polarizados com tensão de dreno $V_{DS} = 900$ mV.....   | 72 |
| Figura 33. Curva em escala linear, da tensão de limiar em função das diferentes larguras da aleta de silício, oriunda de dados experimentais, para nanofios transistores sem junção e modo inversão polarizados com tensões de dreno $V_{DS} = 40$ mV.....                        | 72 |
| Figura 34. Curva, em escala linear, da tensão de sublimiar para nanofios transistores sem junção e modo inversão polarizado com tensão de dreno $V_{DS} = 40$ mV.....                                                                                                             | 73 |
| Figura 35. Curva, em escala linear, do DIBL em função das diferentes larguras da aleta de silício para os nanofios transistores modo inversão e junctionless com os comprimentos de canal de $L = 40$ nm e $L = 100$ nm.....                                                      | 74 |
| Figura 36. Curva da corrente de dreno em função da tensão de porta para nanofios transistor sem junção com diferentes $W_{fin}$ e polarizado com tensão de dreno $V_{DS} = 40$ mV para 300 K, 400 K, 500 K e 580 K, (a) escala logarítmica e (b).....                             | 75 |
| Figura 37. Curva da corrente de dreno em função da tensão de porta para nanofios transistor modo inversão com diferentes $W_{fin}$ e polarizado com tensão de dreno $V_{DS} = 40$ mV para 300 K, 400 K, 500 K e 580 K, (a) escala logarítmica e (b) escala linear.....            | 78 |
| Figura 38. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com $V_{DS} = 40$ mV.....                                                                      | 79 |
| Figura 39. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com $V_{DS} = 40$ mV.....                                                                   | 80 |

|                                                                                                                                                                                                                  |    |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 40. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com $V_{DS} = 900$ mV.....    | 82 |
| Figura 41. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com $V_{DS} = 900$ mV..... | 82 |
| Figura 42. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com $V_{DS} = 40$ mV.....                                                 | 83 |
| Figura 43. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com $V_{DS} = 40$ mV.....                                                    | 83 |
| Figura 44. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com $V_{DS} = 900$ mV.....                                                | 84 |
| Figura 45. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com $V_{DS} = 900$ mV.....                                                   | 84 |
| Figura 46. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de dados experimentais, para nanofios transistores sem junção.....             | 85 |
| Figura 47. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de dados experimentais, para nanofios transistores modo inversão.....          | 86 |

## LISTA DE TABELAS

|                                                                                                                                                                         |    |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Tabela 1. Características dos nanofios transistores simulados no software Sentaurus.....                                                                                | 49 |
| Tabela 2. Valor da tensão de limiar em relação a largura da aleta de silício para os nanofios transistores modo inversão e sem junção em temperatura ambiente.....      | 52 |
| Tabela 3. Variação da tensão de limiar em relação a aleta de silício para nanofios modo inversão e sem junção para as temperaturas de 300 K, 400 K ,500 K e 580 K ..... | 56 |
| Tabela 4. Valores da inclinação das curvas da tensão de limiar em função do $W_{fin}$ para diferentes temperaturas.....                                                 | 57 |

|                                                                                                                                                                                                                                                                       |    |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Tabela 5. Valores da inclinação do DIBL em função da temperatura para diferentes valores de $W_{fin}$ .....                                                                                                                                                           | 65 |
| Tabela 6. Diferença, em percentual, do aumento dos valores da tensão de limiar dos transistores nanofios sem junção com relação aos nanofios modo inversão em função do $W_{fin}$ e polarizados com tensão de dreno de $V_{DS} = 40$ mV.....                          | 70 |
| Tabela 7. Diferença, em percentual, da diferença dos valores da tensão de limiar dos transistores nanofios sem junção com relação aos nanofios modo inversão em função do $W_{fin}$ e polarizados com tensão de dreno de $V_{DS} = 900$ mV.....                       | 71 |
| Tabela 8. Valor, em percentual, do aumento da tensão de limiar dos nanofios transistores sem junção em relação ao modo inversão para os $W_{fin} = 12$ nm e 22nm para as temperaturas de 300 K, 400 K, 500 K, 580 K $V_{DS} = 40$ mV.....                             | 77 |
| Tabela 9. Valor, em percentual, da diferença da inclinação da reta da tensão de limiar dos annofios transistores modo inversão em relação ao modo inversão para os $W_{fin} = 12$ nm e 22nm para as temperaturas de 300 K, 400 K, 500 K, 580 K, $V_{DS} = 40$ mV..... | 81 |

## LISTA DE ABREVIATURAS E SIGLAS

|                  |                                                                                                                     |
|------------------|---------------------------------------------------------------------------------------------------------------------|
| CMOS             | Metal-Óxido-Semicondutor Complementar ( <i>Complementary Metal-Oxid-Semiconductor</i> )                             |
| DIBL             | Redução da barreira induzida pela tensão de dreno ( <i>Drain Induced Barrier Lowering</i> )                         |
| FD SOI           | Silício sobre isolante totalmente depletado ( <i>Fully Depleted Silicon On Insulator</i> )                          |
| FET              | Transistor de efeito de campo ( <i>Field-Effect Transistor</i> )                                                    |
| IM               | Modo inversão ( <i>Inversion Mode</i> )                                                                             |
| MOSFET           | Transistor de efeito de campo Metal-Oxido-Semicondutor ( <i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> ) |
| PD SOI           | Silício sobre isolante parcialmente depletado ( <i>Partially Depleted Silicon-On-Insulator</i> )                    |
| SCE              | Efeito de canal curto ( <i>Short Channel Effect</i> )                                                               |
| Si               | Silício ( <i>Silicon</i> )                                                                                          |
| SiO <sub>2</sub> | Óxido de Silício ( <i>Silicon Oxide</i> )                                                                           |
| SOI              | Silício sobre isolante ( <i>Silicon On Insulator</i> )                                                              |

## LISTA DE SÍMBOLOS

|            |                                                                                                    |
|------------|----------------------------------------------------------------------------------------------------|
| $C_D$      | Capacitância da região por unidade de área [ $F/cm^2$ ]                                            |
| $C_{it}$   | Capacitância de armadilhas de interface por unidade de área [ $F/cm^2$ ]                           |
| $C_{ox}$   | Capacitância do oxido de porta por unidade de área [ $F/cm^2$ ]                                    |
| $C_{ox1}$  | Capacitância do oxido de porta por unidade de área da primeira interface [ $F/cm^2$ ]              |
| $C_{ox2}$  | Capacitância do oxido de porta por unidade de área da segunda interface [ $F/cm^2$ ]               |
| $C_{Si}$   | Capacitância da camada de silício por unidade de área [ $F/cm^2$ ]                                 |
| $d$        | Distância de parte do comprimento de canal do transistor [ $\mu m$ ]                               |
| $E_C$      | Nível de energia da faixa de condução [eV]                                                         |
| $E_F$      | Nível de Fermi [eV]                                                                                |
| $E_V$      | Nível de energia da faixa de valência [eV]                                                         |
| $H_{fin}$  | Altura da aleta de silício [nm]                                                                    |
| $I_D$      | Corrente de dreno em dispositivo FinFETs [A]                                                       |
| $I_{DS}$   | Corrente entre Dreno e Fonte em dispositivo MOSFETs [A]                                            |
| $k$        | Constante de Boltzmann [ $1,38066 \times 10^{-23}$ J/K]                                            |
| $L$        | Comprimento do canal do transistor [ $\mu m$ ]                                                     |
| $L_{eff}$  | Comprimento do canal efetivo [nm]                                                                  |
| $N_A$      | Concentração de impurezas aceitadoras do substrato [ $cm^{-3}$ ]                                   |
| $n_i$      | Concentração intrínseca de portadores [ $cm^{-3}$ ]                                                |
| $N_{it}$   | Densidade de armadilhas de interface [ $eV^{-1}.cm^{-2}$ ]                                         |
| $P$        | Espaçamento entre as aletas, fins [nm]                                                             |
| $q$        | Carga elementar do elétron [ $1,6 \times 10^{-19}$ C]                                              |
| $Q_{dep1}$ | Densidade de carga de depleção na camada de silício do transistor SOI [ $C/cm^2$ ]                 |
| $Q_{depl}$ | Densidade de carga de depleção na camada de silício do transistor MOSFET convencional [ $C/cm^2$ ] |
| $Q_{inv1}$ | Densidade de carga de inversão na primeira interface [ $C/cm^2$ ]                                  |
| $Q_{ox}$   | Densidade de carga efetiva no oxido por unidade de área [ $C/cm^2$ ]                               |
| $Q_{ox1}$  | Densidade de cargas fixas na primeira interface [ $C/cm^2$ ]                                       |
| $Q_{ox2}$  | Densidade de cargas fixas na segunda interface [ $C/cm^2$ ]                                        |
| $Q_{S2}$   | Densidade de carga de cumulação ou inversão na segunda interface [ $C/cm^2$ ]                      |

|                 |                                                                                          |
|-----------------|------------------------------------------------------------------------------------------|
| $S$             | Inclinação de sublimiar [mV/dec]                                                         |
| $T$             | Temperatura absoluta [K]                                                                 |
| $t_{ox}$        | Espessura do óxido de silício [nm]                                                       |
| $t_{oxb}$       | Espessura do óxido enterrado [nm]                                                        |
| $t_{oxf}$       | Espessura do óxido de porta do transistor SOI [nm]                                       |
| $t_{Si}$        | Espessura da camada de silício [nm]                                                      |
| $V_{DS}$        | Tensão aplicada ao dreno do transistor [V]                                               |
| $V_{DS,1}$      | Tensão aplicada ao dreno do transistor em modo saturado [V]                              |
| $V_{DS,2}$      | Tensão aplicada ao dreno do transistor em modo triodo[V]                                 |
| $V_{FB}$        | Tensão de faixa plana [V]                                                                |
| $V_{GB}$        | Tensão aplicada ao substrato do transistor SOI [V]                                       |
| $V_{GS}$        | Tensão aplicada à porta do transistor SOI [V]                                            |
| $V_{th1,acc2}$  | Tensão de limiar de porta com a segunda interface do transistor acumulada [V]            |
| $V_{th1,dep2}$  | Tensão de limiar de porta com a segunda interface do transistor depletada [V]            |
| $V_{th1,inv2}$  | Tensão de limiar de porta com a segunda interface do transistor invertida [V]            |
| $V_{thf}$       | Tensão de limiar da porta do transistor SOI [V]                                          |
| $V_{thf1}$      | Tensão de limiar da porta do transistor SOI para baixas tensões de Dreno[V]              |
| $V_{thf2}$      | Tensão de limiar da porta do transistor SOI para altas tensões de Dreno[V]               |
| $W_{fin}$       | Largura do fim do transistor [nm]                                                        |
| $x_{dmax}$      | Profundidade máxima da região de depleção [nm]                                           |
| $\epsilon_{ox}$ | Permissividade do oxido de silício [ $3,45 \times 10^{-13}$ F/cm]                        |
| $\epsilon_{Si}$ | Permissividade do silício [ $1,06 \times 10^{-12}$ F/cm]                                 |
| $\phi_F$        | Potencial de Fermi da camada de silício [V]                                              |
| $\phi_{MS}$     | Diferença de função trabalho entre metal e semiconductor [V]                             |
| $\phi_{MS1}$    | Diferença da função trabalho entre metal de porta e semiconductor no transistor SOI [V]  |
| $\phi_{MS2}$    | Diferença da função trabalho entre substrato e a camada de silício no transistor SOI [V] |
| $\phi_{S1}$     | Potencial de superfície da primeira interface [V]                                        |
| $\phi_{S2}$     | Potencial de superfície da segunda interface [V]                                         |
| $\lambda_1$     | Comprimento natural para transistor de porta única                                       |

|             |                                                     |
|-------------|-----------------------------------------------------|
| $\lambda_2$ | Comprimento natural para transistor de porta dupla  |
| $\lambda_3$ | Comprimento natural para transistor de porta tripla |
| $\mu$       | Mobilidade                                          |
| $\theta$    | Ângulo de inclinação do fin no transistor FinFET    |

## SUMÁRIO

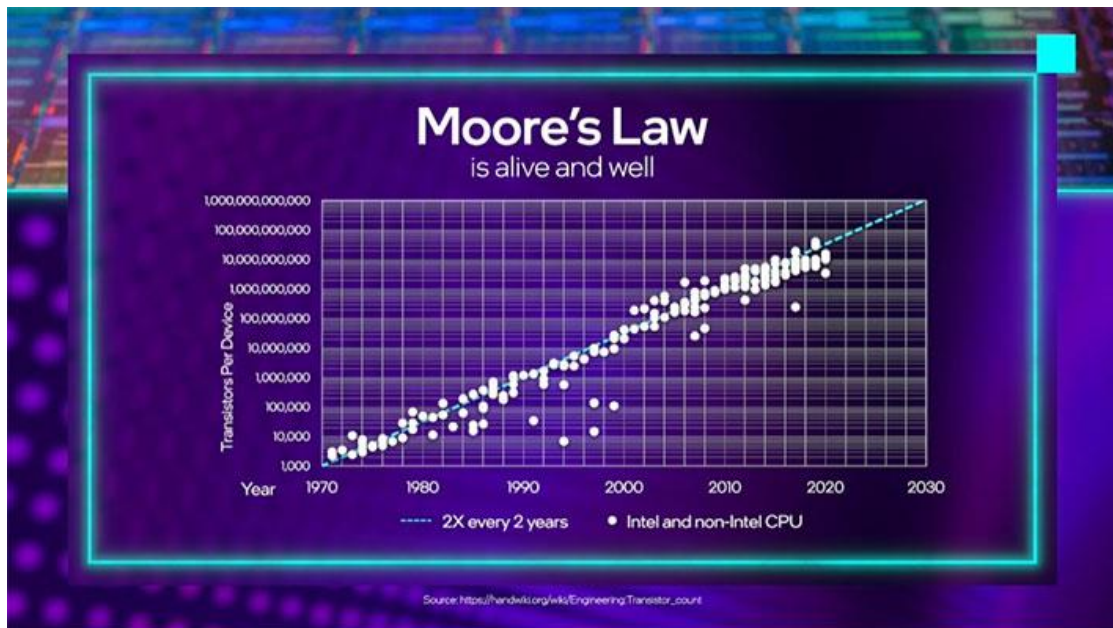
|           |                                                             |           |
|-----------|-------------------------------------------------------------|-----------|
| <b>1.</b> | <b>INTRODUÇÃO.....</b>                                      | <b>20</b> |
| 1.1       | OBJETIVO DO TRABALHO.....                                   | 22        |
| <b>2.</b> | <b>CONCEITOS FUNDAMENTAIS.....</b>                          | <b>23</b> |
| 2.1       | TECNOLOGIA SOI .....                                        | 23        |
| 2.1.1     | Tipos de transistores SOI.....                              | 24        |
| 2.1.2     | Características Elétricas De Transistores SOI.....          | 27        |
| 2.1.2.1   | <i>Tensão de Limiar</i> .....                               | 27        |
| 2.1.2.2   | <i>Inclinação de Sublimiar</i> .....                        | 29        |
| 2.1.2.3   | <i>Efeitos de Canal Curto</i> .....                         | 32        |
| 2.1.2.4   | <i>Redução da Barreira Induzida pelo Dreno (DIBL)</i> ..... | 33        |
| 2.2       | NANOFIOS TRANSISTORES .....                                 | 34        |
| 2.2.1     | Efeito de canal curto em nanofios transistores .....        | 40        |
| 2.2.2     | Nanofios transistores modo inversão .....                   | 36        |
| 2.2.3     | Nanofios transistores sem junção .....                      | 37        |
| 2.3       | EFEITO DA TEMPERATURA SOBRE TRANSISTORES MOSFET .....       | 42        |
| 2.3.1     | Tensão de limiar.....                                       | 43        |
| 2.3.2     | Inclinação de sublimiar .....                               | 44        |
| 2.3.3     | Mobilidade.....                                             | 45        |
| <b>3.</b> | <b>SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS.....</b>            | <b>47</b> |
| 3.1       | DESCRIÇÃO DO SIMULADOR .....                                | 48        |
| 3.2       | ESTRUTURAS SIMULADAS .....                                  | 48        |
| 3.3       | RESULTADOS SIMULADOS .....                                  | 52        |
| <b>4.</b> | <b>RESULTADOS EXPERIMENTAIS.....</b>                        | <b>66</b> |
| 4.1       | CARACTERÍSTICAS DOS DISPOSITIVOS MEDIDOS .....              | 67        |

|     |                                                                |           |
|-----|----------------------------------------------------------------|-----------|
| 4.2 | RESULTADOS EM TEMPERATURA AMBIENTE .....                       | 68        |
| 4.2 | RESULTADOS EM ALTAS TEMPERATURAS.....                          | 75        |
| 5.  | <b>CONCLUSÕES .....</b>                                        | <b>87</b> |
| 6.  | <b>TRABALHOS FUTUROS .....</b>                                 | <b>91</b> |
| 7.  | <b>PUBLICAÇÃO DE ARTIGOS EM CONFERÊNCIA INTERNACIONAL.....</b> | <b>88</b> |
| 8.  | <b>REFERÊNCIAS.....</b>                                        | <b>89</b> |

## 1. INTRODUÇÃO

Circuitos integrados, eletrônica integrada ou a microeletrônica são nomes dados às tecnologias que foram empregadas pela primeira vez no final da década de 50 para a realização de circuitos eletrônicos. A miniaturização de equipamentos eletrônicos tornava-se cada vez mais necessária para que mais funções, com maior complexidade, pudessem ser realizadas em espaços menores e, conseqüentemente, com maior densidade de integração [1]. Entendida a necessidade de aumentar a densidade de integração, e utilizando dados disponíveis, Gordon Early Moore percebeu que, para manter o menor custo de produção por transistor, cada circuito integrado novo produzido possuía, em média, o dobro do número de transistores do *chip* anterior, o que acontecia em um intervalo de cerca de 18 a 24 meses. Surgiu, então, a Lei de Moore, cujo enunciado diz que o número de transistores em um circuito integrado deve dobrar a cada dois anos, conforme ilustrado na Figura 1 [2], que mostra a quantidade de transistores por dispositivo em computadores com e sem chips da Intel dos anos 70 até o ano de 2020.

Figura 1. Lei de Moore.



Fonte: Intel, 2021

Com o avanço da microeletrônica e as dificuldades em tornar os transistores convencionais MOS (*Metal – Óxido – Substrato*) de efeito de campo (FET – Field Effect Transistor) cada vez menores, passou-se a discutir o fim da Lei Moore por algumas vezes ao longo dos anos [1], pois ao diminuir o comprimento do canal as regiões de fonte e dreno se aproximam e por consequência, tanto as regiões de depleção entre fonte e canal e dreno e canal tornam -se mais próximas. Com isto, a fração da região de depleção controlada pela porta do transistor torna-se proporcionalmente menor conforme o canal diminui, o que leva aos chamados efeitos de canal curto (*Short-Channel Effects* – SCE). Alguns destes efeitos são a redução da tensão de limiar, o aumento do inverso da inclinação de sublimiar, o DIBL (*Drain Induced Barrier Lowering*) e, em casos bem específicos o chamado (Punch through) ou efeito de perfuração MOS [3].

Diferentes tipos de abordagem têm surgido com os avanços tecnológicos e por consequência permitiram postergar a possível discussão do fim da Lei de Moore devido às dificuldades relacionadas ao escalonamento dos dispositivos. Estas abordagens levaram ao surgimento de estruturas variadas com características, propriedades e geometrias diferentes propostas para que houvesse uma melhora na integridade eletrostática e maior imunidade em relação aos efeitos de canal curto [4]. Uma possível solução para contornar a ocorrência de efeito de canal curto são os transistores construídos em tecnologia SOI (*Silicon on insulator*) nanofios ou nanofios FETs (*field-effect transistors*) [5]. Os transistores SOI por serem uma tecnologia que graças ao óxido enterrado eliminou parte da região de depleção que se estendia a fundo no interior do substrato em transistores MOS convencionais, diminuindo a influência das cargas de depleção decorrentes da junção PN na carga efetiva que é controlada pela porta torna o semiconductor em tecnologia SOI mais imune aos efeitos de canal curto [5].

Além da tecnologia SOI, fatores positivos que chamam atenção nos nanofios transistores são o fato de serem produzidos com silício, o material predominante na indústria de semicondutores, e suas dimensões nanométricas, o que corrobora para a maior densidade de integração, e pelo ótimo desempenho para comprimentos de canal curto, que são superiores ao apresentado por dispositivos planares [6].

Embora os nanofios transistores sejam promissores para a garantia da Lei de Moore, mesmo estes dispositivos, quando têm seu comprimento de canal reduzido à escala de poucos nanômetros, algo em torno de 12 nm para menos, apresentam os efeitos indesejáveis já mencionados [7].

## 1.1 OBJETIVO DO TRABALHO

O objetivo deste trabalho é analisar a ocorrência da variação do efeito DIBL em nanofios transistores SOI MOS de efeito de campo (*field-effect transistors* – FETs) fabricados no CEA-Leti (França) de tipo “n” com diferentes larguras de canal em função da temperatura, no intervalo entre 300 K e 580 K e comparar qual dos transistores, modo inversão ou sem junção, apresenta melhor resultado para o DIBL quando submetidos a altas temperaturas.

## 2. CONCEITOS FUNDAMENTAIS

São apresentados, neste capítulo, conceitos relevantes para o desenvolvimento deste trabalho. Inicialmente é apresentada uma revisão bibliográfica a respeito dos dispositivos fabricados em tecnologia silício sobre isolante (SOI – *Silicon On Insulator*) e suas vantagens em relação aos semicondutores de substrato “*bulk*”.

A seguir são apresentados os nanofios transistores e suas principais características quando fabricados como modo inversão e sem junção, abordando suas estruturas e seus modos de operação. As grandezas fundamentais como concentração de dopantes, concentração intrínseca de portadores, nível de Fermi, faixa proibida e mobilidade serão discutidas, bem como sua dependência com a temperatura. Os principais parâmetros elétricos dos transistores MOS como tensão de limiar, inclinação de sublimiar, variando-se os parâmetros como largura e comprimento do canal também serão mencionados, assim como sua variação com a temperatura.

### 2.1 TECNOLOGIA SOI

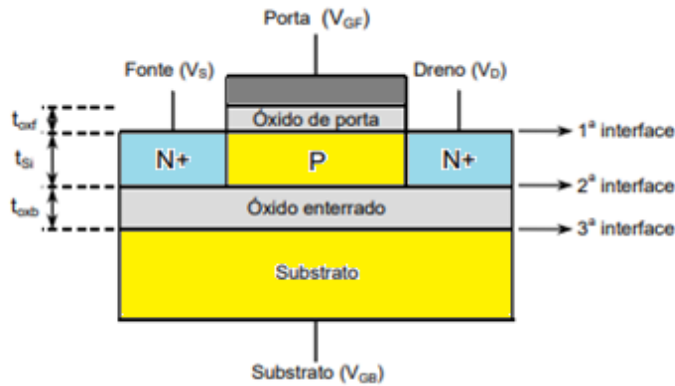
A fabricação de um transistor em tecnologia SOI é uma ideia que vem de longa data [8] e desafiou os pesquisadores por mais de 20 anos a tentarem desenvolver técnicas confiáveis para a reprodução desta tecnologia [8].

A tecnologia de silício sobre isolante (SOI) utiliza lâminas que possuem uma fina camada de silício colocada sobre um isolante, geralmente o dióxido de silício ( $\text{SiO}_2$ ), conhecido como óxido enterrado. Este óxido enterrado isola a região ativa do transistor do restante do substrato, garantindo à estrutura uma redução ou até mesmo em alguns casos a eliminação de efeitos parasitários indesejáveis [9].

O silício sobre isolante foi pensado e criado para se tentar reduzir, primeiramente, as capacitâncias parasitárias, presentes na tecnologia MOSFET convencional. Porém, foram evidenciados outros benefícios com a diminuição dos efeitos parasitários, como: menor consumo de energia, menor efeito de canal curto, diminuição da tensão de limiar [10], melhor inclinação de sublimiar e eliminação completa do efeito tiristor parasitário (*latch up*) [11].

Na Figura 2, é apresentado o perfil transversal de um transistor SOI nMOSFET, indicando os eletrodos de porta ( $V_{GF}$ ), substrato ( $V_{GB}$ ), dreno ( $V_{DS}$ ) e fonte ( $V_S$ ), as espessuras dos óxidos de porta ( $t_{oxf}$ ) e enterrado ( $t_{oxb}$ ) e da camada de silício ( $t_{Si}$ ), bem como as três interfaces Si-SiO<sub>2</sub> existentes na estrutura.

Figura 2. Perfil transversal de um transistor SOI nMOSFET.



Fonte: Autor.

### 2.1.1 Tipos de transistores SOI

Os dispositivos SOI MOSFET são classificados em modo acumulação ou modo enriquecimento (ou inversão), dependendo do seu tipo de funcionamento. O modo enriquecimento é o mais comum no caso dos transistores SOI de canal tipo “n” [9] e, por este motivo, somente este será considerado neste trabalho.

Os transistores fabricados em tecnologia MOSFET convencional apresentam a região de depleção máxima ( $x_{dmáx}$ ), iniciando a partir da interface de Si-SiO<sub>2</sub> até a sua profundidade máxima, caracterizada pela equação 1 [12].

$$x_{dmáx} = \sqrt{\frac{2\varepsilon_{Si} \cdot 2\phi_F}{q \cdot N_A}} \quad (1)$$

Onde  $\epsilon_{Si}$  se refere à permissividade do silício,  $N_A$  é a concentração de impurezas aceitadoras do substrato,  $q$  é a carga elementar do elétron e  $\phi_F$  é o potencial de Fermi, dado pela equação 2.

$$\phi_F = \frac{kT}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (2)$$

Nesta equação,  $k$  é a constante de Boltzman,  $n_i$  é a concentração intrínseca de portadores e  $T$  é a temperatura absoluta.

Dependendo da concentração de dopantes da camada de silício em que são fabricados, de sua espessura e temperatura de operação é possível obter três tipos diferentes de transistores SOI: dispositivos de camada fina, camada média e de camada espessa.

Para os transistores que possuem a espessura da camada de silício ( $t_{Si}$ ) menor que a máxima profundidade de depleção, ou seja,  $t_{Si} < x_{dmax}$  dá-se o nome de SOI totalmente depletado (FD SOI – *fully depleted*). Aplicando-se, neste caso, uma tensão de porta maior do que a tensão de limiar, as regiões de depleção geradas a partir da primeira e segunda interfaces Si-SiO<sub>2</sub>, entrarão em contato e a camada de silício estará totalmente depletada independente da tensão aplicada ao substrato.

As vantagens destes dispositivos em relação aos outros da tecnologia SOI são: menor ocorrência de efeitos de canal curto [13], menores valores do inverso da inclinação de sublimiar, maior transcondutância, capacitâncias parasitárias reduzidas [14], menor variação da tensão de limiar com a temperatura [15] e maior mobilidade [16].

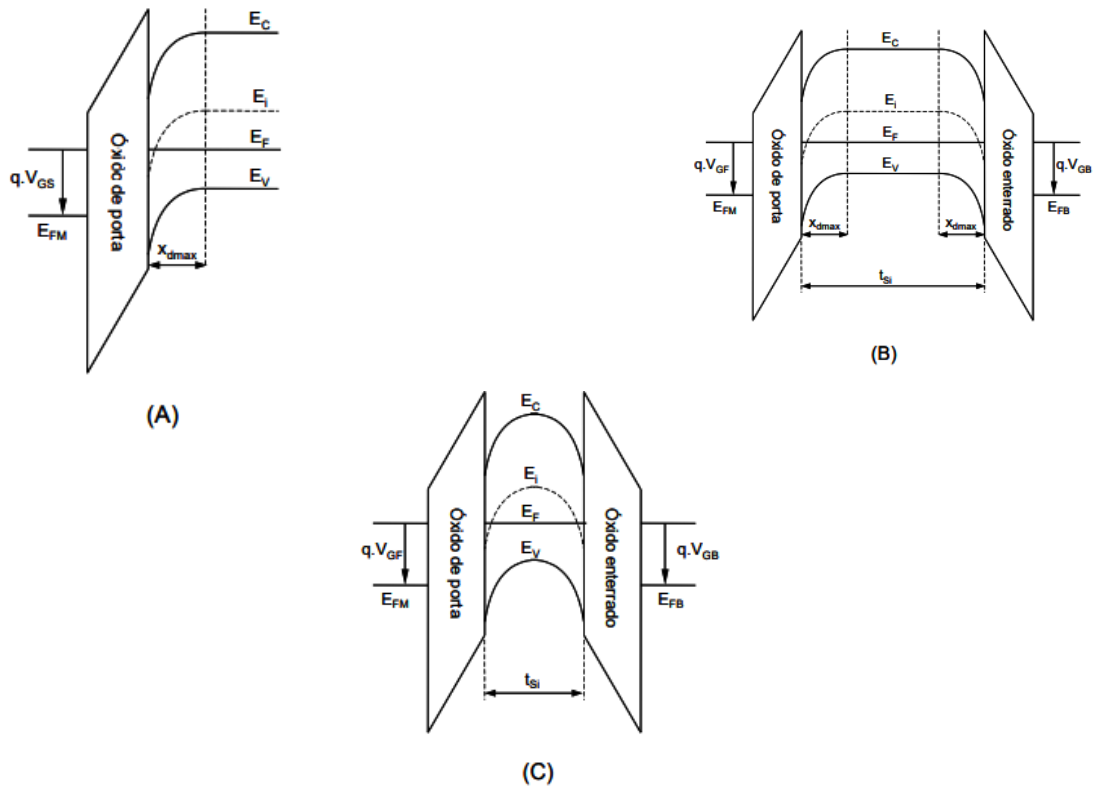
Os dispositivos que possuem a espessura da camada de silício ( $t_{Si}$ ) maior que duas vezes a profundidade máxima de depleção  $2 \cdot x_{dmax}$  são chamados de SOI parcialmente depletados (PD SOI – *partially depleted*). Neste caso, não há interação entre as regiões de depleção induzidas a partir da primeira e segunda interfaces Si-SiO<sub>2</sub>, o que origina uma região neutra que pode possuir contato elétrico ou não. Se houver contato de corpo e este estiver aterrado, o dispositivo apresentará um funcionamento parecido ao dos MOSFETs convencionais.

Se o contato estiver eletricamente flutuando, o dispositivo apresentará efeitos parasitários indesejáveis ou efeito de corpo flutuante [17], como o efeito da elevação abrupta de corrente (*kink effect*), bem como o efeito parasitário bipolar entre fonte e dreno.

Por fim, os dispositivos SOI de camada média (*near-fully depleted* SOI — NFD SOI) são aqueles em que a camada de silício ( $t_{Si}$ ) é maior que a profundidade máxima de depleção e menor que duas vezes a profundidade máxima de depleção, ou seja,  $x_{dmax} < t_{Si} < 2 \cdot x_{dmax}$ . Dependendo da tensão aplicada ao substrato ( $V_{GB}$ ) do transistor as regiões, neste caso, poderão ou não entrar em contato, fazendo com que os dispositivos de camada média podem apresentar comportamento tanto de um SOI parcialmente depletado como também de um dispositivo SOI totalmente depletado.

Na Figura 3, são apresentados os diagramas de faixas de energia de transistores implementados nas tecnologias MOSFET convencional (A), SOI parcialmente depletada (B) e SOI totalmente depletada (C). Nas três imagens a seguir  $E_V$  representa o nível energético superior da faixa de valência,  $E_i$  o nível intrínseco,  $E_C$  o nível energético inferior da faixa de condução,  $E_F$  o nível de Fermi,  $E_{FM}$  o nível de Fermi do eletrodo da porta e  $E_{FB}$  o nível de Fermi do substrato.

Figura 3. Diagramas de faixas de energia para transistores MOS convencional (A), SOI parcialmente depletado (B) e SOI totalmente depletado (C).



## 2.1.2 Características Elétricas De Transistores SOI

### 2.1.2.1 Tensão de Limiar

Um dos parâmetros mais importantes em um transistor é a tensão de limiar ( $V_{thf}$ ) [12]. Esta, é definida como sendo a tensão necessária aplicada à porta para que se crie um canal de inversão entre o óxido de porta e o silício, ou seja, a tensão aplicada entre a porta e a fonte do transistor para que a operação do dispositivo passe da inversão fraca para a inversão forte a qual o potencial na superfície da camada de silício passa a ser  $2\phi_F$ .

Para a formação de um canal tipo n, por exemplo, é necessário que se aplique uma tensão positiva na porta e suficientemente elevada para a formação da camada de inversão. Em outras palavras, o canal somente será formado se a tensão aplicada for maior que a tensão de limiar [18].

Em transistores nMOSFETs convencionais, a tensão de limiar é dada pela expressão 3:

$$V_{thf} = V_{FB} + 2\phi_F + \frac{q \cdot N_A \cdot x_{dm\acute{a}x}}{C_{OX}} \quad (3)$$

Na equação acima,  $V_{FB}$  é dado por  $V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}}$  e representa a tensão de faixa plana [9] e  $\phi_{MS}$  a diferença da função trabalho entre o material de porta e o semiconductor [12].  $Q_{OX}$  é a densidade de carga fixa no óxido de porta e  $C_{OX}$  é a capacitância do óxido de porta por unidade de área.

Em dispositivos SOI parcialmente depletados ( $t_{si} > 2x_{dm\acute{a}x}$ ), a tensão de limiar se dá pela mesma equação dos transistores nMOSFETs convencionais, pois não há interação entre a primeira e segunda interfaces.

Os transistores SOI totalmente depletados possuem interação entre as regiões de depleção da primeira e segunda interfaces e, por isso, sua tensão de limiar pode ser obtida pela resolução da equação de Poisson dada pela equação (4)

$$\frac{d^2 \phi}{dx^2} = \frac{q \cdot N_a}{\epsilon_{Si}} \quad (4)$$

Após esta equação ser integrada duas vezes, nota-se a relação dos potenciais de superfície em relação às tensões aplicadas no substrato e na porta como sugere o modelo 6 de Lim e Fossum [19].

Esse modelo descreve a relação de dependência entre as tensões que são aplicadas na porta ( $V_{G1}$ ) e no substrato ( $V_{G2}$ ), além dos potenciais de superfície da primeira e segunda interfaces ( $\phi_{S1}$ ) ( $\phi_{S2}$ ). As equações 5 e 6 descrevem essa interdependência.

$$V_{G1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{inv1}}{C_{ox1}} \quad (5)$$

$$V_{G2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \cdot \phi_{S2} - \frac{C_{Si}}{C_{ox2}} \cdot \phi_{S1} - \frac{\frac{1}{2}Q_{depl} + Q_{S2}}{C_{ox2}} \quad (6)$$

As equações 5 e 6, acima, demonstram o acoplamento de cargas de um SOI MOSFET totalmente depletado em função das tensões aplicadas à porta e ao substrato. Nestas equações,  $Q_{ox1}$  e  $Q_{ox2}$  representam as densidades de carga fixa da primeira interface e a carga de acumulação ou inversão na segunda interface,  $\phi_{M1}$  e  $\phi_{M2}$  são as diferenças das funções trabalho entre metal de porta e a camada de silício e entre o substrato e a camada de silício,  $C_{ox1}$  e  $C_{ox2}$  são as capacitâncias do óxido de porta por unidade de área e capacitância do óxido enterrado por unidade de área respectivamente,  $C_{Si}$  representa a capacitância do silício por unidade de área,  $Q_{depl}$  é a carga total de depleção na camada de silício,  $Q_{inv}$  é a carga de inversão na primeira interface e  $Q_{S2}$  é a carga de acumulação ou inversão na segunda interface [15].

Relacionando as equações mencionadas acima, trona-se viável estudar a dependência existente entre a tensão de limiar e a polarização aplicada ao substrato, como mostram as equações a seguir:

1º Caso - Segunda interface em acumulação: temos que o potencial de superfície da segunda interface é zero e, tronando os parâmetros  $Q_{inv1}$ ,  $\phi_{S2} = 0$  zero e  $\phi_{S1} = 2\Phi_F$ . Logo, tem-se:

$$V_{th1,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (7)$$

2º Caso - Segunda interface em modo inversão: o potencial de superfície da segunda interface será igual a  $2\Phi_F$ . Substituem-se os parâmetros  $Q_{inv1} = 0$ ,  $\phi_{S1} = 2\Phi_F$  e obtém-se:

$$V_{th1,inv2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (8)$$

3º Caso - Segunda interface depletada: o potencial de superfície da segunda interface dependerá da tensão de substrato e, por isso, combinam-se as Equações 7 e 8 com os parâmetros  $Q_{inv1} = Q_{S2} = 0$ ,  $\phi_{S1} = 2\Phi_F$ , resultando em:

$$V_{th1,dpl2} = V_{th1,inv2} - \frac{C_{Si} \cdot C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} (V_{G2} - V_{G2,acc2}) \quad (9)$$

Em que  $V_{G2,acc2}$  é determinado pela equação (10)

$$V_{G2,acc2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + - \frac{qN_a t_{Si}}{2C_{ox2}} - \left(\frac{C_{Si}}{C_{ox2}}\right) 2\Phi_F \quad (10)$$

As Equações acima (7 a 9) serão utilizadas somente se a espessura das camadas de acumulação ou inversão forem significativamente menores que a espessura da camada de silício. Em casos de dispositivos de filmes ultrafinos, a partir de 10 nm de altura da aleta de silício, isto não ocorre, pois há maior presença de efeitos quânticos [18].

### 2.1.2.2 Inclinação de Sublimiar

A inclinação de sublimiar, expressa pela equação 11, é definida como a variação na tensão de porta para que a corrente existente entre os terminais de dreno e fonte aumente em uma década,

ou seja, o inverso da inclinação da curva  $\log(I_{DS})$  em função de  $V_{GF}$ , sendo determinada pela equação [9]:

$$S = \frac{dV_{GF}}{d(\log I_{DS})} \quad (11)$$

A Equação 11 demonstra o valor de S para dispositivos MOSFETs e SOI parcialmente depletados, uma vez que a inclinação de sublimiar para esses dispositivos é definida quando a região do canal estiver no regime de inversão fraca [12], abaixo da tensão de limiar:

$$S \cong \frac{kT}{q} \ln 10 \left( 1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (12)$$

Em que

$$C_D = \frac{\epsilon_{Si}}{x_{dm\acute{a}x}} \quad (13)$$

$$C_{it} = qN_{it} \quad (14)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (15)$$

As equações acima mostram  $C_D$ ,  $C_{it}$  e  $C_{ox}$ , que são respectivamente a capacitância de depleção por unidade de área, a capacitância de armadilhas de interface por unidade de área e a capacitância de porta por unidade de área.

Desprezando-se as armadilhas de interface, obtém-se, como mostra a Equação 16, a expressão geral da inclinação de sublimiar:

$$S \cong n \frac{kT}{q} \ln 10 \quad (16)$$

A inclinação de sublimar depende do acoplamento capacitivo que por sua vez determina o fator de corpo que é representado por  $n$  na Equação 16. O limite teórico da inclinação com o fator de corpo unitário é determinado momento pela temperatura do transistor.

Conforme o modo de operação do transistor, o fator de corpo pode ser determinado pelas equações a seguir:

Transistor SOI MOSFET parcialmente depletado:

$$n_{MOS} = 1 + \frac{C_D}{C_{ox}} \quad (17)$$

Transistor SOI MOSFET totalmente depletado com a segunda interface acumulada:

$$n_{acc} = 1 + \frac{C_{Si}}{C_{ox}} \quad (18)$$

Transistor SOI MOSFET totalmente depletada com a segunda interface depletada:

$$n_{depl} = 1 + \frac{C_{Si}C_{ox2}}{C_{ox}(C_{Si}C_{ox2})} \quad (19)$$

No caso do transistor SOI totalmente depletado, a espessura do filme de silício pode ser menor que máxima largura de depleção e, conseqüentemente, quando o filme estiver completamente depletado, um aumento, seja ele qual for, na tensão de porta não terá aumento nas cargas de depleção, mas haverá um aumento no potencial de superfície, e um aumento da concentração de elétrons na camada de inversão. Portanto, o valor da inclinação de sublimar deverá ser menor em transistores SOI totalmente depletados do que em transistores parcialmente depletados, ou seja, para transistores de filmes finos a inclinação de sublimar tende ao valor mínimo teórico [9].

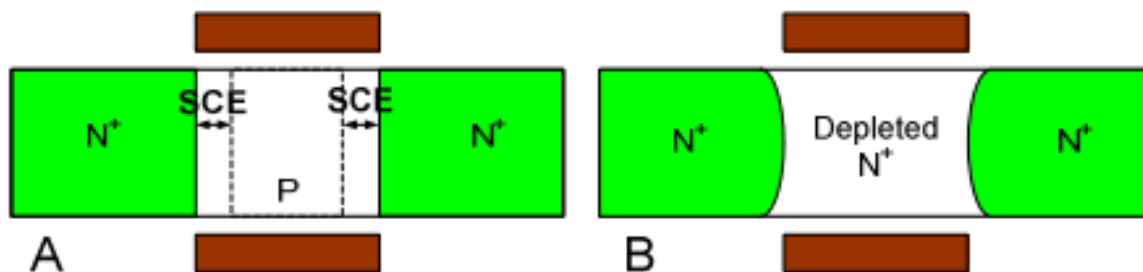
### 2.1.2.3 Efeitos de Canal Curto

Com a contínua necessidade de reduzir a dimensão dos transistores em circuitos integrados, surgem alguns efeitos conhecidos como efeitos de canal curto [3]. Conforme o transistor diminui e, por consequência, o seu comprimento de canal, a largura da região de depleção formada entre fonte-canál e dreno-canál torna-se comparável com o comprimento da porta como mostra a Figura 4. Em transistores MOS convencionais, esta diminuição do comprimento de canal pode levar ao chamado “*punchthrough*”, fenômeno em que o canal do transistor deixa de ser controlado pela tensão de porta e uma corrente elevada passa a ser conduzida entre fonte e dreno através do corpo do dispositivo [18].

Devido à aproximação das regiões de dreno e fonte ocasionadas pela redução dos transistores, levando a uma aproximação das regiões de depleção das junções pn entre dreno canal e fonte canal, parte das cargas da região de depleção localizada abaixo da porta passa a ser controlada pelas junções PN, fazendo com que a porta não tenha mais o controle total sobre a região de depleção mencionada o que acaba por resultar em uma diminuição da tensão de limiar [18].

O transistor de canal curto, portanto, sofre uma redução significativa na sua tensão de limiar quando comparado com um transistor de canal longo da mesma tecnologia. Este fenômeno de redução da tensão de limiar, é uma das consequências mais importantes decorrentes do efeito de canal curto. Outro efeito decorrente das mesmas reduções do comprimento do canal é a elevação da inclinação de sublimiar que ocorre em transistores de canal curto, quando comparados com transistores de canal de mesma tecnologia [19].

Figura 4. Ilustração do efeito e canal curto (depleção da fonte e do dreno) em transistor modo inversão (A) e sem junção (B).



#### 2.1.2.4 Drain Induced Barrier Lowering (DIBL)

O DIBL (*Drain Induced Barrier Lowering*) é outro efeito de canal curto, e quantifica a influência que a tensão de dreno tem sobre a tensão de limiar [20, 21].

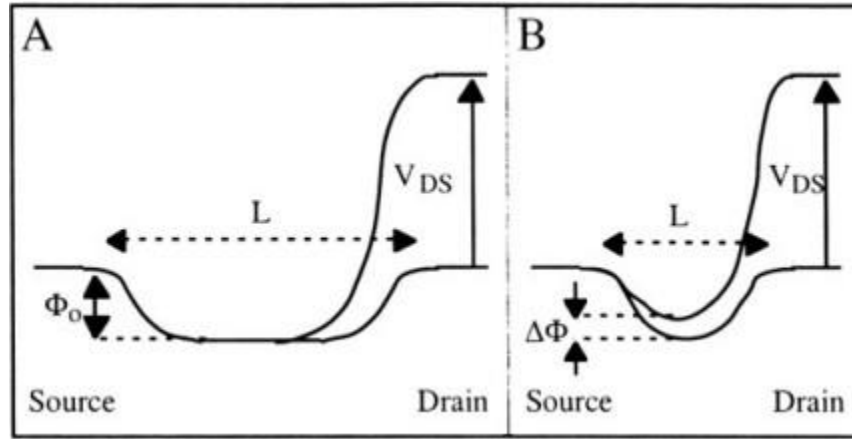
Conforme o comprimento do canal do transistor diminui a região de dreno passa a interagir com a região de fonte, isto é, a tensão entre fonte e dreno aumenta, aproximando a região de depleção do dreno que passa a “interagir” com a região de depleção da fonte. Esta interação ou “penetração do campo” como é chamada diminui a barreira de potencial na região de fonte, levando a um aumento significativo da injeção de elétrons que são acelerados pela fonte sobre a barreira do canal reduzido o que proporciona uma influência na tensão de limiar, ou seja, deslocando-a [22].

O efeito DIBL é muito mais perceptível, pelo fato de ser um tipo de efeito de canal curto, quando o comprimento do canal passa a sofrer um escalonamento significativo. Porém este feito, também, sofre variações quando se alteram as condições de temperatura de operação dos transistores, comprimento da aleta de silício associado ou não ao aumento da temperatura e a altura da aleta de silício [23].

O DIBL leva, além do que já foi dito anteriormente, a uma corrente chamada de estado “OFF” mais alta para o dispositivo, influenciando a dissipação da energia estática pior para o circuito. Entretanto, o DIBL pode auxiliar a medir ou monitorar, de certa forma, os danos que são provocados ao longo do canal devido ao efeito que ocasiona diferentes tipos de degradação ao longo do uso do transistor. A partir destas informações é possível tentar prever ou criar uma estimativa, baseada nos diferentes perfis de degradação, a vida útil do dispositivo e, também, entender melhor o desempenho de dispositivos quando estão sob o efeito de canal curto [24].

Embora seja um efeito de canal curto, se o canal for longo, quando aplicada uma tensão de dreno, não há mudanças significativas na barreira de potencial, as mudanças são quase inexistentes, entre a junção fonte-canal quando comparado a um transistor cujo canal é curto o suficiente [18]. A Figura 5 ilustra a mudança que a barreira de potencial sofre com o efeito do aumento da tensão de dreno quando comparada com a de um transistor de canal longo.

Figura 5. Potencial entre fonte e dreno em A) canal longo e B) canal curto



Fonte: PHYSICS OF SEMICONDUCTOR DEVICES, 2002

A Equação 20 mostra como é obtido o valor do DIBL. A obtenção é feita por meio dos valores de tensões de limiar ( $V_{thf1}$  e  $V_{thf2}$ ) extraídos para duas diferentes tensões de dreno ( $V_{DS1}$  e  $V_{DS2}$ ) [20].

$$DIBL = \left| \frac{V_{thf2} - V_{thf1}}{V_{DS2} - V_{DS1}} \right| \quad (20)$$

## 2.2 NANOFIOS TRANSISTORES

Seguida pela indústria de semicondutores por mais ou menos 30 anos e tendo como base a lei de Moore, a lei de Dennard ficou conhecida como o período do *happy scaling* ou período do “escalamento feliz” em uma tradução livre. Robert Dennard e seus colegas de trabalho publicaram em um artigo a importância e benefício da miniaturização dos dispositivos semicondutores [25].

Seguindo este conceito de importância e benefício da miniaturização que ao longo das últimas décadas os transistores de múltiplas portas foram desenvolvidos. O double-gate MOS (transistor de porta dupla) denominado de XMOS foi o primeiro transistor com mais de uma porta a ter

seus estudos publicados em 1984 [25]. O primeiro dispositivo com mais de uma porta a ser fabricado foi o Fully Depleted Lean Channel Transistor (Delta) em 1989 [26] e em seguida deu-se criação ao FinFET que possuía uma camada de óxido de porta espesso entre a porta e o canal chamada de “hard mask” para evitar que o dispositivo sofresse uma inversão antecipada na região dos cantos superiores do canal [27]. Uma importante característica a ser mencionada sobre os transistores de porta dupla é a altura da aleta de silício que por serem estreitos e altos conduzem maiores níveis de corrente, pois grande parte desta corrente passa pelas paredes laterais do transistor [27].

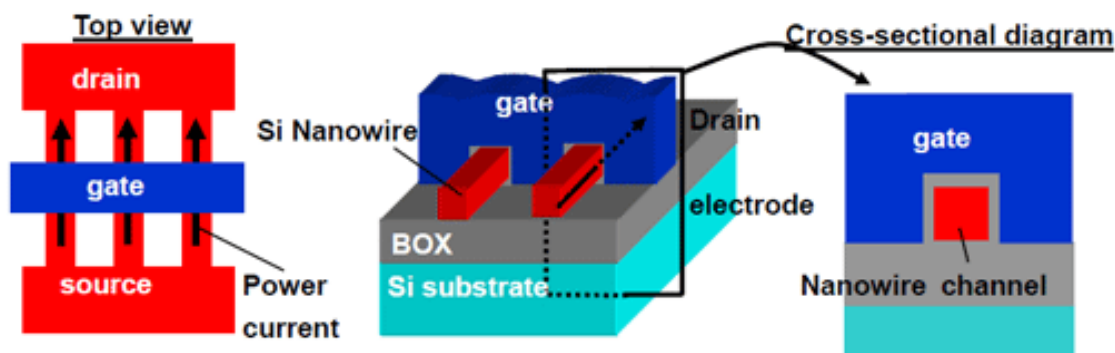
Ainda buscando melhorar e trazer mais benefícios, os chamados transistores de porta tripla foram propostos. Embora sua estrutura seja muito semelhante aos dispositivos de porta dupla com exceção da camada óxido de porta espesso chamado de “hard mask” os transistores de porta tripla forneciam ainda mais controle eletrostático do canal pela porta do que os de porta dupla, pois com a terceira porta as cargas na face superior da aleta de silício passaram a serem melhor controladas e a corrente que era conduzida apenas por duas portas passou a se dar em três planos de condução permitindo a passagem de níveis de corrente ainda maiores e minimizar os efeitos de canal curto[28].

Com melhora e constante evolução dos dispositivos acontecendo e ainda com a visão da importância do escalonamento dos transistores e o entendimento de que eles deveriam diminuir sofrendo o mínimo possível com os efeitos de canal curto, J. P. Colinge propôs, em 1991, o nanofio transistor que foi desenvolvido com o mesmo conceito dos FinFETs mas com altura da aleta de silício ( $H_{fin}$ ) e largura da aleta de silício ( $W_{fin}$ ) na ordem de alguns nanômetros [29].

Os fatores que contribuíram para que os nanofios continuassem a serem estudados e virassem um assunto promissor são inúmeros, dentre eles podem ser citados algumas. Primeiro lugar, podem ser reproduzidos com as características necessárias para sistemas integrados e em larga escala. Em segundo, nanofios fabricados no processo chamado “bottom-up” (de baixo para cima), quando comparados com dispositivos fabricados no processo de “top-down” (de cima para baixo), oferecem um bom controle de fabricação no tamanho, em pelo menos uma dimensão considerada crítica, da largura do canal que vai além dos limites da litografia [30] e em terceiro lugar a espessura do corpo do nanofio transistor pode ser controlada abaixo do comprimento de 10 nm, a integridade elétrica na eletrônica baseada em nanofios pode ser garantida e mantida [31].

Nanofios transistores ainda estão em fase de teste e não foram utilizados de forma mais massiva até alguns anos atrás. Porém, muitas pesquisas e investigações recentes sugerem que o alicerce para as próximas gerações da eletrônica sejam os nanofios transistores [32]. Um forte exemplo de que os nanofios sejam o alicerce para as próximas gerações é o pronunciamento feito pela Samsung Electronics em 2022 anunciando o começo da produção em massa de nanofios transistores em sua fábrica, mas até o momento tudo indica que serão utilizados apenas para uso interno [33]. A Figura 6 apresenta uma representação esquemática de um nanofio transistor.

Figura 6. Transistor nanofio de silício



Fonte: (PhysOrg.com)

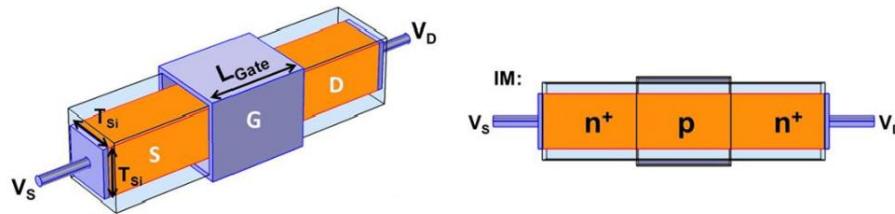
### 2.2.2 Nanofios transistores modo inversão

Como mencionado anteriormente, os nanofios são muito promissores para a tecnologia de circuitos integrados, pois conseguem se comportar melhor do que outras tecnologias existentes em escalas abaixo dos 20 nm [34].

Nesse tipo de dispositivo, geralmente a porta é sobreposta pelas regiões de fonte e dreno. O aumento da região de depleção devido à junção PN entre fonte/dreno na região do canal, também proporciona efeitos de canal curto assim como em outros transistores de tecnologias diferentes já citados. Em transistores modo inversão (IM), as lacunas ou aceitadores acabam por fornecerem resistência aos elétrons, isto é, se comportam como uma barreira física que se opõe a passagem de partículas portadoras de carga [8].

Os nanofios transistores modo inversão possuem em seu canal concentração e tipo de dopante diferente às regiões de fonte e dreno, como pode ser visto na figura 7, que são regiões de maiores concentrações de dopantes no dispositivo. Somente quando o dispositivo está polarizado é que começa a formação da depleção no canal e inicia-se a formação de um canal de inversão abaixo do óxido de porta na camada de silício, conectando as regiões de fonte e dreno e, assim, fornecendo um caminho para a passagem da corrente. Quando o dispositivo não está sob a polarização correta não há como o transistor fornecer passagem de corrente, pois há a presença dos diodos reversamente polarizados nas junções canal-dreno e canal-fonte [35].

Figura 7. Nanofio transistor modo inversão.



Fonte: Adaptado de Applied Physics Letters, Electrical performance III-V gate-all-around nanowire transistor

### 2.2.3. Nanofios transistores sem junção

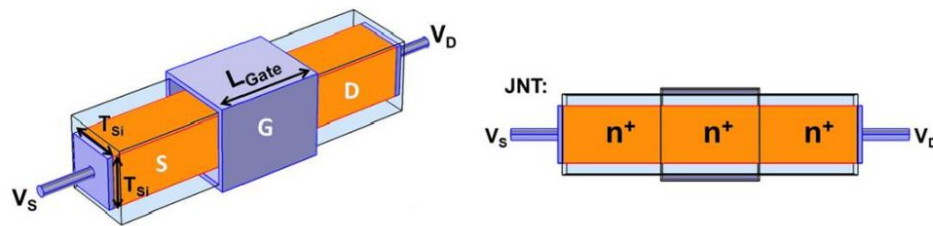
Embora os nanofios transistores sem junção ou junctionless (JLT) tenham sido propostos e fabricados mais recentemente que outras tecnologias [36], pode-se dizer que o seu conceito vem da década de 20 [37].

O transistor sem junção pode ser considerado um FET sem a junção PN como visto na figura 8. O dispositivo corresponde a um resistor em que o controle da densidade dos portadores é feito pela modulação do canal por meio da tensão aplicada à porta. No estado desligado, o canal cessa seu funcionamento, pois há uma depleção de seus portadores ocasionado pela diferença de função de trabalho entre o semicondutor e a porta. A dopagem dos transistores sem junção é necessariamente alta para que uma corrente adequada passe pelo canal e sua seção transversal deve ser suficientemente pequena para que seja possível o seu desligamento [38]. Quando o dispositivo está em seu estado de funcionamento ligado, existe uma grande quantidade de corrente no corpo

do transistor devido à sua característica de possuir altas concentrações de dopantes no canal, onde uma superfície de corrente modo acumulação pode ser adicionada.

Apesar da tecnologia dos transistores nanofios serem muito promissoras para a tecnologia de circuitos os nanofios modo inversão apresentam a formação de uma junção abrupta entre fonte e dreno o que representa um grande obstáculo e acaba por favorecer de certa forma os transistores nanofios sem junção [34].

Figura 8. Nanofio transistor sem junção.



Fonte: Adaptado de Applied Physics Letters, Electrical performance III-V gate-all-around nanowire transistor

A definição de tensão de limiar para um transistor sem junção se dá pela tensão de porta necessária para que o canal reduza a espessura de depleção total e apareça um caminho neutro para a passagem da corrente no interior do dispositivo. O valor da tensão de limiar depende da largura do canal, da espessura da camada de silício, da espessura da camada de óxido e da concentração de dopantes [39].

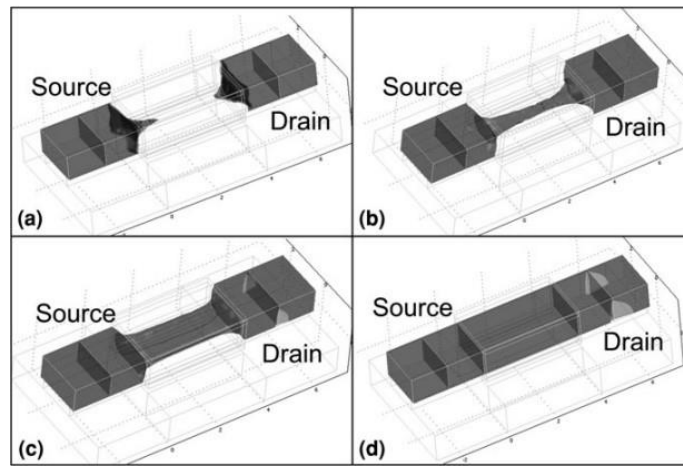
Uma característica muito importante dos transistores sem junção é o fato de que estes não funcionam em modo inversão como os MOSFETS convencionais, mas sim pelo modo depleção parcial de portadores no canal [40], pois não há junção PN para que haja inversão no canal. Nesses dispositivos, são dois os modos de operação: parcialmente depletado e por acumulação. Quando a tensão de porta é maior, em valor absoluto, que a tensão de limiar, ( $V_{thf} < V_{GS} < V_{FB}$  - Condução pelo corpo) acontece a depleção parcial, criando um caminho no substrato para a corrente de corpo. Quando tensão de porta atinge e ou é superior à tensão de faixa plana o canal inteiro se torna condutor e dispositivo passa a conduzir por acumulação de portadores majoritários ( $V_{GS} > V_{FB}$  -

Condução por acumulação). Por fim, quando o transistor sem junção está totalmente depletado, isto é, ( $V_{GS} < V_{thf} - \text{Sublimiar}$ ) ele encontra-se desligado [41].

Embora a condução do transistor MOS sem junção seja parecida ao modo acumulação, após a tensão de limiar a condução passa a ocorrer pelo corpo do transistor em depleção parcial devido à redução da espessura da região de depleção. Por esse motivo a concentração de portadores majoritários é elevada, permitindo a condução da corrente pelo centro do canal.

Os diferentes modos de condução discutidos anteriormente no transistor sem junção são ilustrados na Figura 9.

Figura 9. Modos de operação do transistor junctionless.



Graficos de contorno de concentração de eletrons em um transistor sem junção tipo n para  $V_{DS} = 50 \text{ mV}$ . (a)

$V_G < V_{thf}$ ; (b)  $V_G = V_{thf}$ ; (c)  $V_G > V_{TH}$ ; (d)  $V_G = V_{FB} \gg V_{thf}$

Fonte: Adaptado de Semiconductor-On-Insulator Materials for Nanoelectronics Applications

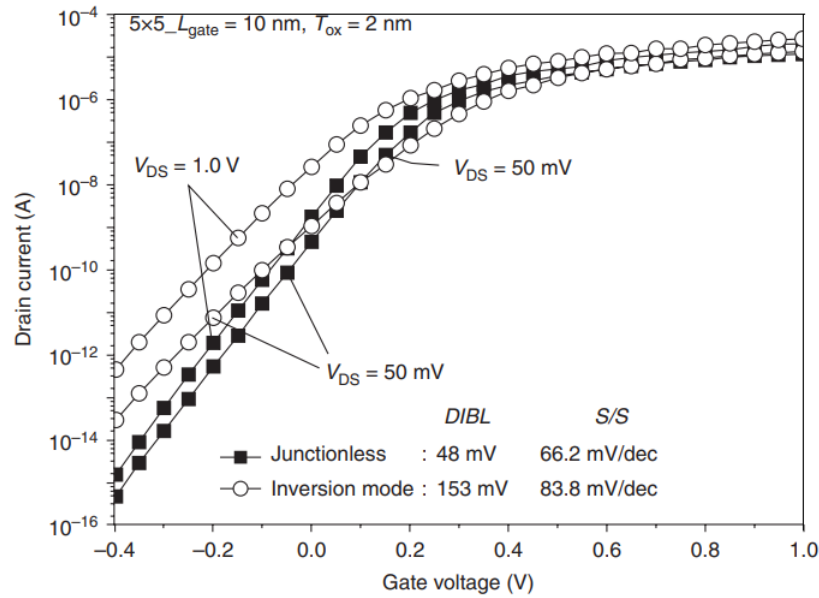
A inclinação de sublimiar nos nanofios transistores sem junção podem ser calculada pela Equação 16 [25]:

$$S = \left( 1 + 2 \frac{\sinh\left(\frac{L}{2\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)} \right) \frac{k_B T}{q} \ln(10) n \quad (25)$$

Menores em nanofios MOS sem junção do que em nanofios MOS modo inversão a inclinação de sublimar, apresenta valores quase que ideais em transistores sem junções [20] como

mostra a Figura 10. A inclinação de sublimiar também mantém -se em valores quase ideais com a redução dos efeitos de canal curto e o aumento do controle eletrostático da porta tanto pela própria tecnologia SOI quanto para nanofios de múltiplas portas [43].

Figura 10. Corrente de dreno em escala log em função da tensão de porta, com valores da inclinação de sublimiar e DIBL.



Fonte: (O. KONONCHUK; NGUYEN, 2014).

## 2.2.4 Efeito de canal curto em nanofios transistores

A partir da equação de Poisson tridimensional, indicada pela expressão 21, é possível obter a distribuição do potencial na região do canal em um dispositivo SOI MOSFET totalmente deplegado [44].

$$\frac{d^2 \phi(x,y,z)}{dx^2} + \frac{d^2 \phi(x,y,z)}{dy^2} + \frac{d^2 \phi(x,y,z)}{dz^2} = \frac{qN_A}{\epsilon_{si}} \quad (21)$$

Para a equação acima, para os dispositivos de porta única ou dupla com largura consideravelmente grande, considera-se que o campo elétrico na direção  $z$  seja nulo. Introduziu-se também, para esses dispositivos, o parâmetro comprimento natural ( $\lambda$ ), dependente da espessura do óxido de porta e da camada de silício. Este parâmetro que representa o quanto a polarização da região de dreno pode, de fato, controlar a região de depleção do canal. Assim, quanto menor for o valor de  $\lambda$  menor será o efeito de canal curto possível naquela estrutura de transistor [45].

Os dispositivos SOI MOSFET de portas única, dupla, quadrupla apresentam as seguintes equações para o comprimento natural, respectivamente [9]:

$$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}}} t_{ox} t_{Si} \quad (22)$$

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}}} t_{ox} t_{Si} \quad (23)$$

$$\lambda_3 = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{ox}}} t_{ox} t_{Si} \quad (24)$$

Como pode ser visto nas equações acima, conforme o número de portas aumenta o comprimento natural diminui, indicando que transistores que apresentam mais portas possuem menores efeitos de canal curto [46].

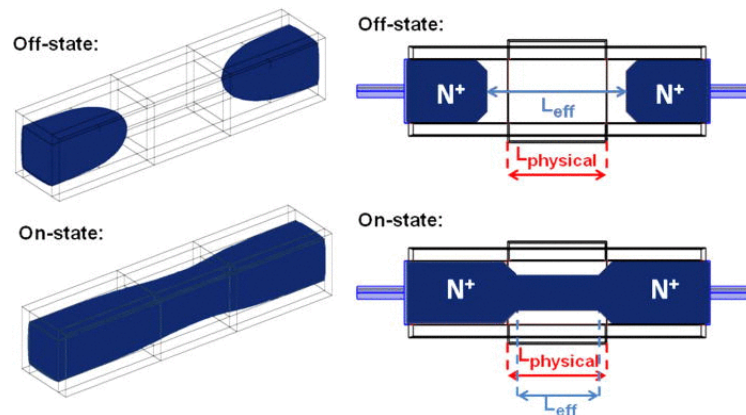
O efeito de canal curto DIBL em um dispositivo nanofio modo inversão, o DIBL é causado pelo aumento significativo do controle das cargas, presentes no canal, pela região de depleção do dreno conforme a tensão de dreno aumenta. Já, no nanofio transistor sem junção, não há uma junção para que ocorra a polarização reversa.

Como o efeito de DIBL para nanofios sem junção costuma ocorrer na região de Dreno e fora da região coberta pela porta aumenta-se o tamanho do canal efetivo ( $L_{eff}$ ) em relação ao canal físico ( $L_{physical}$ ) do dispositivo quando este está no estado desligado. Essa característica é a principal razão da diminuição dos efeitos de canal curto em transistores sem junção [23].

A Figura 11 ilustra a variação do comprimento efetivo do canal de um transistor nanofio sem junção em seus estados ligado e desligado. Na imagem, é possível ver a primeira figura no canto superior esquerdo que demonstra as regiões neutras (não depletadas) do modo desligado ou off, no canto inferior esquerdo as regiões neutras (não depletadas) do modo ligado.

No canto superior direito, nota-se o comprimento do canal efetivo ( $L_{eff}$ ) maior do que o comprimento do canal físico ( $L_{physical}$ ) quando o dispositivo está em offstate e no canto inferior direito o comprimento do canal físico ( $L_{physical}$ ) maior que o comprimento do canal efetivo ( $L_{eff}$ ) quando o dispositivo está em modo ligado.

Figura 11. Variação do comprimento do canal efetivo em um nanofio transistor sem junção



Fonte: Journal of Applied Physics: Vol111, No12.

As características descritas anteriormente sobre o efeito de canal curto são, também, aplicáveis aos nanofios transistores modo inversão. Embora nanofios transistores modo inversão tenham melhores resultados que transistores SOI tradicionais, o transistor nanofios sem junção são, justamente, os que oferecem menores efeitos de canal curto devido a sua falta de junção e alta concentração de dopantes [8].

## 2.3 EFEITO DA TEMPERATURA SOBRE TRANSISTORES MOSFET

Será apresentada nesta seção uma breve revisão bibliográfica sobre a importância da temperatura e seus efeitos em dispositivos semicondutores, alterando, assim, suas características.

Os dispositivos MOS convencionais e SOI apresentam melhores desempenhos quando estão operando em temperaturas mais baixas que a temperatura ambiente [47].

A temperatura é uma característica fundamental para entender o comportamento das características elétricas dos transistores em um modo geral [48]. São diversos os estudos em função da temperatura que podem ser feitos para um dispositivo semicondutor e alguns destes estudos serão apresentados a seguir, pois de modo geral são afetados direta ou indiretamente pela temperatura como é o caso da tensão de limiar, inclinação de sublimiar e a mobilidade [49].

### 2.3.1 Tensão de limiar

A dependência da tensão limiar com a temperatura em um dispositivo MOSFET convencional pode ser expressa por meio da equação 26:

$$V_{thf} = \phi_{MS} - \frac{Q_f}{C_{ox}} + 2\Phi_F + \frac{\sqrt{4\epsilon_s q N_A + \Phi_F}}{C_{ox}} \quad (26)$$

Como a função trabalho  $\phi_{MS}$  e as cargas fixas  $Q_f$  independem da temperatura, derivando a equação acima obtém-se a equação 27:

$$\frac{dV_{thf}}{dT} = \frac{d\Phi_F}{dT} \left( 2 + \frac{1}{C_{ox}} \sqrt{\frac{\epsilon_s q N_A}{\Phi_F}} \right) \quad (27)$$

Sabendo-se que  $\Phi_F = \frac{kT}{q} \ln \left( \frac{N_A}{n_i} \right)$ , obtém-se a equação 28:

$$n_i^2 \propto T^3 \exp \left( \frac{-E_{g0}}{KT} \right) \quad (28)$$

Onde  $E_{g0}$  é a largura da banda proibida para  $T = 0K$ . Com isso, chega-se à equação 29.

$$\frac{d\Phi_F}{dT} \approx \frac{1}{T} \left( \Phi_F - \frac{E_{g0}}{2q} \right) \quad (29)$$

Por meio da equação 29, evidencia-se a dependência da tensão de limiar em relação à temperatura. Conforme a temperatura aumenta, diminui-se a tensão de limiar [12].

No caso de dispositivos SOI, a influência da temperatura na tensão de limiar do dispositivo pode ser expressa pela equação 30.

$$\frac{dV_{thf}}{dT} = \frac{d\Phi_F}{dT} \left[ \alpha \sqrt{\frac{q\varepsilon_s N_{eff}}{\Phi_F C_{ox}^2}} + 2 + \frac{qD_{it}}{C_{ox}} \right] \quad (30)$$

Onde  $N_{eff}$  e  $D_{it}$  são respectivamente, concentração de dopantes do canal efetivo e concentração da densidade de armadilhas na interface.

Com base na equação 30, pode-se notar que, no caso do dispositivo SOI modo inversão, não só a tensão de limiar reduz de forma inversamente proporcional ao aumento da temperatura, mas também o seu funcionamento pode se tornar modo parcialmente depletado para altas temperaturas, pois o potencial de Fermi reduz em altas temperaturas de forma mais intensa para dispositivos menos dopados como o modo inversão, reduzindo a tensão de limiar do dispositivo [50].

### 2.3.2 Inclinação de sublimiar

Como já dito anteriormente, a inclinação de sublimiar é definida pela equação 11 como: qual a variação na tensão de porta para que a corrente presente entre os terminais de dreno e fonte possa variar uma década, ou seja, o inverso da inclinação da curva  $\log(I_{DS})$  em função de  $V_{GF}$ .

Sabe-se, pela equação 12, que a inclinação de sublimiar tem uma relação direta com a temperatura e que conforme a temperatura diminua, espera-se que a inclinação de sublimiar acompanhe a tendência em dispositivos MOSFETs. Com o aumento da temperatura a concentração dos portadores aumenta por meio do efeito da geração termoionica que incorpora os elétrons gerados à corrente de difusão, contribuindo para o aumento da corrente de sublimiar e, como dito anteriormente, a redução da tensão de limiar [51].

### 2.3.3 Mobilidade

Mobilidade dos portadores, é a grandeza física que descreve a facilidade que os portadores de carga possuem ao atravessar os dispositivos semicondutores sob a ação de um campo elétrico. Esse termo pode ser definido como: a quantidade de velocidade adquirida por um portador de carga quando submetido a um determinado campo elétrico. Em outras palavras, quanto de potencial elétrico foi de fato convertido em movimento para os portadores [52].

O desempenho de um semicondutor, em termos de mobilidade está diretamente ligado com a concentração de portadores e sua mobilidade e quanto maiores forem essas grandezas, melhor será a sua condutividade. A mobilidade depende das concentrações de dopantes e da temperatura, pois como sugere a distribuição de Bose-Einstein o espalhamento é fortemente influenciado pela temperatura [53].

A equação 31 apresenta a influência da temperatura sobre a mobilidade. O modelo matemático expressa uma relação inversamente proporcional entre a mobilidade dos portadores e a temperatura [54].

$$\mu(T) = \mu(T_r) \left( \frac{T}{T_r} \right)^{K\mu} \quad (31)$$

Onde,  $T$  = temperatura absoluta,  $T_r$  = temperatura ambiente,  $K\mu$  = parametro de ajuste e  $\mu(T_r)$  = Temperatura de referência = 300K.

A equação 31, no entanto, não leva em conta a atuação dos diferentes mecanismos de degradação por espalhamento. O espalhamento é, de modo geral e de forma sucinta, o efeito que representa resistência em um semicondutor. Isto é, se for considerado o efeito de espelhamento é necessário considerar todas as possíveis maneiras em que os elétrons e ou lacunas possam interagir ao seu redor à medida que se movem em uma rede cristalina. Exemplos comuns do espalhamento incluem a degradação por espalhamento fônon, degradação por espalhamento de impurezas ionizadas e degradação por espalhamento portador-portador e levando em conta todos estes efeitos ocorrendo em conjunto, o que de fato acontece na realidade, utiliza-se um único representante da mobilidade que a regra da soma de Matthiessen dada pela equação 32:

$$\frac{1}{\mu} = \sum_i \frac{1}{\mu_{n,i}} \quad (32)$$

Onde  $\mu_{n,i}$  representa os respectivos mecanismos de degradação da mobilidade por espalhamento de impurezas ionizadas, portador-portador e impurezas neutras [55].

- Mecanismo de degradação por espalhamento fônon é a interação de elétrons e ou lacunas com as vibrações da rede cristalina. O fônon é considerado uma representação de partícula de vibrações de rede, ou seja, possuem energia similar à frequência de vibração da rede cristalina e ao se propagarem ao longo dos dispositivos semicondutores podem interagir com elétrons e lacunas alterando a velocidade e direção destes portadores. A mobilidade de um portador de carga devido ao espalhamento fônon depende do número de fônons presentes e a velocidade dos portadores e o número de fônons acaba por ser proporcional à temperatura. Da equação de Matthiessen pode-se escrever a parcela de degradação por espalhamento fônon como mostram as equações 33 para elétrons e 34 para lacunas ou 35, onde  $\mu_{ona}=4195 \text{ cm}^2/\text{Vs}$ ,  $\mu_{onb}=2153 \text{ cm}^2/\text{Vs}$ ,  $\mu_{opa}=2502 \text{ cm}^2/\text{Vs}$ ,  $\mu_{opb}=591 \text{ cm}^2/\text{Vs}$ ,  $\alpha_{na}=1.5$ ,  $\mu_{pa}=1.5$ ,  $\beta_{na}=3.13$  e  $\beta_{pa}=3.25$  [56].

$$\frac{1}{\mu_n} = \frac{1}{\mu_{n,i}} + \frac{1}{\mu_{n,ph}} \quad (33)$$

$$\frac{1}{\mu_p} = \frac{1}{\mu_{p,i}} + \frac{1}{\mu_{p,ph}} \quad (34)$$

$$\mu_{n_{ls}} = \frac{1}{\frac{1}{\mu_{ona}\left(\frac{T}{300}\right)^{-\alpha_{na}}} + \frac{1}{\mu_{onb}\left(\frac{T}{300}\right)^{-\alpha_{nb}}}}, \mu_{p_{ls}} = \frac{1}{\frac{1}{\mu_{opa}\left(\frac{T}{300}\right)^{-\alpha_{pa}}} + \frac{1}{\mu_{opb}\left(\frac{T}{300}\right)^{-\alpha_{pb}}}} \quad (35)$$

- Mecanismo de degradação por espalhamento de impurezas ionizadas é a interação de elétrons e ou lacunas com as cargas das impurezas ionizadas (dopantes) presentes no semicondutor. Essa interação é responsável pela alteração, assim como por espalhamento fônon, no movimento dos portadores, reduzindo sua velocidade e por consequência degradando-o. Como o fenômeno de degradação por espalhamento de impurezas ionizadas está diretamente relacionado com a

concentração de dopantes é natural que nanofios sem junção apresentem maior degradação por este fenômeno uma vez que a concentração de dopantes nos dispositivos sem junção é muito maior que nos nanofios modo inversão. A temperatura também está relacionada a esta degradação, pois sua relação está na concentração efetiva de dopantes. Da equação de Matthiessen pode-se escrever a parcela de degradação por espalhamento de impurezas ionizadas como mostra a equação 36, onde  $\mu_{min_n} = 55,24 \text{ cm}^2/\text{V}$ ,  $\mu_{min_p} = 49,71 \text{ cm}^2/\text{V}$ ,  $\alpha_n = 0,733$ ,  $\alpha_p = 0,7$ ,  $N_{ref_n} = 1,072 \cdot 10^{17} \text{ cm}^{-3}$  e  $N_{ref_p} = 1,606 \cdot 10^{17} \text{ cm}^{-3}$  [56].

$$\mu_{psii_{n,p}} = \left[ \mu_{min_{n,p}} + \frac{\mu_{n,p,ls} - \mu_{min_{n,p}}}{1 + \left( \frac{N_{D,A}}{N_{ref_{n,p}}} \right)} \right] \quad (36)$$

- Mecanismo de degradação por espalhamento de portador-portador é quando um número considerável de elétrons e ou lacunas interagindo com cada por meio de um potencial elétrico. Este fenômeno acaba sendo relevante apenas quando a corrente que passa pelo semiconductor é alta o que favorece o choque entre os portadores entre si e com a rede cristalina, prejudicando seu movimento que por fim leva ao mecanismo de degradação. Da equação de Matthiessen pode-se escrever a parcela de degradação por espalhamento de impurezas ionizadas como mostra a equação 37 [56].

$$\mu_{cc} = \left( \frac{2 \cdot 10^{17}}{\sqrt{N}} \right) \frac{1}{\ln(1 + 8,28 \cdot 10^8 T^2 N^{-\frac{1}{3}})} \quad (37)$$

### 3. SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Serão apresentados, neste capítulo, as características do *software* utilizado para a realização das simulações numéricas tridimensionais dos nanofios transistores modo inversão e sem junção, assim como os resultados obtidos.

### 3.1 DESCRIÇÃO DO SIMULADOR

Durante a concretização deste trabalho, simulações numéricas tridimensionais foram utilizadas como ferramenta para tentar prever e antecipar quais seriam os efeitos observados nos dados experimentais em relação aos nanofios transistores MOS de modo inversão e sem junção e seus efeitos de canal curto, em específico, a variação do DIBL em função da temperatura.

Para a simulação das estruturas estudadas, foi utilizado o simulador Sentaurus [57] da empresa Synopsys que utiliza o Technology Computer Aided Design (TCAD). O Sentaurus é um simulador multidimensional capaz de simular características elétricas, térmicas e óticas de dispositivos semicondutores compostos, baseados em silício e em outros materiais. Este simulador permite simular diferentes dispositivos semicondutores como por exemplo o, FinFET, FDSOI, nanofios transistores, entre outros [57].

A primeira etapa do processo de simulação é feita por meio do Sentaurus Structure Editor, em que são definidas as dimensões e materiais que formam a estrutura física do dispositivo. Esta etapa é realizada por meio de um código de programação que contém um sistema de coordenadas e definições que dão formato ao transistor. Os arquivos que contém a programação para a criação da estrutura tridimensional, caracterizada como a primeira etapa do processo, dos nanofios transistores MOS modo inversão e sem junção encontram-se nos apêndices A e B respectivamente.

### 3.2 ESTRUTURAS SIMULADAS

Duas estruturas de nanofios foram simuladas, sendo uma estrutura modo inversão e outra sem junção com as seguintes características, como mostra a Tabela 1.

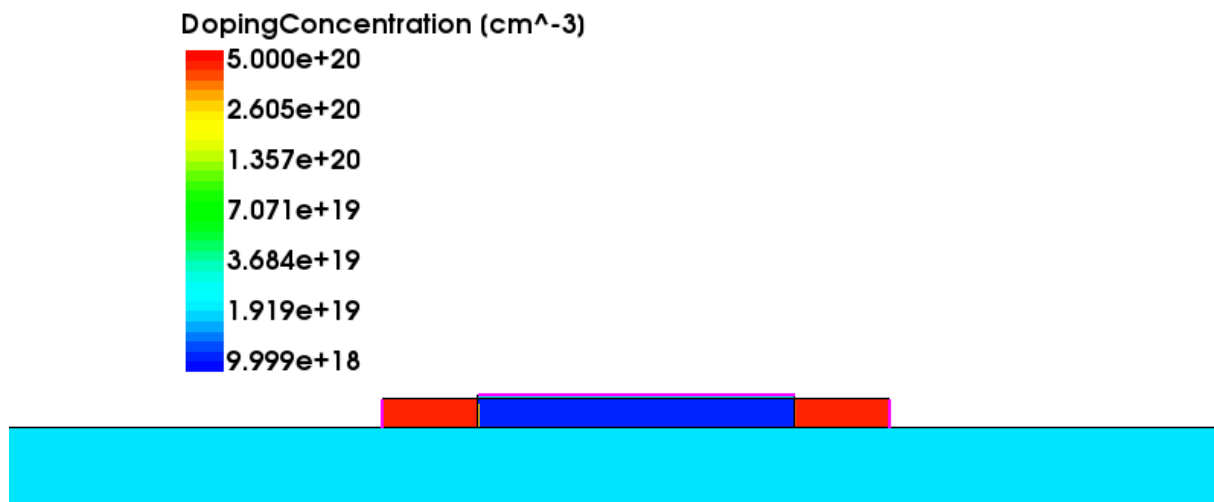
Tabela 1. Características dos nanofios transistores simulados no software Sentaurus.

| Parâmetros                                                          | Modo Inversão                                   | Sem Junção                                   |
|---------------------------------------------------------------------|-------------------------------------------------|----------------------------------------------|
| Tipo                                                                | n                                               | n                                            |
| $H_{fin}$ (nm)                                                      | 9                                               | 9                                            |
| $W_{fin}$ (nm)                                                      | 12, 22 e 42                                     | 12, 22 e 42                                  |
| $t_{ox}$ (nm)                                                       | 1,3                                             | 1,3                                          |
| $t_{box}$ (nm)                                                      | 145                                             | 145                                          |
| Concentração de dopantes nas regiões de fonte e dreno ( $cm^{-3}$ ) | $5 \times 10^{20}$                              | $5 \times 10^{20}$                           |
| Concentração de dopante do canal ( $cm^{-3}$ )                      | $1 \times 10^{15}$ Tipo P (impureza aceitadora) | $5 \times 10^{18}$ Tipo N (impureza doadora) |
| L (nm)                                                              | 100                                             | 100                                          |

Fonte: Autor.

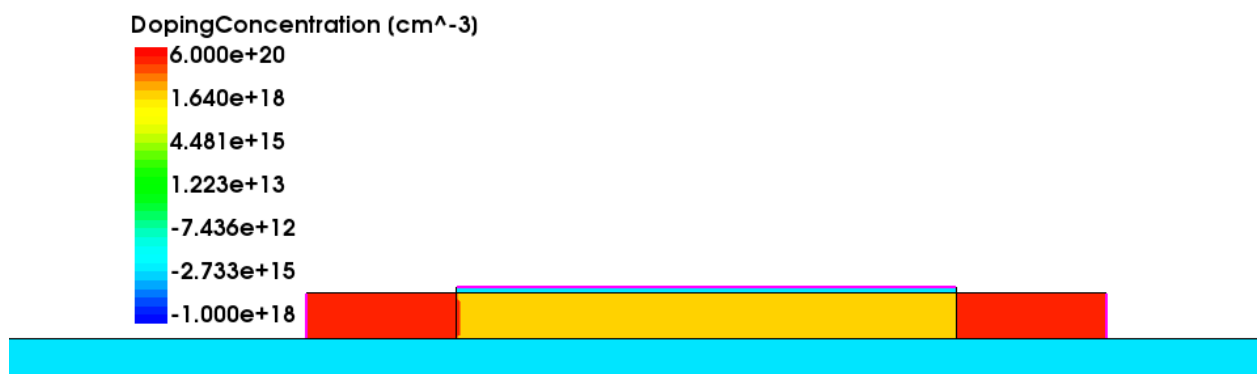
As estruturas possuem as mesmas dimensões, mesma altura de aleta, comprimento de canal, largura de canal, comprimento dos espaçadores e concentração de dopantes nas regiões de fonte e dreno. Além da diferença física entre os dispositivos em relação a um possuir junção (modo inversão) e outro não, o tipo de dopante e a concentração dele na região do canal são bem diferentes como mostra a Tabela 1 e podem ser vistos nas figuras Figura 12 e Figura 13 a seguir.

Figura 12. Concentração de dopantes ao longo do canal, fonte e dreno do nanofio transistor sem junção e sem spacer.



Fonte: Autor

Figura 13. Concentração de dopantes ao longo do canal, fonte e dreno do nanofio transistor modo inversão e sem spacer.



Fonte: Autor

A segunda etapa do processo das simulações numéricas tridimensionais dos dispositivos é implementação dos modelos que descrevem os fenômenos relevantes para o comportamento da

estrutura por meio do Sentaurus Device Simulator (SDEVICE). Estas simulações resolvem equações de continuidade, de Poisson e de Schroedinger por meio do método de elementos finitos que é um procedimento numérico para determinar soluções aproximadas de problemas de valores sobre o contorno de equações diferenciais.

Como o este trabalho leva em consideração o funcionamento dos nanofios transistores modo inversão e sem junção em função da temperatura foi necessário que todas as variáveis que possuam relação e dependência com a temperatura fossem contabilizadas nas simulações. A fim de assegurar e garantir o correto funcionamento da segunda etapa do processo, fenômenos físicos foram considerados e para que tais fenômenos funcionem da melhor maneira é necessário definir os modelos que descrevem cada fenômeno. Um arquivo de exemplo para a simulação de uma curva a  $I_{DS} \times V_{GS}$  de nanofios transistores de modo inversão e sem junções de tipo n encontra-se no Apêndice C.

Os modelos utilizados neste trabalho foram:

- HighFieldSaturation: Modelo utilizado para determinar a influência do alto campo elétrico na mobilidade dos portadores. quando as condições que representa que compreende outros três submodelos: O modelo de mobilidade real, saturação de velocidade e força motriz [58].
- SRH (DopingDep, TempDependence): A recombinação dos portadores descrito pelo efeito de Shockley-Read-Hall (SRH) quantifica a recombinação dos portadores devido aos defeitos presentes na rede cristalina do semiconductor. Para as simulações realizadas foi selecionada a dependência com a dopagem e com a temperatura. Tanto a temperatura como a concentração de dopantes interferem na probabilidade de recombinação pois alteram o tempo de vida dos portadores, que é definido como o tempo em que os portadores fluem pelo material até se recombinarem [58].
- Enormal: Este modelo considera a degradação da mobilidade pelo alto campo elétrico vertical, que atrai os portadores para a interface que está entre semiconductor e isolante, intensificando o espalhamento por rugosidade de superfície e que causa a saturação da velocidade dos portadores [58].
- Inversion and Accumulation Layer Mobility Model – IALMob: É um modelo de degradação da mobilidade que descreve os mecanismos de degradação de espalhamento Coulomb, espalhamento por fônons e espalhamento por rugosidade de superfície. O modelo é uma adaptação dos modelos de Klaassen e Lombardi e descreve a mobilidade para camadas de inversão e acumulação [58].

- **BandGapNarrowing (OldSlotboom):** Este modelo é utilizado para considerar o efeito do estreitamento da largura da banda proibida, que define a concentração de portadores intrínsecos do semiconductor e possui dependência com a concentração de dopantes do material e com a temperatura. Além disso, o modelo também considera a variação da afinidade eletrônica, que é afetada com o estreitamento da faixa proibida, com a temperatura e com a concentração de dopantes [58].

### 3.3 RESULTADOS SIMULADOS

Nesta seção, são apresentadas as curvas características extraídas das simulações realizadas para os nanofios transistores sem junção e modo inversão.

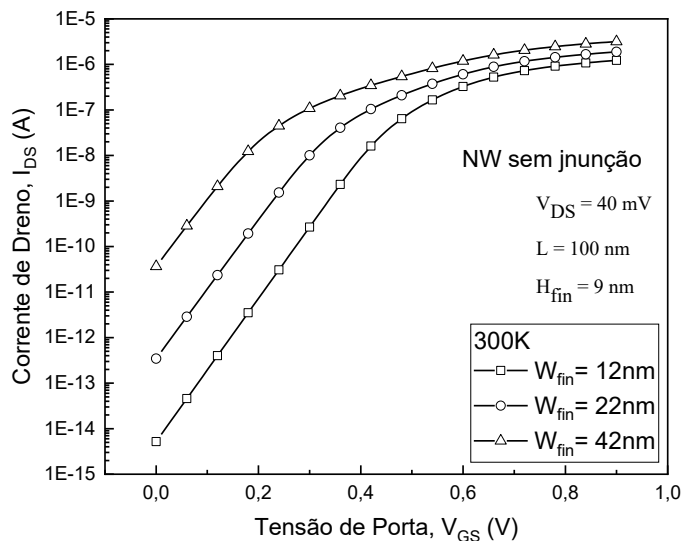
As figuras 14 e 15 mostram a curva da corrente de dreno em função da tensão de porta, oriunda de simulações tridimensionais, para nanofios transistor sem junção com diferentes larguras de aleta de silício polarizado com tensão de dreno  $V_{DS} = 40$  mV em temperatura ambiente. Nota-se pelo gráfico que, quanto maior é a largura da aleta de silício do transistor menor é sua tensão de limiar. As curvas correspondentes aos  $W_{fin} = 12$  nm,  $W_{fin} = 22$  nm e  $W_{fin} = 42$  nm para o transistor sem junção em temperatura ambiente apresentam menor valor de tensão de limiar como mostra a tabela 2.

Tabela 2. Valor da tensão de limiar em relação a largura da aleta de silício para os nanofios transistores modo inversão e sem junção em temperatura ambiente.

| $W_{fin}$ (nm) | $V_{thf1}$ modo inversão (mV) | $V_{thf1}$ sem junção (mV) |
|----------------|-------------------------------|----------------------------|
| 12             | 0,580                         | 0,385                      |
| 22             | 0,570                         | 0,350                      |
| 42             | 0,560                         | 0,300                      |

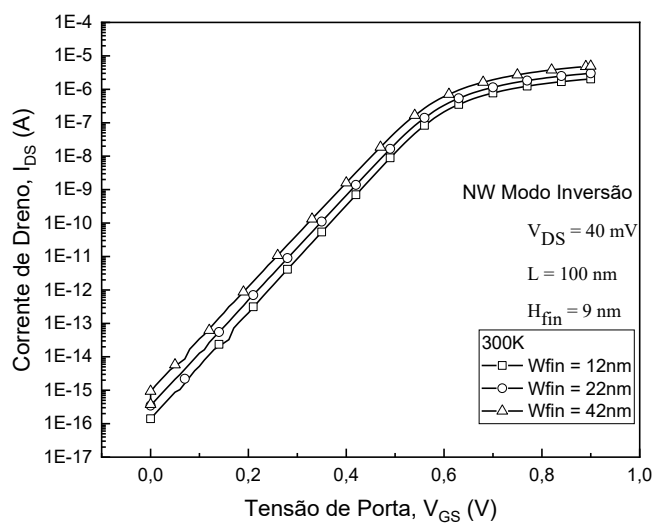
Fonte: Autor.

Figura 14. Curva da corrente de dreno em função da tensão de porta, oriunda de simulações tridimensionais, para nanofios transistor sem junção com diferentes larguras de aleta de silício polarizado com tensão de dreno  $V_{DS} = 40$  mV em temperatura ambiente.



Fonte: Autor.

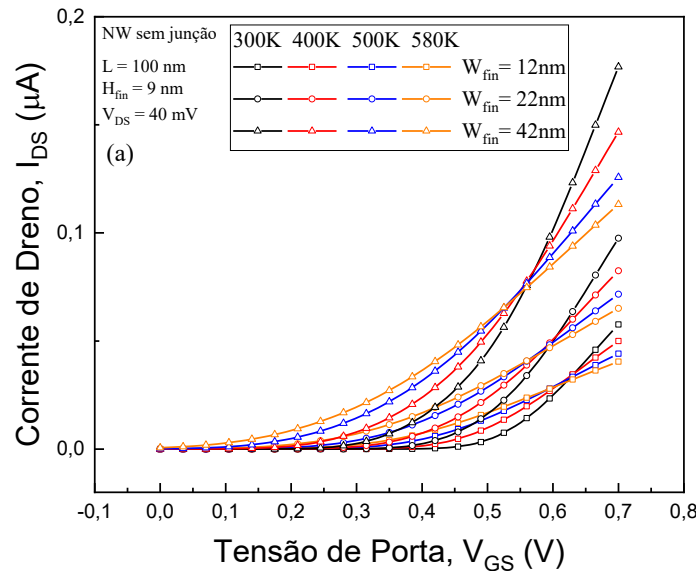
Figura 15. Curva da corrente de dreno em função da tensão de porta, oriunda de simulações tridimensionais, para nanofios transistor modo inversão com diferentes larguras de aleta de silício polarizado com tensão de dreno  $V_{DS} = 40$  mV em temperatura ambiente.

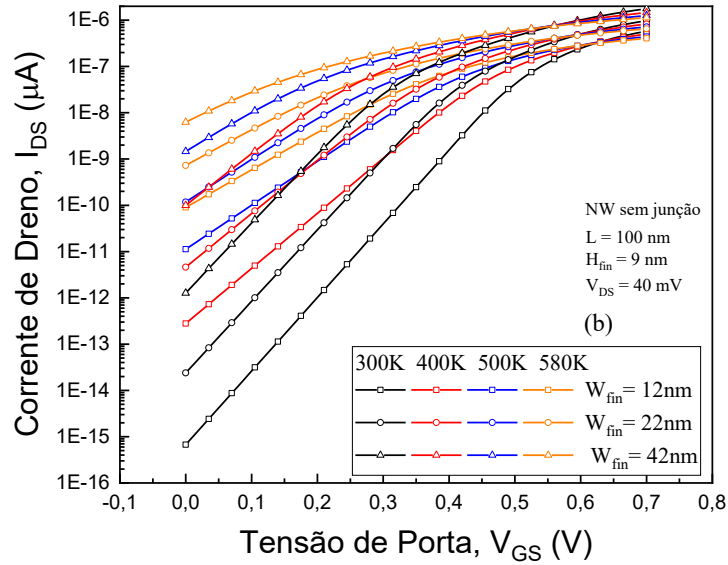


Fonte: Autor.

As figuras 16 e 17 apresentam as curvas da corrente de dreno em função da tensão de porta para nanofios transistores sem junção e modo inversão respectivamente, com diferentes comprimentos da aleta de silício polarizados com tensão de dreno de  $V_{DS} = 40$  mV para diferentes temperaturas. Nota-se por ambos os gráficos que o efeito da temperatura degrada de forma significativa os dois transistores, deslocando as curvas acima da temperatura ambiente ainda mais para a esquerda, diminuindo a tensão de limiar para cada curva, ou seja, com maiores temperaturas a corrente de dreno em função da tensão de porta diminui.

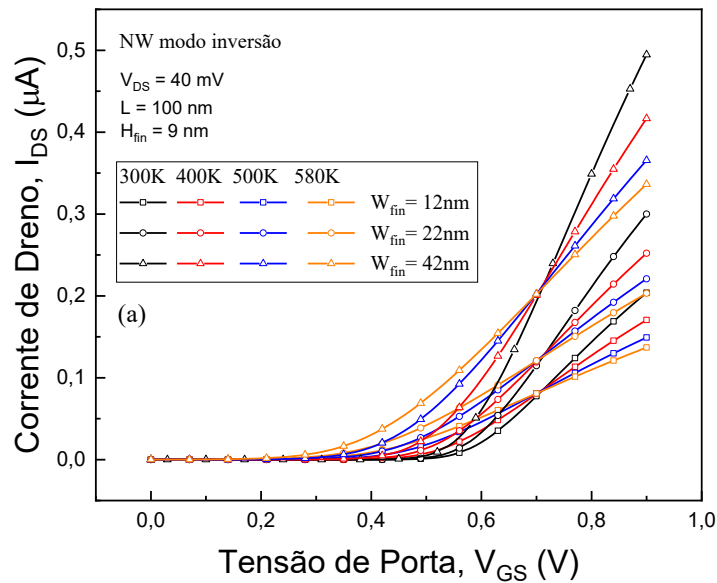
Figura 16. Curva da corrente de dreno em função da tensão de porta para nanofios transistor sem junção com diferentes  $W_{fin}$  e polarizado com tensão de dreno  $V_{DS} = 40$  mV para 300 K, 400 K, 500 K e 580 K, (a) escala linear e (b) escala logarítmica.

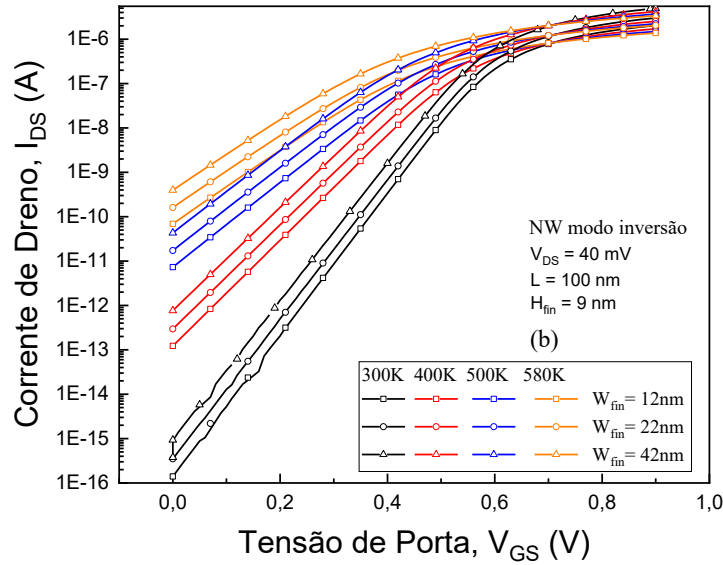




Fonte: Autor.

Figura 17. Curva da corrente de dreno em função da tensão de porta para nanofios transistor modo inversão com diferentes larguras de aleta de silício polarizado com tensão de dreno  $V_{DS} = 40$  mV para 300 K, 400 K, 500 K e 580 K, (a) escala linear e (b) escala logarítmica.





Fonte: Autor.

A partir dos dados extraídos das simulações tridimensionais nota-se que para ambos os transistores a tensão de limiar decresce com o aumento da temperatura e por consequência sua inclinação. Os nanofios sem junção polarizados com uma tensão de dreno de  $V_{DS} = 40$  mV apresentaram, neste estudo, menor tensão de limiar do que os nanofios modo inversão e, também, menor variação da tensão de limiar em função da temperatura como mostram as tabelas 3 e 4.

Tabela 3. Variação da tensão de limiar em relação a aleta de silício para os nanofios transistores modo inversão (a) e sem junção (b) para as temperaturas de 300 K, 400 K, 500 K e 580 K.

(a)

| T (K) | 12 (nm)    | 22 (nm)    | 42 (nm)    |
|-------|------------|------------|------------|
| 300   | 0,580 (mV) | 0,570 (mV) | 0,560 (mV) |
| 400   | 0,530 (mV) | 0,520 (mV) | 0,500 (mV) |
| 500   | 0,470 (mV) | 0,450 (mV) | 0,440 (mV) |
| 580   | 0,420 (mV) | 0,400 (mV) | 0,390 (mV) |

(b)

| T (K) | 12 (nm)    | 22 (nm)    | 42 (nm)    |
|-------|------------|------------|------------|
| 300   | 0,385 (mV) | 0,350 (mV) | 0,300 (mV) |
| 400   | 0,367 (mV) | 0,332 (mV) | 0,237 (mV) |
| 500   | 0,338 (mV) | 0,280 (mV) | 0,183 (mV) |
| 580   | 0,275 (mV) | 0,225 (mV) | 0,132 (mV) |

Fonte: Autor.

Tabela 4. Valores da inclinação das curvas da tensão de limiar em função do  $W_{fin}$  para diferentes temperaturas.

|                | modo inversão                                     | sem junção                                        |
|----------------|---------------------------------------------------|---------------------------------------------------|
| $W_{fin}$ (nm) | $\frac{dV_{thf}}{dT} \left( \frac{mV}{K} \right)$ | $\frac{dV_{thf}}{dT} \left( \frac{mV}{K} \right)$ |
| 12             | -0,573                                            | -0,442                                            |
| 22             | -0,616                                            | -0,552                                            |
| 42             | -0,606                                            | -0,670                                            |

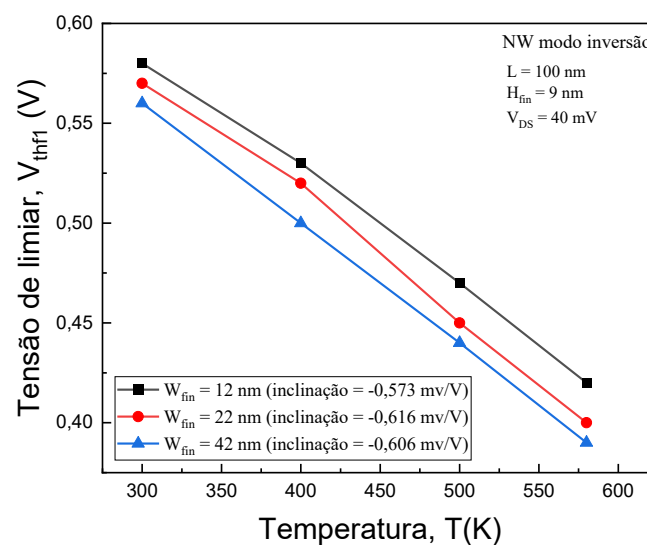
Fonte: Autor.

As figuras 18, 19, 20 e 21 mostram a variação da tensão de limiar dos dispositivos sem junção e modo inversão, operando em triodo  $V_{DS} = 40$  mV e saturação  $V_{DS} = 900$  mV, em função da temperatura. Os valores da tensão de limiar quando os dispositivos estavam operando em modo saturação foram obtidos da seguinte maneira: Primeiro extraiu-se a tensão de limiar dos transistores quando submetidos a tensão de dreno de  $V_{DS} = 40$  mV, operando no modo triodo, pelo método da segunda derivada que consiste em derivar duas vezes a curva da corrente de dreno em função da tensão de porta. Com o valor da tensão de limiar obtido na etapa anterior, procurou-se o valor da corrente de dreno correspondente a essa tensão e, com isso, o valor da corrente de dreno para

baixas tensões de polarização foi utilizado para procurar qual valor da tensão de limiar corresponderia a essa corrente quando os dispositivos estivessem operando em modo saturação.

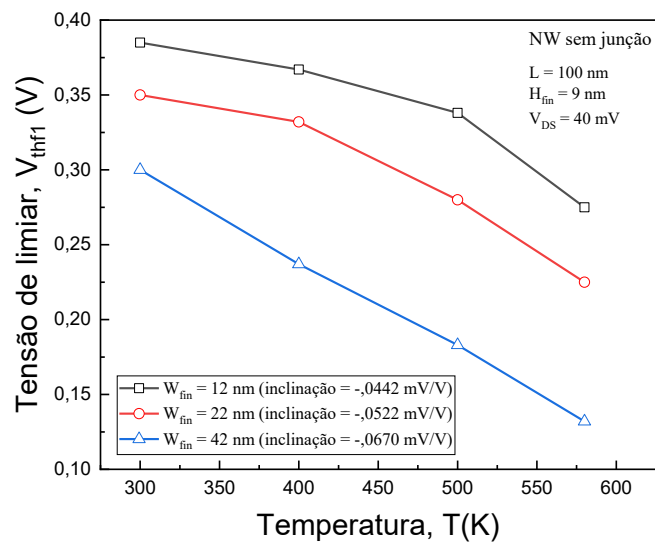
Vê-se pelas figuras que quando operando em saturação a tensão de limiar diminui mais, pois houve aumento significativo na corrente de dreno e com isso, diminuindo a barreira de potencial na junção fonte-canai. A diminuição da tensão de limiar não foi ocasionada apenas pela elevação da corrente de dreno, mas também pelo aumento da temperatura, como já explicado, degrada essas características elétrica destes dispositivos. Os valores da variação da inclinação das tensões de limiar neste caso não apresentaram a tendencia ocorrida com os transistores operando em modo tródo em que o nanofio sem junção apresentou menor inclinação.

Figura 18. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com  $V_{DS} = 40$  mV.



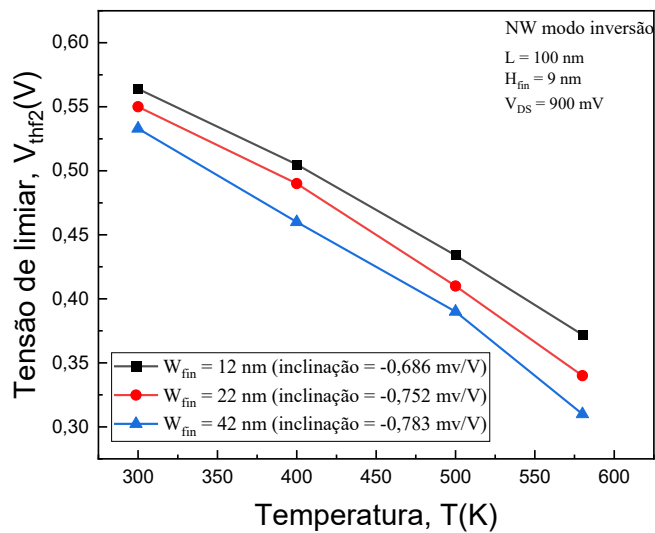
Fonte: Autor.

Figura 19. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com  $V_{DS} = 40$  mV.



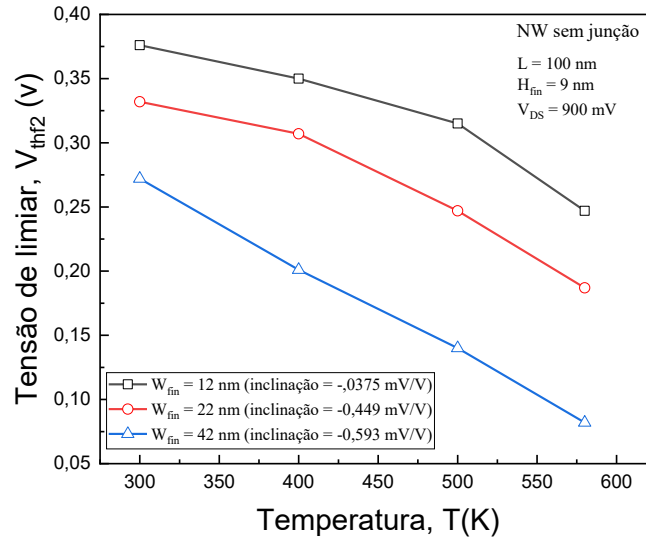
Fonte: Autor.

Figura 20. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com  $V_{DS} = 900$  mV.



Fonte: Autor.

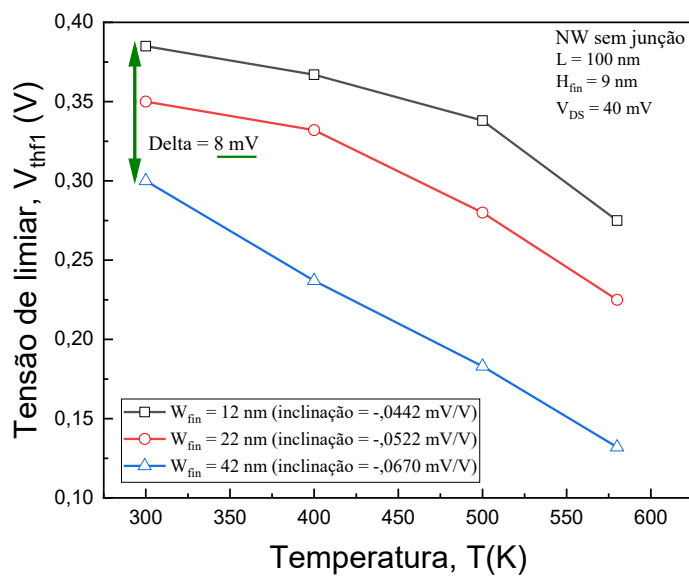
Figura 21. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com  $V_{DS} = 900$  mV.



Fonte: Autor.

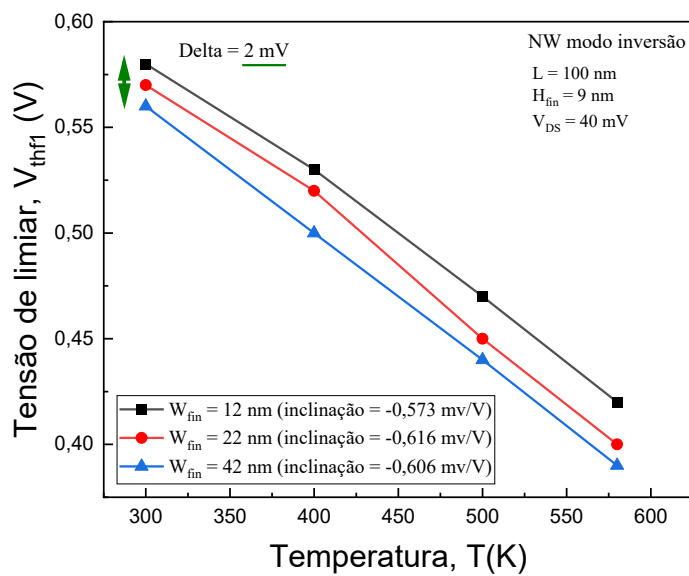
Pode-se notar, também, pelas figuras 22 e 23 que embora em função da temperatura a variação da tensão de limiar nos transistores sem junção são menores em relação aos transistores modo inversão. Quando comparado a tensão de limiar em relação ao aumento da largura de silício os transistores sem junção possuem maior diferença de valores do que os de modo inversão, corroborando para a percepção de que a tensão de limiar nos nanofios sem junção dependem mais da largura da aleta de silício do que a temperatura. Estes valores quando comparados em modo saturação são ainda maiores como mostram as figuras 24 e 25.

Figura 22. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com  $V_{DS} = 40$  mV.



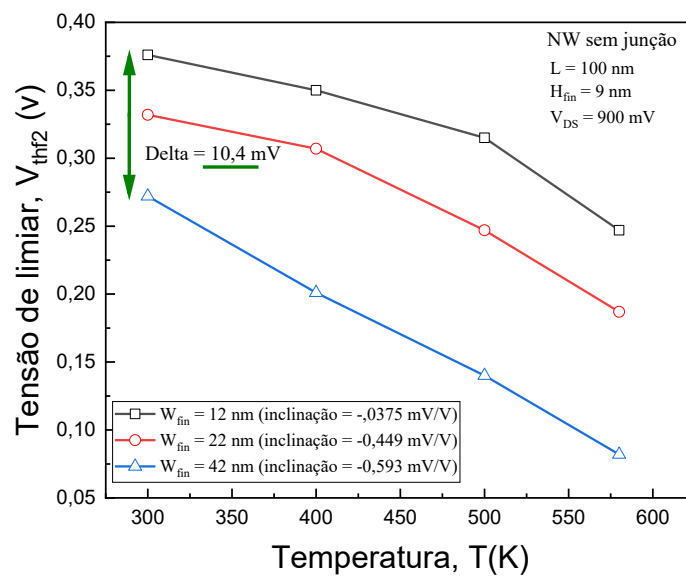
Fonte: Autor.

Figura 23. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com  $V_{DS} = 40$  mV.



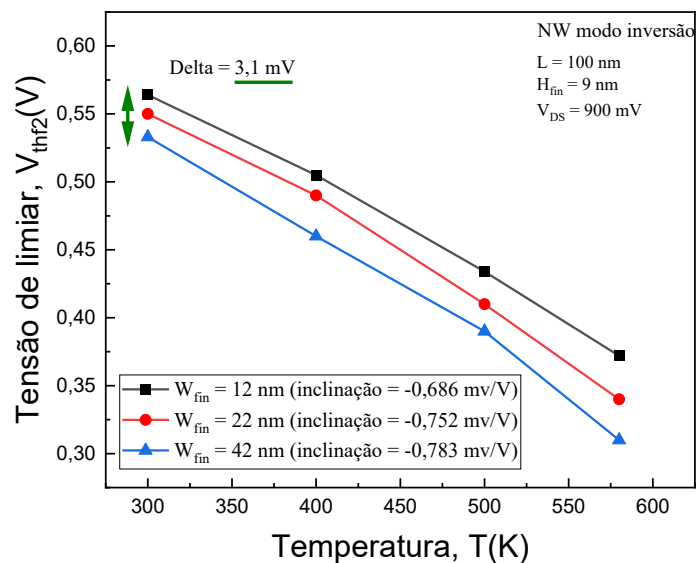
Fonte: Autor.

Figura 24. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com  $V_{DS} = 900$  mV.



Fonte: Autor.

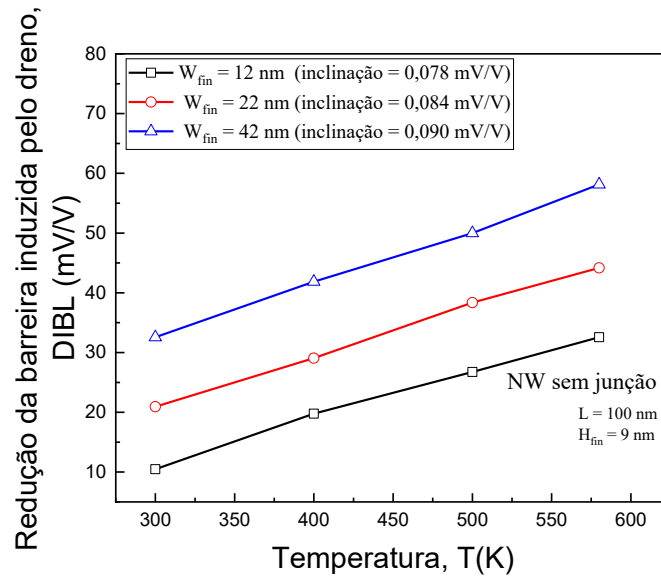
Figura 25. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com  $V_{DS} = 900$  mV.



Fonte: Autor.

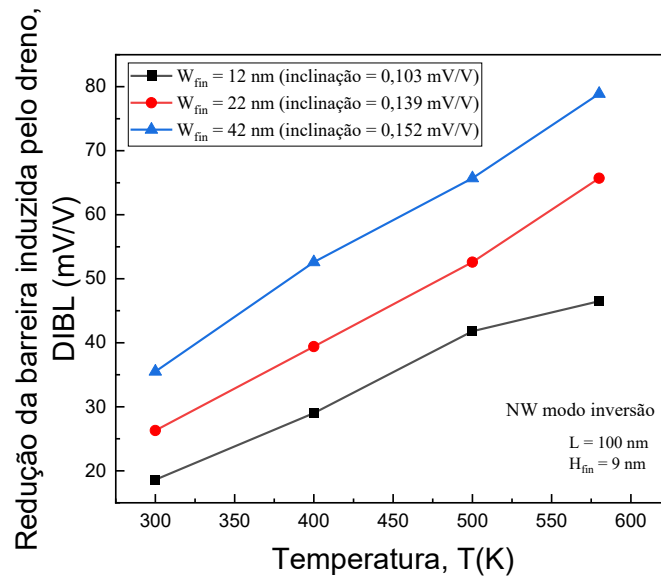
As figuras 26 e 27 mostram as curvas do efeito DIBL, em escala linear, em função das diferentes larguras da aleta de silício, oriundo de simulações tridimensionais, para os nanofios transistores sem junção e modo inversão respectivamente.

Figura 26. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de simulações tridimensionais, para nanofios transistores sem junção.



Fonte: Autor.

Figura 27. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de simulações tridimensionais, para nanofios transistores modo inversão.



Fonte: Autor.

Paras as curvas do efeito DIBL com as diferentes larguras da aleta de silício podem-se notar que os transistores nanofios sem junção apresentam valores de DIBL em função da temperatura menores que os nanofios modo inversão. Quando analisado a inclinação ou a variação da curva ao longo das diferentes temperaturas, fica evidente que para os nanofios transistores modo inversão o efeito DIBL é mais sensível aos efeitos térmicos. O transistor modo inversão por exemplo obteve uma variação linear maior para todos os  $W_{fin}$  em comparação com os transistores sem junção como pode-se ver na tabela 5 a seguir.

Tabela 5. Valores da inclinação do DIBL em função da temperatura para diferentes valores de  $W_{fin}$ .

| $W_{fin}$ (nm) | modo inversão                                     | sem junção                                        | Diferença |
|----------------|---------------------------------------------------|---------------------------------------------------|-----------|
|                | $\frac{dV_{thf}}{dT} \left( \frac{mV}{K} \right)$ | $\frac{dV_{thf}}{dT} \left( \frac{mV}{K} \right)$ | %         |
| 12             | 0,103                                             | 0,078                                             | 1,32      |
| 22             | 0,139                                             | 0,084                                             | 1,65      |
| 42             | 0,152                                             | 0,090                                             | 1,68      |

Fonte: Autor.

#### 4. RESULTADOS EXPERIMENTAIS

Nesta seção são apresentados os procedimentos e métodos utilizados nas medidas realizadas em função da temperatura para que os melhores resultados pudessem ser obtidos. Em seguida serão apresentados alguns dos parâmetros elétricos que caracterizam os funcionamentos dos nanofios transistores sem junção e modo inversão e as consequências destes quando se variam a temperatura e largura do canal. Com base nos dados obtidos as comparações entre ambos os transistores em relação a algumas das suas características elétricas e, principalmente, a variação do efeito DIBL em relação a temperatura são apresentadas.

O objetivo será, para esta seção, realizar a comparação entre os dispositivos mencionados para auxiliar as possíveis conclusões em relação as vantagens e desvantagens que os nanofios transistores sem junção e modo inversão tenham em relação um ao outro quando forem solicitados para necessidades como diferentes temperaturas e diferentes larguras do canal da estrutura.

Para o estudo experimental foi utilizado o Micro provador de Baixa e altas temperaturas (LTMP) da MMR [57] em conjunto com o analisador de dispositivos semicondutores B1500 da Keysight no laboratório de microeletrônica do Centro Universitário FEI conforme mostra a Figura 28.

Figura 28. Microprovador de temperatura variável localizado no laboratório de microeletrônica do Departamento de Engenharia Elétrica do Centro Universitário FEI.



Fonte: De Souza, 2020.

Na Figura 28 pode-se ver a câmara de vácuo onde é posicionado a amostra a ser medida. Após a aplicação da pasta térmica sob a amostra a ser analisada, com a finalidade de garantir um acoplamento térmico entre ambos, fecha-se a câmara e liga-se a bomba de vácuo conectado ao equipamento. O vácuo garante que o fluxo de calor trocado dentro da câmara onde encontra-se a amostra não seja dissipado pelo ar caso este estivesse presente.

Garantidas todas as etapas mencionadas anteriormente, conectam-se, então, os cabos de sinais do B1500 nos conectores ligados às pontas de prova do LTPM, posicionando-as sobre os contatos do dispositivo em que se deseja realizar as medidas elétricas. O controlador de temperatura pode ser ligado na sequência e se em questão de alguns minutos a temperatura escolhida para as medidas.

Foram programadas uma série de medidas no software presente no B1500 para realizar a extração das curvas  $I_D \times V_G$  para tensões de dreno de  $V_{DS} = 40 \text{ mV}$  e  $V_{DS} = 900 \text{ mV}$ .

A extração das tensões de limiar para os dispositivos operando em triodo e saturação foram idênticas ao método descrito na seção de simulações numéricas tridimensionais. Para a tensão de dreno  $V_{DS} = 40 \text{ mV}$  extraíram-se as curvas  $I_D \times V_G$  e em seguida aplacarem-se as curvas o método da segunda derivada para que o valor do pico, valor em que o dispositivo passa a conduzir corrente, da curva fosse obtido. Com o valor do obtido com o pico da curva checa-se o valor da corrente de dreno correspondente e com esse valor procurar nas curvas  $I_D \times V_G$  do dispositivo operando em saturação o valor da tensão corresponde ao da corrente e, assim, obtém-se o valor da tensão de limiar para a o transistor em modo saturação.

#### 4.1 CARACTERÍSTICAS DOS DISPOSITIVOS MEDIDOS

Os dispositivos utilizados para a realização das medidas experimentais descritas acima, são nanofios transistores nMOSFETS modo inversão e sem junção fabricados pela CEA-Leti, na França. Os dispositivos sem junção foram feitos crescimento epitaxialmente de uma camada de 7 nm de silício dopado com fósforo em uma camada SOI não dopada de 4 nm de espessura [58]. Ambos os transistores possuem 10 canais paralelos com comprimentos de canal de  $L = 40 \text{ nm}$  e  $L = 100 \text{ nm}$ , largura da aleta de silício  $W_{fin}$  de 12 nm, 22 nm e 42 nm, óxido enterrado de 145 nm, altura da aleta de silício ( $H_{fin}$ ) de 9 nm e com formato  $\Omega$ -gate, espessura efetiva do óxido de porta por volta de 1,2nm, ambas as estruturas possuem empilhamento de matérias de porta (*gate Stack*)

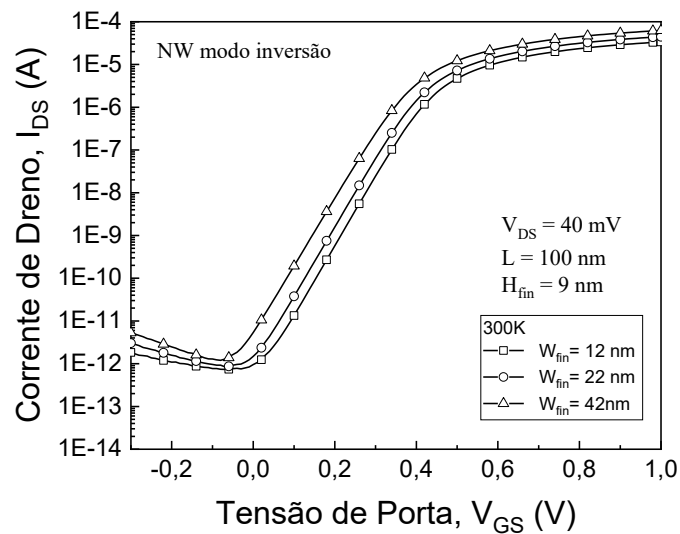
composto por uma camada de 1 nm de Si-SiO<sub>2</sub> interfacial, uma camada de 2,3 nm de CVD HfSiON, uma camada de 5 nm de ALD TiN (nitreto de titânio) e uma camada de 50 nm de silício policristalino.

#### 4.2 RESULTADOS EM TEMPERATURA AMBIENTE

A Figura 29 mostra a curva para nanofios transistores modo inversão polarizados com tensão de dreno de  $V_{DS} = 40$  mV e comprimento de canal  $L = 100$  nm. É possível notar pelos valores da tensão de limiar que o dispositivo entra em modo condução próximo aos 42 mV para o  $W_{fin}$  de 12 nm e que quanto maior é a aleta de silício em sua largura menor é a tensão de limiar do dispositivo.

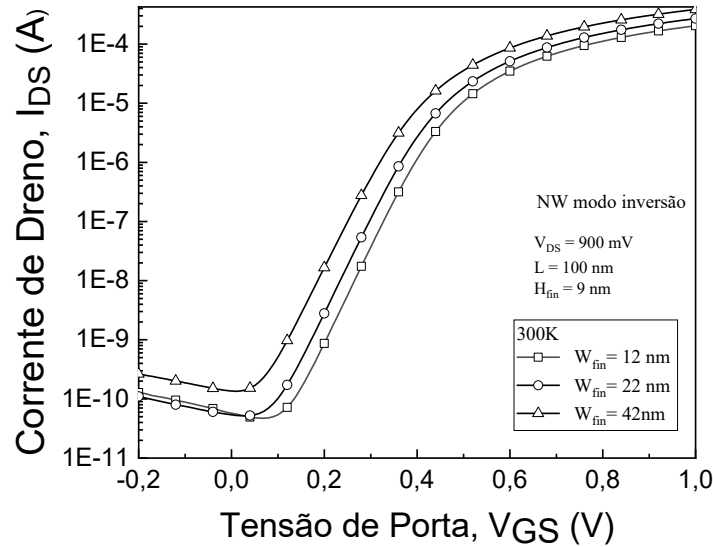
As curvas para mesmo dispositivo descrito acima e polarizado com tensão de dreno de  $V_{DS} = 900$  mV são apresentadas na figura 30. É possível observar as mesmas características da curva anterior, porém com valores um pouco mais baixos para o início da condução, uma vez que o transistor está com uma tensão de dreno alta.

Figura 29. Curva em escala logarítmica da corrente de dreno em função da tensão de porta para nanofios transistores modo inversão.



Fonte: Autor.

Figura 30. Curva em escala logarítmica da corrente de dreno em função da tensão de porta para a tensão de dreno de  $V_{DS} = 900$  mV no nanofio modo inversão.



Fonte: Autor.

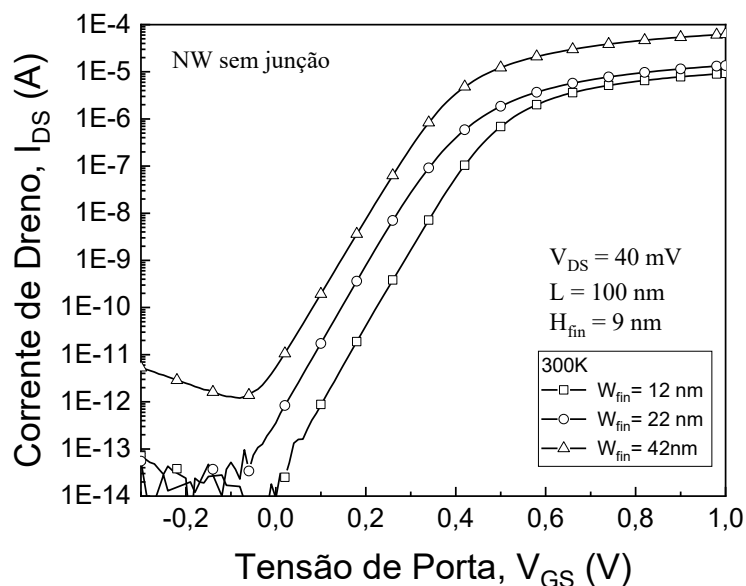
A Figura 31 traz a curva da corrente de dreno em função da tensão de porta para nanofios sem junção polarizados com a tensão de dreno de  $V_{DS} = 40$  mV. Pode -se notar, assim como, nas simulações tridimensionais que as tensões de limiar para estes dispositivos são menores que para os transistores nanofios modo inversão. A diferença entre as tensões de limiar dos dispositivos da Figura 32 em relação a Figura 29 é, por exemplo, de 12,82% para os transistores com  $W_{fin}$  de 12 nm e isso, muito provavelmente, se deve pelo fato de o modo inversão possuir junção entre canal e dreno e fonte e canal. A tabela 6 apresenta as diferenças entre as tensões de limiar para as figuras 32 e 29.

Tabela 6. Diferença, em percentual, do aumento dos valores da tensão de limiar dos transistores nanofios sem junção com relação aos nanofios modo inversão em função do  $W_{fin}$  e polarizados com tensão de dreno de  $V_{DS} = 40$  mV.

|                | modo inversão | sem junção | Percentual |
|----------------|---------------|------------|------------|
| $W_{fin}$ (nm) | mV            | mV         | %          |
| 12             | 0,440         | 0,390      | 12,82      |
| 22             | 0,410         | 0,350      | 17,14      |
| 42             | 0,380         | 0,290      | 31,00      |

Fonte: Autor.

Figura 31. Curva em escala logarítmica da corrente de dreno em função da tensão de porta, oriunda de dados experimentais, para nanofios transistores sem junção com diferentes larguras da aleta de silício polarizados com tensão de dreno de  $V_{DS} = 40$  mV.



Fonte: Autor.

A Figura 32 apresenta as curvas para o mesmo transistor mencionado na Figura 30, porém com uma tensão de dreno de  $V_{DS} = 900$  mV. As tensões de limiar para que o dispositivo comece a operar, de fato, são, por exemplo, 10,13 % acima do que o valor do transistor modo inversão para os  $W_{fin}$  de 12 nm. Esta observação pode ser vista na tabela 7 e demonstra uma menor degradação da tensão de limiar para maiores tensões de dreno nos nanofios transistor sem junção.

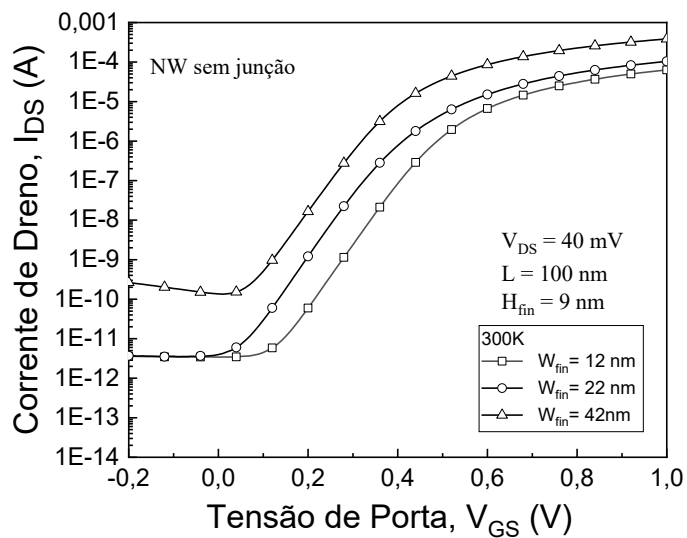
Tabela 7. Diferença, em percentual, da diferença dos valores da tensão de limiar dos transistores nanofios sem junção com relação aos nanofios modo inversão em função do  $W_{fin}$  e polarizados com tensão de dreno de  $V_{DS} = 900$  mV.

|                | modo inversão | sem junção | Percentual |
|----------------|---------------|------------|------------|
| $W_{fin}$ (nm) | mV            | mV         | %          |
| 12             | 0,413         | 0,375      | 10,13      |
| 22             | 0,380         | 0,330      | 15,51      |
| 42             | 0,340         | 0,267      | 27,34      |

Fonte: Autor.

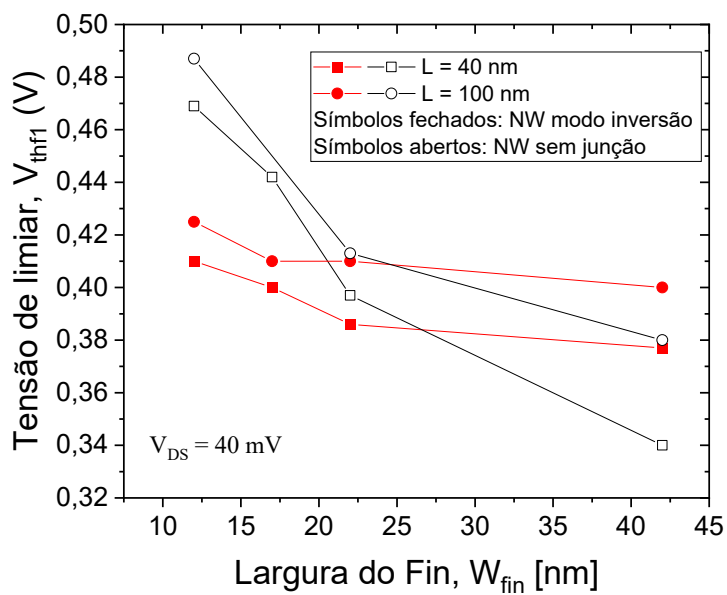
A Figura 33 mostra a curva da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para nanofios transistores sem junção e modo inversão polarizados com tensões de dreno  $V_{DS} = 40$  mV. É possível observar por esta figura que com a diminuição da largura  $W_{fin}$ , a tensão de limiar aumenta, tanto para transistores com o comprimento de canal de  $L = 40$  nm e  $L = 100$  nm. No entanto, os transistores modo inversão tem menor tensão de limiar quando comparado com os nanofios sem junção e sofrem menor variação da tensão de limiar quando influenciados pela variação da largura da aleta de silício.

Figura 32. Curva em escala logarítmica da corrente de dreno em função da tensão de porta, oriunda de dados experimentais, para nanofios transistores sem junção com diferentes larguras da aleta de silício polarizados com tensão de dreno de  $V_{DS} = 900 \text{ mV}$ .



Fonte: Autor.

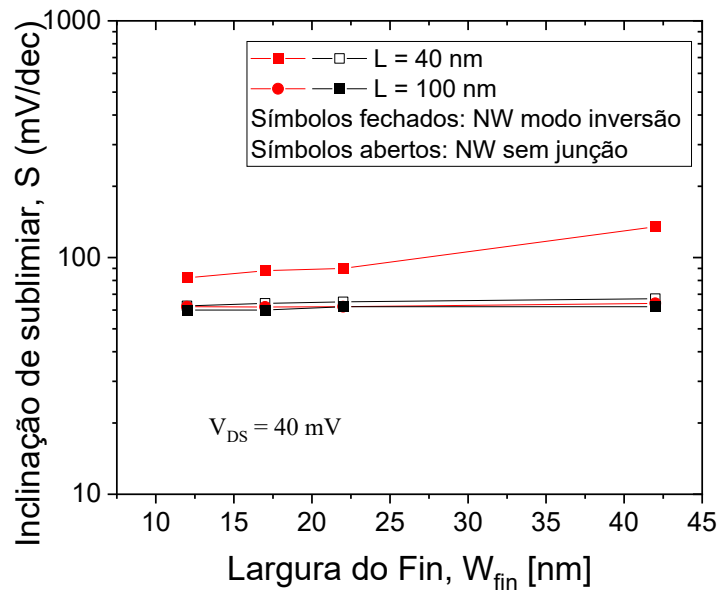
Figura 33. Curva, em escala linear, da tensão de limiar em função das diferentes larguras da aleta de silício para nanofios transistores sem junção e modo inversão polarizados com tensões de dreno  $V_{DS} = 40 \text{ mV}$ .



Fonte: Autor.

A Figura 34 mostra a inclinação de sublimiar em função da largura da aleta de silício para nanofios transistores sem junção e modo inversão polarizado com tensão de dreno  $V_{DS} = 40$  mV. Esta figura traz como informação que a inclinação de sublimiar apresenta valores próximos ao limite teórico, 60 mV/dec, para os dispositivos com comprimento de canal de  $L = 100$  nm. Com a redução do comprimento do canal para  $L = 40$  nm nota-se a degradação sofrida pelo S, porém apenas para o nanofio modo inversão que passa a apresentar uma inclinação de sublimiar maior que 82 mV/dec.

Figura 34. Curva, em escala linear, da tensão de sublimiar para nanofios transistores sem junção e modo inversão polarizado com tensão de dreno  $V_{DS} = 40$  mV.

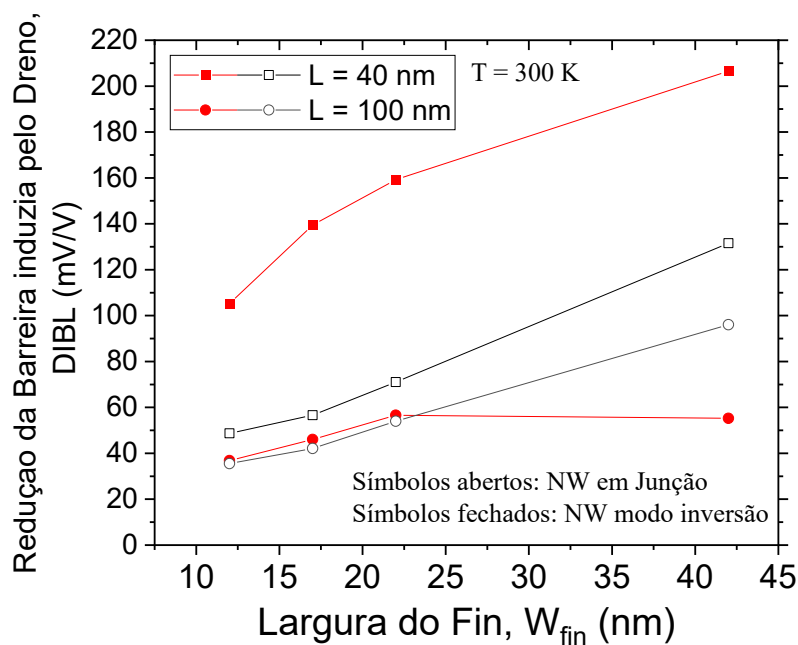


Fonte: Autor.

Por fim, a Figura 35 mostra a curva do DIBL para os nanofios transistores modo inversão e sem junção com os comprimentos de canal de  $L = 40$  nm e  $L = 100$  nm. Pode-se notar pela figura que para o comprimento de canal de  $L = 40$  nm a degradação sofrida pela tensão de limiar contribui para um pior DIBL em nanofios modo inversão e que para o  $W_{fin} = 22$  nm o DIBL é muito próximo para ambos os transistores. Levando-se em conta características elétricas “aceitáveis” para os dispositivos, como  $DIBL = 100$  mV/V e  $S = 80$  mV/dec [58], estariam dentro destas especificações os nanofios junctionless, exceto para os que possuem comprimento de canal de  $L = 40$  nm e  $W_{fin} =$

42 nm. Já para os nanofios modo inversão atenderiam todos com o comprimento de canal de  $L = 100\text{nm}$ , porém nenhum (IM) de comprimento de canal de  $L = 40\text{ nm}$  preenchem os requisitos considerados razoáveis. Por mais que o DIBL fosse aumentado para  $120\text{ mV/V}$ , o transistor modo inversão com comprimento de canal de  $L = 40\text{nm}$  seriam os únicos aceitáveis, reforçando a maior suscetibilidade aos efeitos de canal curto em nanofios transistores modo inversão em relação aos transistores sem junção.

Figura 35. Curva, em escala linear, do DIBL em função das diferentes larguras da aleta de silício para os nanofios transistores modo inversão e junctionless com os comprimentos de canal de  $L = 40\text{nm}$  e  $L = 100\text{nm}$ .

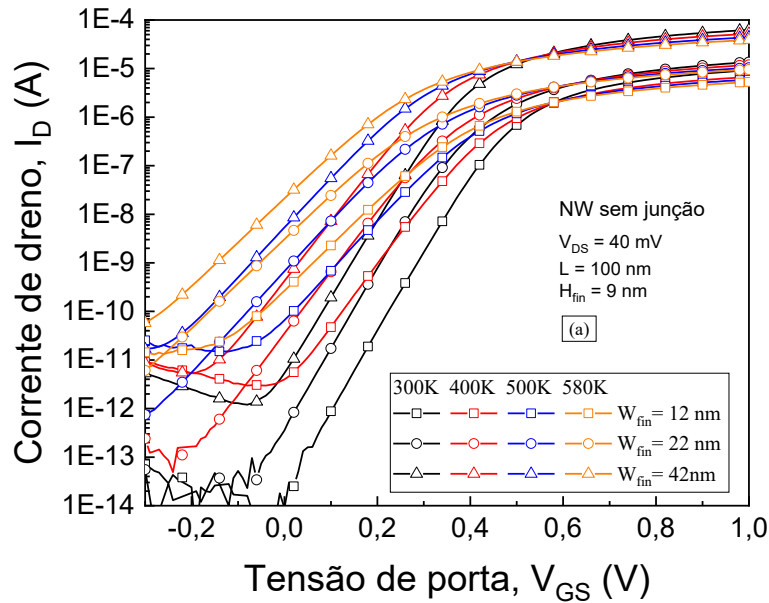


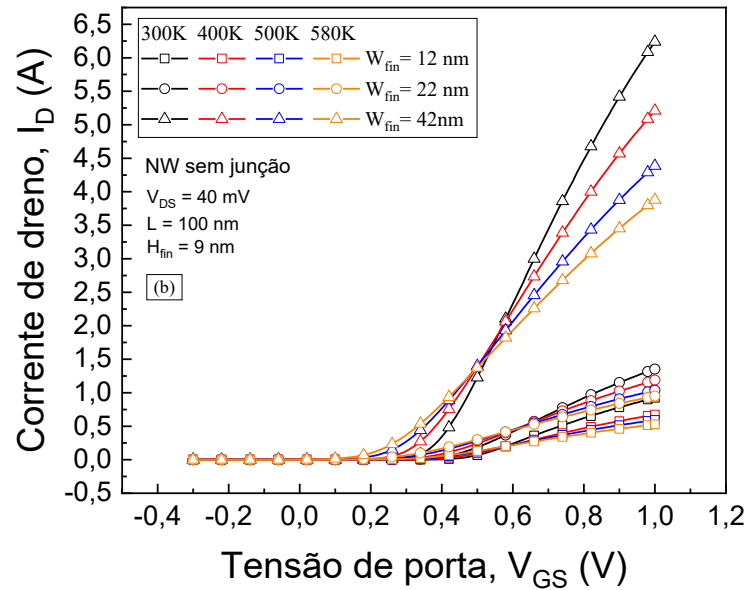
Fonte: Autor.

## 4.2 RESULTADOS EM ALTAS TEMPERATURAS

As curvas da corrente de dreno em função da tensão de porta para nanofios transistores sem junção polarizados com tensão de dreno de  $V_{DS} = 40$  mV para as temperaturas de 300K, 400K, 500K e 580 K são apresentadas pela Figura 36. Assim como, as curvas obtidas pela simulação tridimensional, Figura 16 e 17, há uma redução da tensão de limiar conforme a temperatura dos dispositivos é elevada. Com o aumento da temperatura as curvas passam a se deslocar para o lado negativo do eixo da tensão de porta, ou seja, a tensão de limiar está diminuindo com o aumento da temperatura e a inclinação das curvas de corrente de dreno também, indicando um aumento do inverso da inclinação de sublimiar.

Figura 36. Curva da corrente de dreno em função da tensão de porta para nanofios transistor sem junção com diferentes  $W_{fin}$  e polarizado com tensão de dreno  $V_{DS} = 40$  mV para 300 K, 400 K, 500 K e 580 K, (a) escala logarítmica e (b) escala linear.





Fonte: Autor

A figura 37 apresenta as curvas da corrente de dreno em função da tensão de porta polarizados com tensão de dreno de  $V_{DS} = 40$  mV para as temperaturas de 300 K, 400 K, 500 K e 580 K. Nestas curvas observam-se o mesmo comportamento e características analisados anteriormente na figura 36 e nas simulações tridimensionais em que as tensões de limiar dos transistores sem junção são menores que os nanofios modo inversão como mostra a tabela 8.

Tabela 8. Valor em percentual (c) do quanto as tensões de limiar dos nanofios transistores sem junção (a) são menores em relação ao modo inversão (b) para os  $W_{fin} = 12\text{nm}$ ,  $22\text{nm}$  e  $44\text{nm}$ , para as temperaturas de 300 K, 400 K, 500 K, 580 K e  $V_{DS} = 40\text{ mV}$ .

(a)

| T (K) | 12 (nm)    | 22 (nm)    | 42 (nm)    |
|-------|------------|------------|------------|
| 300   | 0,375 (mV) | 0,330 (mV) | 0,267 (mV) |
| 400   | 0,340 (mV) | 0,293 (mV) | 0,238 (mV) |
| 500   | 0,297 (mV) | 0,240 (mV) | 0,163 (mV) |
| 580   | 0,244 (mV) | 0,196 (mV) | 0,100 (mV) |

(b)

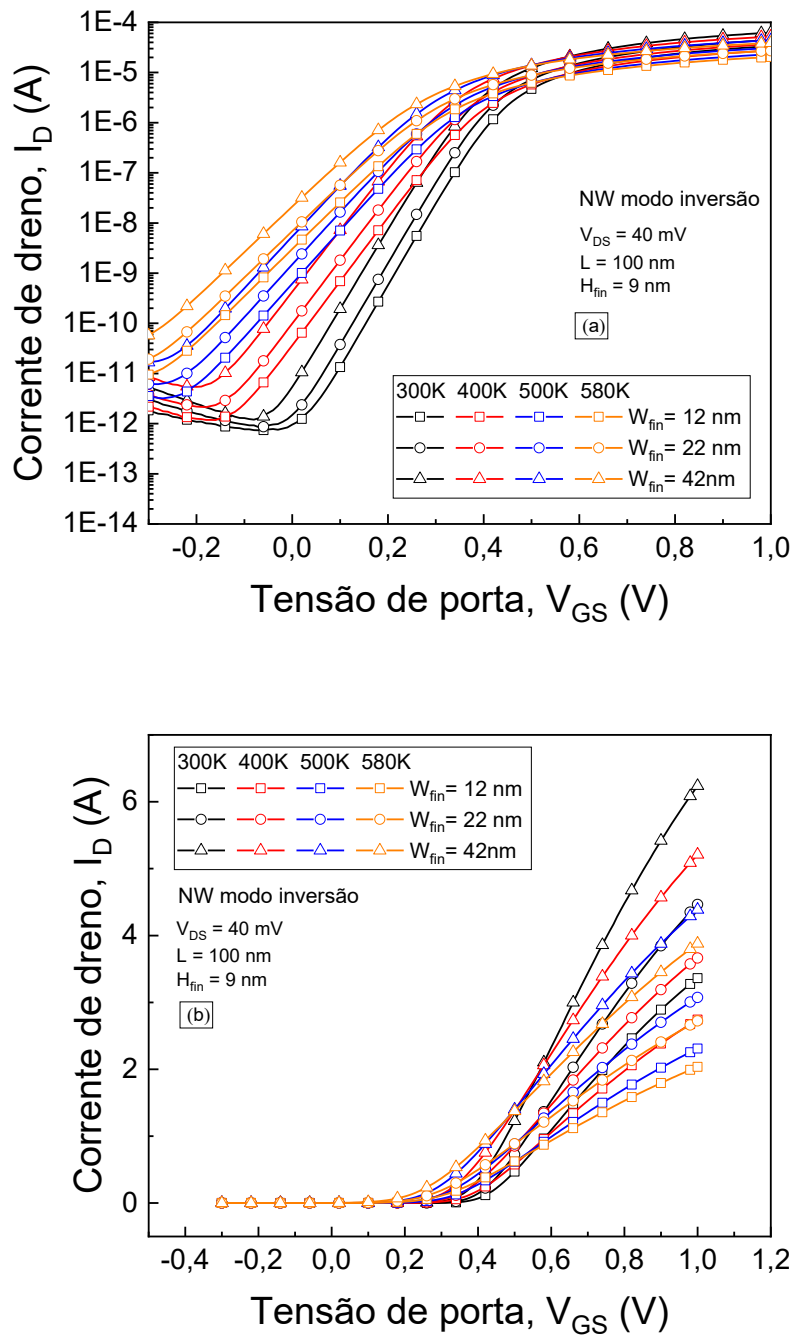
| T (K) | 12 (nm)    | 22 (nm)    | 42 (nm)    |
|-------|------------|------------|------------|
| 300   | 0,440 (mV) | 0,410 (mV) | 0,380 (mV) |
| 400   | 0,400 (mV) | 0,370 (mV) | 0,340 (mV) |
| 500   | 0,350(mV)  | 0,310 (mV) | 0,280 (mV) |
| 580   | 0,320 (mV) | 0,270 (mV) | 0,220 (mV) |

(c)

| T (K) | 12 (nm) | 22 (nm) | 42 (nm)  |
|-------|---------|---------|----------|
| 300   | 17,33 % | 24,24 % | 42,32 %  |
| 400   | 17,64%  | 26,27 % | 42,85 %  |
| 500   | 17,84 % | 29,16 % | 71,77 %  |
| 580   | 31,14 % | 37,75 % | 120,00 % |

Fonte: Autor.

Figura 37. Curva da corrente de dreno em função da tensão de porta para nanofios transistor modo inversão com diferentes  $W_{fin}$  e polarizado com tensão de dreno  $V_{DS} = 40$  mV para 300 K, 400 K, 500 K e 580 K, (a) escala logarítmica e (b) escala linear.

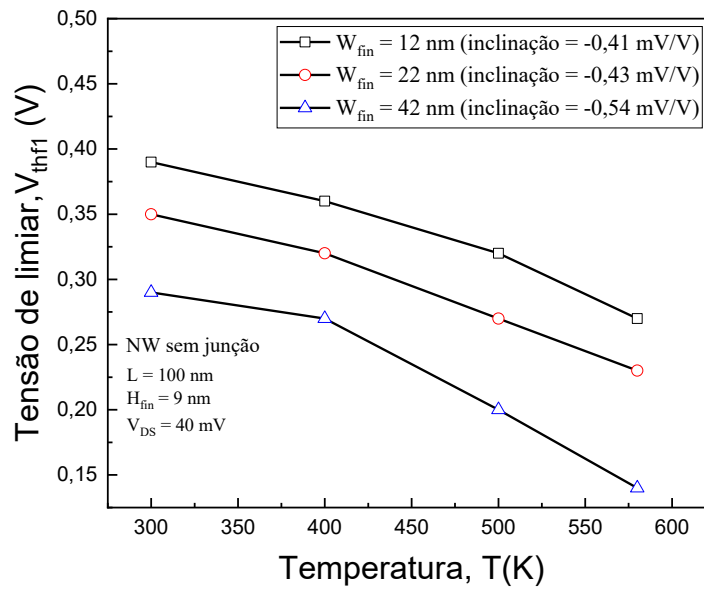


Fonte: Autor.

As figuras 38 e 39 trazem a curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção e modo inversão polarizados com  $V_{DS} = 40$  mV respectivamente. Conforme já observado e demonstrado anteriormente pela Tabela 2, quanto maior a temperatura menor será a tensão de limiar devido a redução do potencial de Fermi ( $\phi_F$ ).

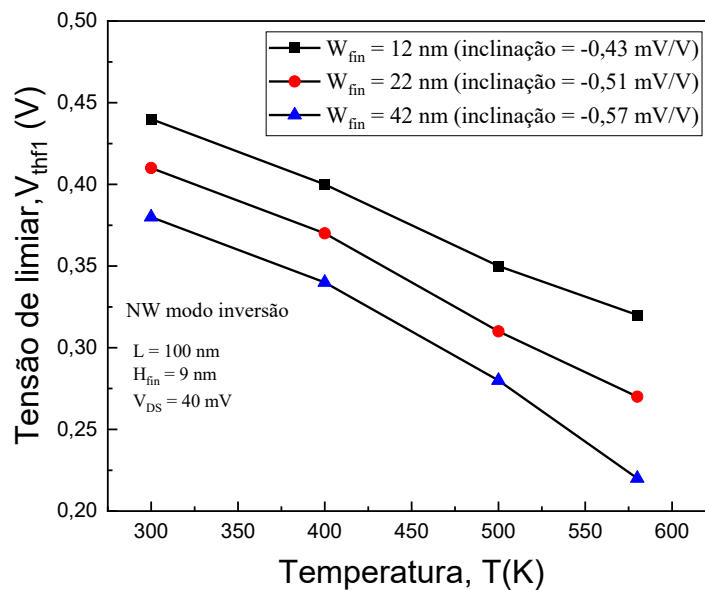
Embora os nanofios transistores sem junção possuam maior valor para a tensão de limiar do que os transistores modo inversão, a dependência dos dispositivos sem junção com a temperatura é menor. Para os dispositivos modo inversão com  $W_{fin} = 12$  nm, a inclinação,  $|dV_{TI}/dT|$ , é 0,43 mV/V enquanto para os transistores sem junção a inclinação é apenas de 0,41 mV/V, ou seja, 4,87 % menor como mostra a tabela 9.

Figura 38. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com  $V_{DS} = 40$  mV.



Fonte: Autor.

Figura 39. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com  $V_{DS} = 40$  mV.



Fonte: Autor

A Tabela 5 mostra o valor de  $dV_{thf} / dT$  e o aumento percentual desta variação nos transistores modo inversão em relação ao sem junção os transistores  $W_{fin} = 12$  nm, 22 nm e 42 nm e  $V_{DS} = 40$  mV.

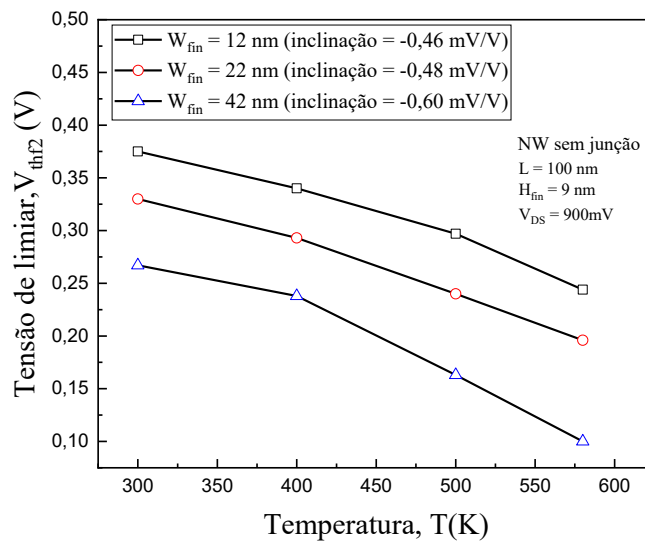
Tabela 9. Valor, em percentual, diferença da inclinação da reta da tensão de limiar dos nanofios transistores modo inversão em relação ao sem junção para os  $W_{fin} = 12$  nm, 22 nm e 42 nm, para as temperaturas de 300 K, 400 K, 500 K, 580 K e  $V_{DS} = 40$  mV.

|           | modo inversão                                     | sem junção                                        |                |
|-----------|---------------------------------------------------|---------------------------------------------------|----------------|
| $W_{fin}$ | $\frac{dV_{thf}}{dT} \left( \frac{mV}{V} \right)$ | $\frac{dV_{thf}}{dT} \left( \frac{mV}{V} \right)$ | Aumento em (%) |
| 12 (nm)   | -0,43                                             | -0,41                                             | 4,87           |
| 22 (nm)   | -0,51                                             | -0,43                                             | 18,60          |
| 42 (nm)   | -0,57                                             | -0,54                                             | 5,55           |

Fonte: Autor.

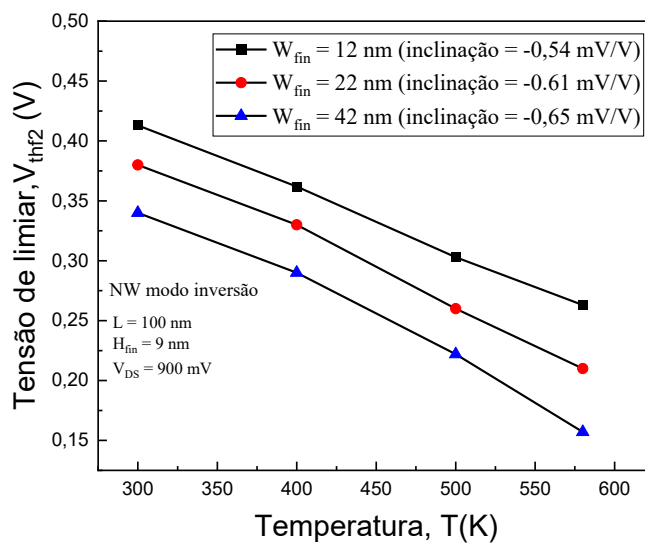
As figuras 40 e 41 mostram a curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção e modo inversão, respectivamente, polarizados com  $V_{DS} = 900$  mV. Na condição de saturação pode-se observar pelas figuras que, conforme a tensão de dreno aumenta a tensão de limiar diminui, indicando uma redução na barreira do potencial na junção fonte-dreno [59]. Pode -se observar, também pelas figuras 42, 43, 44 e 45, assim como, observado nas simulações tridimensionais que o nanofio transistor sem junção sofre maior efeito da redução da tensão de limiar quando comparado a largura da aleta de silício, tanto para o modo de operação tródo quanto à saturação, diferente do transistor modo inversão que sofre mais variações em função da temperatura.

Figura 40. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores sem junção polarizados com  $V_{DS} = 900$  mV.



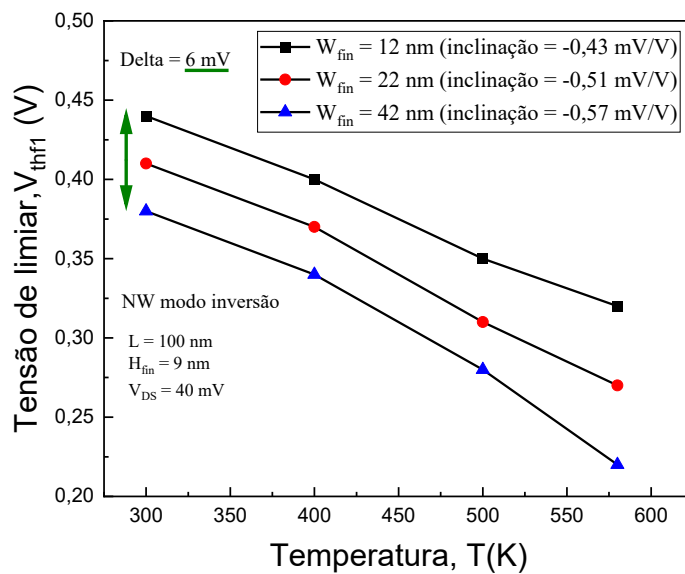
Fonte: Autor.

Figura 41. Curva, em escala linear, da tensão de limiar em função da temperatura para diferentes larguras da aleta de silício para os nanofios transistores modo inversão polarizados com  $V_{DS} = 900$  mV.



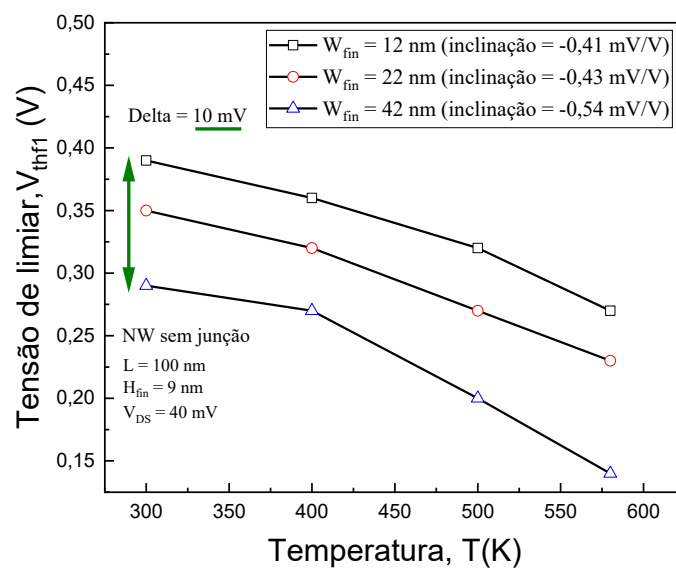
Fonte: Autor.

Figura 42. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com  $V_{DS} = 40$  mV.



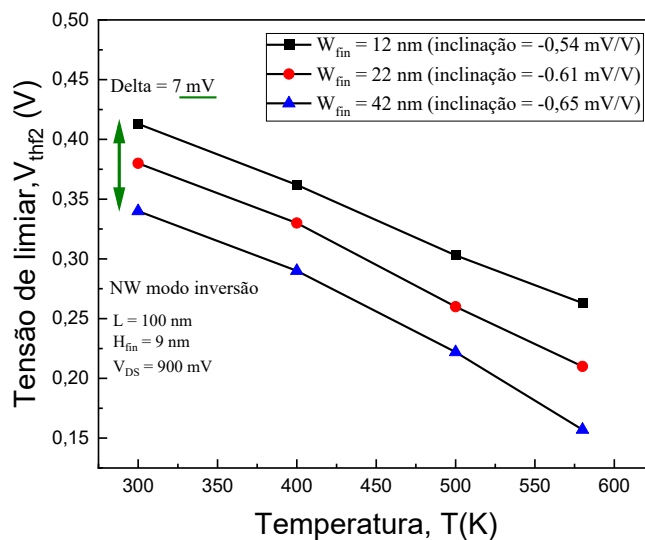
Fonte: Autor.

Figura 43. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com  $V_{DS} = 40$  mV.



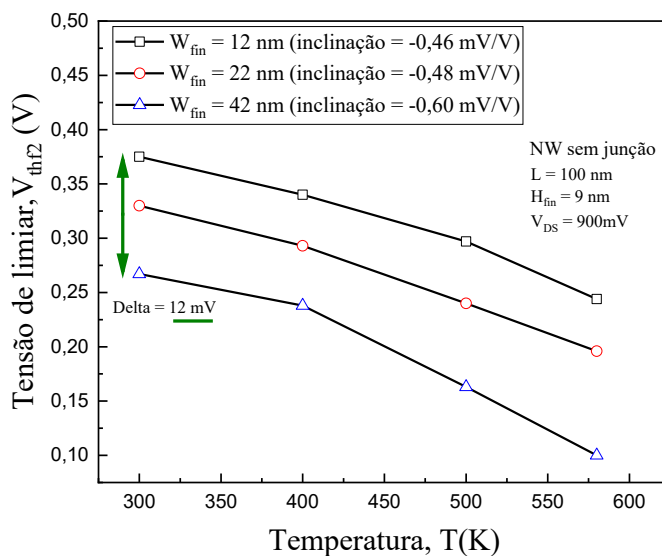
Fonte: Autor.

Figura 44. Variação de dois pontos da tensão de limiar dos nanofios modo inversão em função da largura da aleta de silício polarizados com  $V_{DS} = 900$  mV.



Fonte: Autor.

Figura 45. Variação de dois pontos da tensão de limiar dos nanofios sem junção em função da largura da aleta de silício polarizados com  $V_{DS} = 900$  mV.

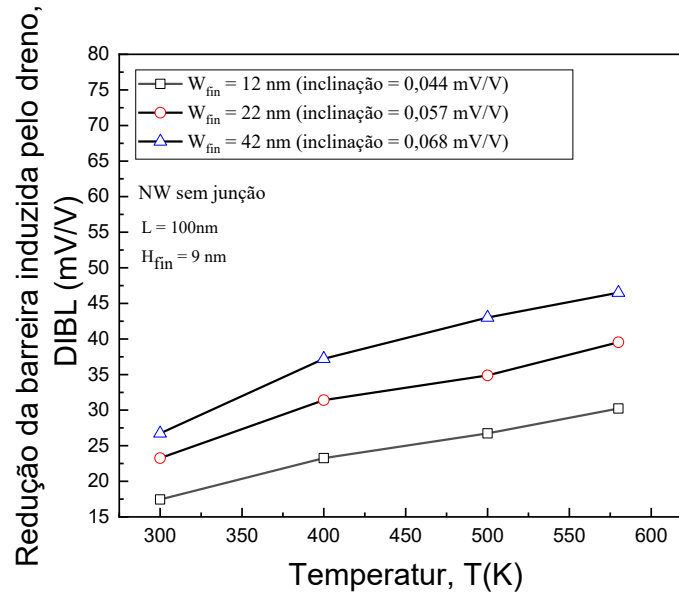


Fonte: Autor.

As figuras 46 e 47 mostram a curva, em escala linear, do DIBL em função da temperatura para diferentes larguras da aleta de silício para nanofios transistores sem junção e modo inversão

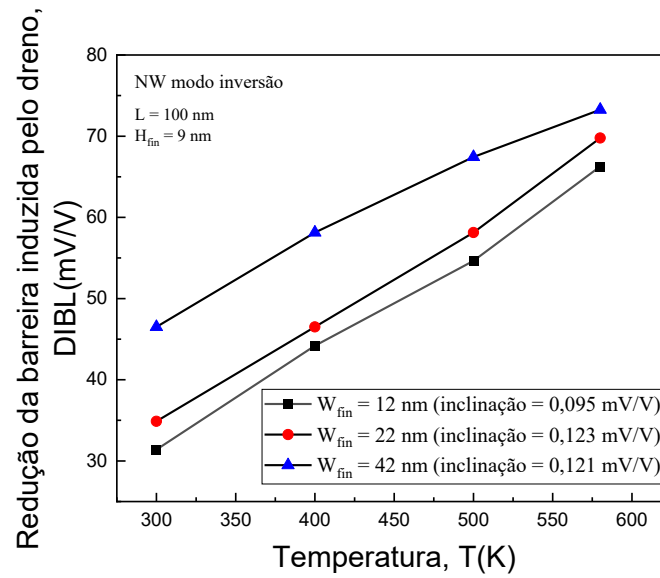
respectivamente. Pode-se notar a partir dos resultados apresentados, que os nanofios transistores sem junção apresentam um menor valor do efeito DIBL, assim como demonstrado nas figuras 26 e 27 das simulações tridimensionais, do que os dispositivos do modo inversão à temperatura ambiente de 300 K. Levando-se em conta a variação do efeito DIBL em função da temperatura os transistores modo inversão apresentam maiores variações e uma maior inclinação de reta,  $dDIBL/dT$ , do que o nanofio sem junção. Mostra-se como exemplo, o transistor modo inversão com  $W_{fin} = 12$  nm que apresentou taxa de variação do DIBL 115 % maior que o nanofio transistor sem junção.

Figura 46. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de dados experimentais, para nanofios transistores sem junção.



Fonte: Autor.

Figura 47. Curva, em escala linear, do efeito DIBL em função da temperatura para diferentes larguras da aleta de silício, oriunda de dados experimentais, para nanofios transistores modo inversão.



Fonte: Autor.

## 5. CONCLUSÕES

Este trabalho apresenta um estudo comparativo do efeito DIBL nos nanofios transistores SOI MOS de efeito de campo nas estruturas modo inversão e junctionless (sem junções) em função da variação da temperatura. O principal objetivo deste trabalho é analisar a variação do efeito DIBL em função da variação da temperatura, 300 K, 400 K, 500 K e 580 K, para diferentes larguras de canal.

Com base nos dados apresentados pode-se concluir que os transistores nanofios modo inversão e sem junção sofreram uma degradação da tensão de limiar tanto pelo aumento da aleta de silício quanto pelo aumento da temperatura em ambos os modos, modo triodo e modo saturação, de operação. Porém a temperatura e a largura da aleta de silício não são os únicos fatores que podem degradar um transistor. Como visto na teoria apresentada, o aumento da corrente de dreno, a modulação do comprimento do canal, a corrente de sublimiar e a redução da mobilidade também contribuem para que haja uma degradação no modo de operação de ambos os transistores apresentados.

A partir dos dados, gráficos contidos nas figuras, tabelas e os resultados apresentados por meio das simulações tridimensionais e dados experimentais, pode-se concluir que os transistores nanofios modo inversão são mais suscetíveis à piora do efeito DIBL do que os transistores sem junção quando variado a temperatura e a largura da aleta de silício. Isto se deve ao fato de os transistores modo inversão possuírem em sua estrutura a junção PN, isto é, devido a aproximação das regiões de depleção das junções PN entre dreno - canal e fonte - canal, parte das cargas da região de depleção localizadas abaixo da porta passam a ser controladas pelas junções PN, fazendo com que a porta perca o controle total sobre a região de depleção mencionada, resultando na diminuição da tensão de limiar devido à redução da barreira induzida pelo dreno. Outro fenômeno que também contribuiu para a piora do efeito DIBL e que foi estudado e apresentado neste trabalho foi a temperatura e a modulação da largura da aleta de silício. A temperatura influencia diretamente o potencial de Fermi devido à dependência de Fermi com a temperatura proveniente da concentração intrínseca de portadores, isto é, com o aumento da temperatura a geração termiônica de portadores intrínsecos torna-se mais presente, degradando a tensão de limiar dos transistores.

Os resultados apresentados mostram que os nanofios transistores sem junção são mais imunes ao efeito DIBL que os nanofios transistores modo inversão. Ao analisar os valores obtidos para

o efeito DIBL ao longo das diferentes temperaturas e larguras da aleta de silício, notou-se uma menor inclinação das retas em função das temperaturas. Estas inclinações de retas mostram que os nanofios modo inversão sofreram uma piora de 115,00 %, 115,78 % e 77,94 % para os  $W_{fin} = 12$  nm,  $W_{fin} = 22$  nm e  $W_{fin} = 42$  nm respectivamente. Os transistores nanofios sem junção por não possuírem a junção PN em sua estrutura apresentam vantagem aos dispositivos modo inversão em relação a perda do controle eletrostático da porta sobre os portadores, isto, garante que a modulação do comprimento do canal e da largura do canal sejam intensificadas nesses transistores uma vez que a interação entre o campo eletrostático presente no dreno com o aumento da corrente não perturbará o controle eletrostático do canal pela porta com a mesma proporção sofrida pelo modo inversão.

Apesar dos transistores nanofios sem junção possuírem uma maior variação da tensão de limiar em função da largura da aleta de silício, quando submetidos a altas temperaturas os efeitos sofridos pelos transistores modo inversão foram maiores em relação aos sofridos pelos nanofios sem junção, 18,68% maior para o  $W_{fin} = 22$  nm, por exemplo. Isto, reforça a análise de que os nanofios sem junção são menos suscetíveis à variação do efeito DIBL com a temperatura. Além disso, a menor variação do potencial de Fermi nos transistores nanofios sem junção devido ao logaritmo da concentração intrínseca ser dependente da largura da faixa proibida que é menor nos nanofios sem junção graças a maior concentração de dopantes que torna os níveis de Fermi mais próximos da banda de condução justifica o fato de os nanofios modo inversão serem mais suscetíveis ao aumento da temperatura.

## 6. TRABALHOS FUTUROS

As possíveis continuações para este trabalho podem ser destacadas pelas seguintes:

- Realizar o estudo do efeito DIBL em função das baixas temperaturas.
- Inclusão da análise do aumento da altura da aleta de silício.
- Análise de variáveis internas dos dispositivos utilizando o simulador.
- Uma ampliação do estudo realizado analisando a influência da mobilidade em função da temperatura, analisando a influência da altura e largura da aleta de silício em conjunto com o comprimento do canal para temperaturas criogênicas.

## **7. PUBLICAÇÃO DE ARTIGOS EM CONFERÊNCIAS INTERNACIONAIS**

R. Pizzanelli, R. R. Prates, M. A. Pavanello and M. de Souza. Comparison of Width and Temperature Influence on DIBL Effect in Junctionless and Inversion Mode Nanowire MOSFETs, 243rd ECS Meeting with the 18th International Symposium on Solid Oxide Fuel Cells (SOFC-XVIII): Boston, MA, April, 2023.

## 8. REFERÊNCIAS

- [1] Moore, G. E. "**CRAMMING MORE COMPONENTS ONTO INTEGRATED CIRCUITS**", ELECTRONICS, VOL. 38, No. 8, APRIL 1965
- [2] Moore, G. E. **PROGRESS IN DIGITAL INTEGRATED ELECTRONICS**. IEDM DIGEST OF TECHNICAL PAPERS, p. 11-13, 1975.
- [3] Colinge, J. P. **FinFETs and Other Multi-Gate Transistors**. [s.l.] Springer, 2008
- [4] Intel Corporation. Intel 14nm Technology. 2022. Disponível em:  
<https://www.intel.com.br/content/www/br/pt/silicon-innovations/intel-14nm-technology.html>.
- [5] Hellemans. A. **RING AROUND THE NANOWIRE**, SPECTRUM.IEEE.ORG, MAY 2013. (IEEE XPLORE FULL-TEXT PDF:)
- [6] B. SALHI, M. K., et al " **NANOWIRES: A NEW PATHWAY TO NANOTECHNOLOGY-BASED APPLICATIONS**, " SPRINGER SCIENCE+BUSINESS MEDIA NEW YORK, 2016.
- [7] Mahto, S. S, et al. **DIBL IN SHORT CHANNEL STRAINED-SI N-MOSFET**. 15TH INTERNATIONAL SYMPOSIUM ON THE VOLUME. P. 1-4, 2008.
- [8] Oleg Kononchuk, Bich-Yen Nguyen. **Silicon-On-Insulator (SOI) Technology Manufacture and Applications**: Woodhead Publishing is an imprint of Elsevier 80 High Street, Sawston, Cambridge, CB22 3HJ, UK 225 Wyman Street, Waltham, MA 02451, USA Langford Lane, Kidlington, OX5 1GB, UK Copyright © 2014 Elsevier Ltd.
- [9] Colinge, J.P. **Silicon-On-Insulator Technology**: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004
- [10] Departament of Electrical and Computer Engineering, The University of Texas at Austin. SOI Technology, Packaging. VLSI Design Fall 2020. J. A. Abraham, November 17, 2020.
- [11] Krull, W. A.; LEE, J. C. **Proceeding SOS/SOI Technology Workshop**, 1989. p. 69.
- [12] Sze, S.M.; Physics of semiconductor devices, 3<sup>rd</sup> Ed. New York (EUA): John Wiley and Sons, 2007.
- [13] Young, K. K. **Short-channel effect in fully depleted SOI MOSFETs**. IEEE Transactions on Electron Devices, 1989. v. 36, n. 3, p. 504-506.
- [14] Colinge, J. P. **Fully-Depleted SOI CMOS for Analog Applications**. IEEE Transactions on Electron Devices, 1998. v. 45, n.5, p. 1010-1016.
- [15] Cao, M., et al. **0.18- $\mu$ m Fully Depleted Silicon-On-Insulator MOSFETs**. IEEE Electron Device Letters, 1997. v. 18, n. 6.
- [16] Sherony, M. J., et al. **SOI MOSFET Effective Channel Mobility**. IEEE Transactions on Electron Devices, 1994. v. 41, n. 2.
- [17] Vandana B. **Study of Floating Body Effect in SOI Technology**. International Journal of Modern Engineering Research (IJMER), 2013. V.3, p. 1817-1824.

- [18] Colinge, J.P.; **Physics of semiconductor devices**, 1<sup>st</sup> Ed. New York (EUA): Kluwer Academic Publishers, 2002.
- [19] Lim, H. K.; J. G. Fossum. Threshold voltage of thin-film Silicon-on Insulator (SOI) MOSFETs. *IEEE Transactions on Electron Devices*, 1983. V. 30, n.10, p.1244-1451.
- [20] Isabela Merath., et al. **STUDY OF pMOS/nMOS SOI MuGFETs USING 2D NUMERICAL SIMULATIONS AND ELECTRICAL CHARACTERIZATION**. SBMicro. Volume 11 – NUMERO 1 -2011. Microelectronics Students Forum 2011. August 30<sup>th</sup> to September 2<sup>nd</sup>, 2011. Joao Pessoa, PB – Brazil.
- [21] Tawseef A, et. al. **Study of Short Channel Effects in n-FinFET Structure for Si, GaAs, GaSb and GaN Channel Materials**. *Journal of Nano- and Electronic Physics*. Vol7 No3, 03010(5pp), 2015.
- [22] JiangTao Qu, et. al. **Study of Drain Induced Barrier Lowering (DIBL) Effect for Strained Si nMOSFET**, International Workshop on Automobile, Power and Energy Engineering. Pp 298-305, 2011.
- [23] A.S.N Pereira, et. al. **Analysis and Modelling of Temperature Effect on DIBL in UTBB FD SOI MOSFETs**. EUROSOI-ULIS, 2016.
- [24] Charu Gupta, et. al. **Impact of Hot-Carrier Degradation on Drain-Induced Barrier Lowering in Multifin SOI n-Channel FinFETs With Self-Heating**, *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 67, NO.5, 2020.
- [25] Colinge, J.P, James C. Greer. **Nanowire Transistors Physics of Devices and Materials in One Dimension**. Cambridge University Press, 2016.
- [26] Sekigawa T., Hayashi Y. **Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate**. *Solid-State Electronics*. Vol.27. p.827-828.1984.
- [27] Hisamoto, et. Al. **A fully depleted lean-channel transistor (DELTA) – a novel vertical ultra thin SOI MOSFET**. *IEEE Electron Device Letters*. Pp.36-38. 1990.
- [28] <https://www.britannica.com/technology/nanowire>, Encyclopedia Britannica.
- [29] Richard G. Hoobs, et. al. **Semiconductor Nanowire Fabrication by Bottom-Up and Top-Down Paradigms**. [dx.doi.org/10.1021/cm300570n](https://doi.org/10.1021/cm300570n) | *Chem. Mater.* 2012, 24, 1975–199.
- [30] Wei Lu, Member, IEEE, Ping Xie, and Charles M. Lieber. **Nanowire Transistor Performance Limits and Applications**, *IEEE Transactions on Electron Devices*, Vol. 55, No. 11, November 2008.
- [31] Florides, M.F. **Silicon Nanowires and their Applications**, Engineering Study Project, UNIVERSITY OF NEWCASTLE UPON TYNE, Copyright © 2010, Michalis Florides.
- [32] Samsung Electronics. **Samsung Electronics realiza cerimonia de envio de produção em massa de 3 nanofundições**. 2022. Disponível em: <https://news.samsung.com.kr>. Acesso em: 3 maio. 2023.
- [33] Chan-Hoon Park, et. al. **Comparative Study of Fabricated Junctionless and Inversion-mode Nanowire FETs**, 69th Device Research Conference, 12 September 2011.
- [34] Amin, S. I., SARIN, R. K. **Junctionless transistor a review**. Third International Conference on Computational Intelligence and Information Technology. CIIT 2013.

- [35] Colinge, J.P, et al, **SOI Gated Resistor: CMOS without Junctions**". IEEE International SOI Conference. 2009.
- [36] Lilienfeld, J. E. **Method and Apparatus for Controlling Electric Current**. US patent 1745175. 1925.
- [37] Colinge, J.P, **Nanowire Transistors Without Junctions**. Tyndall National Institute University College Cork. "*Nature Nanotechnology*" - Vol. 5, no.3, p. 225-229. 2010.
- [38] Trevisoli, R. D. et al, **Threshold Voltage in Junctionless Nanowire Transistors, Semiconductor Science and Technology**, Vol. 26, 105009, 2011.
- [39] Dae-Young JeonSo, et. al. **Series resistance in different operation regime of junctionless transistors**. Solid-State Electronics, Volume141, March 2018, Pages 92-95.
- [40] Arian Nowbahari., Avisek Roy, Luca Marchetti, **Junctionless Transistors: State-of-the-Art**. Microsystem Department (IMS), University of South Eastern Norway, Campus Vestfold, 3184 Borre, Norway.2020.
- [41] Colinge, J.P., **A Simulation Comparison between Junctionless and Inversion- Mode MuGFETs**, ECS Transactions. vol. 35, n. 5, pp. 63- 72, 2011.
- [42] D.-Y, Jeon., et al. **Behavior of subthreshold conduction in junctionless transistors**. Solid State Electronics, Vol.124. pp. 58-63. 2016.
- [43] K. K. Young, **Short-channel effect in fully depleted SOI MOSFETs**. IEEE Transactions on Electron Devices, 1989. v. 36, n.2, p.399-402
- [44] R. H. Yan; Ourmazd, A.; K. F. Lee. **Scaling the si MOSFET: from bulk to SOI to Bulk**. IEEE Transactions on Electron Devices, v. 39, n. 7, p.1704-1710, 1992
- [45] W. Xiong., et. al. **Corner Effect in Multiple-Gate SOI MOSFETs**. In: SOI Conference IEEE international. p. 111-113, 2003.
- [46] R. K. Kirschman, **Low-Temperature Electrons**. IEE Circuits and Devices Megazine, v. 6, n. 2 p.12-24, 1990.
- [47] F. Serra Di Santa Maria. et al. **Low temperature behavior of FD-SOI MOSFETs from micro- to nano-meter channel lengths**. IEEE 14th Workshop on Low Temperature Electronics (WOLTE), 2021.
- [48] Neha Goel, Ankit Tripathi. **Temperature effects on Threshold Voltage and Mobility for Partially Depleted SOI MOSFET**, Internal Journal of Computer Applications, v. 42, No21, March 2012.
- [49] Arnout Beckers, Farzan Jazaeri, Christian Enz. **Theoretical Limit of Low Temperature Subthreshold Swing in Field-Effect Transistors**. IEEE ELECTRON DEVICES LETTERS, VOL.41, NO.2, 2020.
- [50] Reggiani, S., et al. "**Surface mobility in silicon at large operating temperature**." Simulation of Semiconductor Processes and Devices, 2002. SISPAD 2002. International Conference on. IEEE, 2002.
- [51] Jitty Jose., et al. **Analysis of Temperature Effect on MOSFET Parameter using MATLAB**, Electronics and communication Engineering, Saintgits College of Engineering, Kottayam India, 2016 IJEDR, Volume 4, Issue3.

- [52] J. S. T. Souza, N. C. A. de Sousa, **Temperature influence on mobility and charge density model of photovoltaic cells**. Universidade Federal do Oeste da Bahia, Multidisciplinar de Bom Jesus da Lapa Bom Jesus da Lapa, BA, Brasil. Revista Brasileira de Ensino de Física, vol. 41, nº 3, e20180272 (2019).
- [52] Neil. W, Harris. D, and Banerjee. A. "**Cmos vlsi design**." A circuits and systems perspective 11 (2005): 739.
- [53] Zeumault. A. **ECE 531 Semiconductor Devices Lecture Notes -05. The University of TENNESSEE KNOXVILLE**. 2019. Disponível em: [ECE531-Fall-19-Lecture-05-Transport\\_2.pdf \(utk.edu\)](https://www.ece.utk.edu/~zeumault/ECE531-Fall-19-Lecture-05-Transport_2.pdf).
- [54] Vasileska. D, S. M. Goodnick, Klimeck. G.; "**Computational Electronics: Semiclassical and Quantum Device Modeling and Simulation**". CRC Press. 2010
- [55] <https://www.synopsys.com/silicon/tcad/device-simulation/sentaurus-device.html>.
- [56] Synopsys, Sentaurus Device User Guide, Synopsys, 2018.
- [57] Petrosyants. K. O. et al. "**High Temperature Submicron SOI CMOS Technology Characterization for Analog and Digital Application up to 300°C**". 33<sup>rd</sup> SEMI-THERM Symposium. 2017.
- [58] D. Bosch., et al. "**All-Operation-Regime Characterization and Modeling of Drain Current Variability in Junctionless and Inversion-Mode FDSOI Transistor**," 2020 IEEE Symposium on VLSI Technology, 2020, p1-2.
- [59] H. El Ghitani, **Electronics and Communications Eng.**, Fac. Of Eng., Ain Shams Univ. 11381 Abbassia, Cairo, Egypt, 16<sup>th</sup> National Radio Science Conference, NRSC" 99, Feb 1999, Cairo, Egypt.

## APÊNDICE A: ARQUIVO DE SIMULAÇÃO DA ESTRUTURA NO SENTAURUS STRUCTURE EDITOR

```
(sde:clear)

;=====
; Definições.
(define Wfin (/ @W@ 1000))
(define Hfin (/ @H@ 1000))
(define Lg (/ @L@ 1000))
(define tox 0.0013)
(define Lsp 0.03)
(define Lfd 0.06)
(define HEx tox)
(define Nitri 0.01)
(define tbox 0.145)
(define Wbox 0.3)
(define GI 0.00002)
(define SubDop 1e18 )
(define DFCDop 5e18 )
(define FDDop 5e20 )
(define HardMask 1)
(define DopSub "BoronActiveConcentration")
#if [string compare @Type@ "n"] == 0
(define DopSD "ArsenicActiveConcentration")
#elif [string compare @Type@ "p"] == 0
(define DopSD "BoronActiveConcentration")
#endif

;=====
;Canal e Extensao de fonte e dreno do spacer.
(define r1 (sdegeo:create-polygon (list
(position (- (/ Wfin 2)) (+ Lfd Lsp) 0 )
(position (- (/ Wfin 2)) (+ Lfd Lsp) Hfin )
(position (- (/ Wfin 2)) (+ (+ Lg (* Lsp 1)) Lfd) Hfin )
```

```

(position (- (/ Wfin 2)) (+ (+ Lg (* Lsp 1)) (* Lfd 1)) 0) ) "Silicon" "Canal" ))
(sdegeo:extrude (list (car (find-face-id (position (- (/ Wfin 2)) (+ Lfd Lsp) 0 )))) Wfin)
;Canal e Extensao de fonte e dreno do spacer.
(define r1 (sdegeo:create-polygon (list
(position (- (/ Wfin 2)) Lfd 0 )
(position (- (/ Wfin 2)) Lfd Hfin )
(position (- (/ Wfin 2)) (+ Lfd Lsp) Hfin )
(position (- (/ Wfin 2)) (+ Lfd Lsp) 0 ) ) "Silicon" "Ex1" ))
(sdegeo:extrude (list (car (find-face-id (position (- (/ Wfin 2)) Lfd 0 )))) Wfin)
;Canal e Extensao de fonte e dreno do spacer.
(define r1 (sdegeo:create-polygon (list
(position (- (/ Wfin 2)) (+ (+ Lg (* Lsp 1)) Lfd) 0 )
(position (- (/ Wfin 2)) (+ (+ Lg (* Lsp 1)) Lfd) Hfin )
(position (- (/ Wfin 2)) (+ (+ Lg (* Lsp 2)) Lfd) Hfin )
(position (- (/ Wfin 2)) (+ (+ Lg (* Lsp 2)) Lfd) 0 ) ) "Silicon" "Ex2" ))
(sdegeo:extrude (list (car (find-face-id (position (- (/ Wfin 2))(+ (+ Lg (* Lsp 1)) Lfd) 0 ))))
Wfin)
;=====
;Óxido de Porta.
(define r2 (sdegeo:create-polygon (list
(position (/ Wfin 2) (+ Lsp Lfd) Hfin ) ;1
(position (/ Wfin 2) (+ Lsp Lfd) 0 ) ;2
(position (+ (/ Wfin 2) tox) (+ Lsp Lfd) 0 ) ;3
(position (+ (/ Wfin 2) tox) (+ Lsp Lfd) (+ Hfin (* tox HardMask)) );4
(position (- (+ (/ Wfin 2) tox)) (+ Lsp Lfd) (+ Hfin (* tox HardMask)) ) ;5
(position (- (+ (/ Wfin 2) tox)) (+ Lsp Lfd) 0 );6
(position (- (/ Wfin 2)) (+ Lsp Lfd) 0 );7
(position (- (/ Wfin 2)) (+ Lsp Lfd) Hfin );8
(position (/ Wfin 2) (+ Lsp Lfd) Hfin ) "SiO2" "OxPorta" ));9
(sdegeo:extrude (list (car (find-face-id (position (/ Wfin 2) (+ Lsp Lfd) Hfin ) ))) Lg)
;=====
;Spacer de Sio2/Si3N4 no topo e nas laterais da Fonte e do Dreno. Se Spacer=1.
#if "@Spacer@"=="1"

```

```

(define r5 (sdegeo:create-polygon (list
(position (/ Wfin 2) Lfd Hfin ) ;1
(position (/ Wfin 2) Lfd 0 ) ;2
(position (+ (/ Wfin 2) HEx) Lfd 0 ) ;3
(position (+ (/ Wfin 2) HEx) Lfd (+ Hfin HEx) );4
(position (- (+ (/ Wfin 2) HEx)) Lfd (+ Hfin HEx) ) ;5
(position (- (+ (/ Wfin 2) HEx)) Lfd 0 );6
(position (- (/ Wfin 2)) Lfd 0 );7
(position (- (/ Wfin 2)) Lfd Hfin );8
(position (/ Wfin 2) Lfd Hfin )) "SiO2" "SpacerS" ));9
(sdegeo:extrude (list (car (find-face-id (position (/ Wfin 2) Lfd Hfin ) ))) Lsp)
(define r6 (sdegeo:create-polygon (list
(position (/ Wfin 2) (+ (+ Lfd (* Lsp 2)) Lg) Hfin ) ;1
(position (/ Wfin 2) (+ (+ Lfd (* Lsp 2)) Lg) 0 ) ;2
(position (+ (/ Wfin 2) HEx) (+ (+ Lfd (* Lsp 2)) Lg) 0 ) ;3
(position (+ (/ Wfin 2) HEx) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin HEx) );4
(position (- (+ (/ Wfin 2) HEx)) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin HEx) ) ;5
(position (- (+ (/ Wfin 2) HEx)) (+ (+ Lfd (* Lsp 2)) Lg) 0 );6
(position (- (/ Wfin 2)) (+ (+ Lfd (* Lsp 2)) Lg) 0 );7
(position (- (/ Wfin 2)) (+ (+ Lfd (* Lsp 2)) Lg)Hfin );8
(position (/ Wfin 2) (+ (+ Lfd (* Lsp 2)) Lg) Hfin )) "SiO2" "SpacerD" ));9
(sdegeo:extrude (list (car (find-face-id (position (/ Wfin 2) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin
HEx) ) ))) (- Lsp))
(define r5 (sdegeo:create-polygon (list
(position (+ (/ Wfin 2) HEx) Lfd (+ Hfin HEx) ) ;1
(position (+ (/ Wfin 2) HEx) Lfd 0 ) ;2
(position (+ (/ Wfin 2) HEx Nitri) Lfd 0 ) ;3
(position (+ (/ Wfin 2) HEx Nitri) Lfd (+ Hfin HEx Nitri) );4
(position (- (+ (/ Wfin 2) HEx Nitri)) Lfd (+ Hfin HEx Nitri) ) ;5
(position (- (+ (/ Wfin 2) HEx Nitri)) Lfd 0 );6
(position (- (+ (/ Wfin 2) HEx)) Lfd 0 );7
(position (- (+ (/ Wfin 2) HEx)) Lfd (+ Hfin HEx) );8
(position (+ (/ Wfin 2) HEx) Lfd (+ Hfin HEx) )) "Si3N4" "NitriS" ));9

```

```

(sdegeo:extrude (list (car (find-face-id (position (+ (/ Wfin 2) HEx) Lfd (+ Hfin HEx) ) )))
Lsp)
(define r6 (sdegeo:create-polygon (list
(position (+ (/ Wfin 2) HEx) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin HEx) ) );1
(position (+ (/ Wfin 2) HEx) (+ (+ Lfd (* Lsp 2)) Lg) 0 ) ;2
(position (+ (/ Wfin 2) HEx Nitri) (+ (+ Lfd (* Lsp 2)) Lg) 0 ) ;3
(position (+ (/ Wfin 2) HEx Nitri) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin HEx Nitri) );4
(position (- (+ (/ Wfin 2) HEx Nitri)) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin HEx Nitri) ) ;5
(position (- (+ (/ Wfin 2) HEx Nitri)) (+ (+ Lfd (* Lsp 2)) Lg) 0 ) ;6
(position (- (+ (/ Wfin 2) HEx)) (+ (+ Lfd (* Lsp 2)) Lg) 0 ) ;7
(position (- (+ (/ Wfin 2) HEx)) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin HEx) );8
(position (+ (/ Wfin 2) HEx) (+ (+ Lfd (* Lsp 2)) Lg) (+ Hfin HEx) ) "Si3N4" "NitriD" ));9
(sdegeo:extrude (list (car (find-face-id (position (+ (/ Wfin 2) HEx Nitri) (+ (+ Lfd (* Lsp 2))
Lg) (+ Hfin HEx Nitri) ) ))) (- Lsp))
#endif
;=====
#if "@FD_Elev@"=="1"
;Fonte e Dreno elevado
(define r1 (sdegeo:create-polygon (list
(position (- (/ Lfd 2)) 0 0 )
(position (- (/ Lfd 2)) 0 HEx )
(position (- (/ Lfd 2)) Lfd HEx )
(position (- (/ Lfd 2)) Lfd 0 )
(position (- (/ Lfd 2)) 0 0 )) "Silicon" "FD_elevadoA" ))
(sdegeo:extrude (list (car (find-face-id (position (- (/ Lfd 2)) 0 0 ) ))) Lfd)
(define r1 (sdegeo:create-polygon (list
(position (- (/ Lfd 2)) (+ (+ Lg (* Lsp 2)) Lfd) 0 )
(position (- (/ Lfd 2)) (+ (+ Lg (* Lsp 2)) Lfd) HEx )
(position (- (/ Lfd 2)) (+ (+ Lg (* Lsp 2)) (* Lfd 2)) HEx )
(position (- (/ Lfd 2)) (+ (+ Lg (* Lsp 2)) (* Lfd 2)) 0 )
(position (- (/ Lfd 2)) (+ (+ Lg (* Lsp 2)) Lfd) 0 )) "Silicon" "FD_elevadoB" ))
(sdegeo:extrude (list (car (find-face-id (position (- (/ Lfd 2)) (+ (+ Lg (* Lsp 2)) Lfd) 0 ) )))
Lfd)

```

```

=====
;Silicio para contato de Fonte e Dreno elevado
(sdegeo:create-cuboid (position (- (/ Lfd 4)) (+ (+ (+ (+ (/ Lfd 4)) (* Lsp 2)) Lfd) Lg) HEx )
(position (+ (/ Lfd 4)) (+ (+ (+ (* (+ (/ Lfd 4)) 3) (* Lsp 2)) Lfd) Lg) (+ HEx 0.00001) )
"Silicon" "Contato_Dreno")
(sdegeo:create-cuboid (position (- (/ Lfd 4)) (+ (/ Lfd 4)) HEx ) (position (+ (/ Lfd 4)) (* (+ (/
Lfd 4)) 3) (+ HEx 0.00001) ) "Silicon" "Contato_Fonte")
;Silicio para contato de Fonte e Dreno elevado Doping
(sdedr:define-constant-profile "Const.FD_elevadoA" DopSD FDDop)
(sdedr:define-constant-profile-region "PlaceCD.FD_elevadoA" "Const.FD_elevadoA"
"FD_elevadoA")
(sdedr:define-constant-profile "Const.FD_elevadoB" DopSD FDDop)
(sdedr:define-constant-profile-region "PlaceCD.FD_elevadoB" "Const.FD_elevadoB"
"FD_elevadoB")
(sdedr:define-constant-profile "Const.Contato_Dreno" DopSD FDDop)
(sdedr:define-constant-profile-region "PlaceCD.Contato_Dreno" "Const.Contato_Dreno"
"Contato_Dreno")
(sdedr:define-constant-profile "Const.Contato_Fonte" DopSD FDDop)
(sdedr:define-constant-profile-region "PlaceCD.Contato_Fonte" "Const.Contato_Fonte"
"Contato_Fonte")
#endif
=====
;Óxido Enterrado.

(define r7 (sdegeo:create-cuboid (position (- (/ Wbox 2)) (- 0.1) 0 ) (position (+ (/ Wbox 2))
(+ (+ (+ Lg (* Lsp 2)) (* Lfd 2)) 0.1) (- tbox) ) "SiO2" "box"))
=====
;Dopagem
(sdedr:define-constant-profile "Const.Canal_lamina" DopSub SubDop)
(sdedr:define-constant-profile-material "PlaceCD.Canal_lamina" "Const.Canal_lamina"
"Silicon")
(sdedr:define-constant-profile "Const.Canal" DopSD DFCDop)
(sdedr:define-constant-profile-region "PlaceCD.Canal" "Const.Canal" "Canal")

```

```

(sdedr:define-constant-profile "Const.Ex" DopSD FDDop)
(sdedr:define-constant-profile-region "PlaceCD.Ex1" "Const.Ex" "Ex1")
(sdedr:define-constant-profile-region "PlaceCD.Ex2" "Const.Ex" "Ex2")
;=====
;Contatos
(sdegeo:define-contact-set "substrate" 4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
(sdegeo:set-current-contact-set "substrate")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (/ Lg 2) (- (* tbox 1)) ))))
"substrate")
(sdegeo:define-contact-set "gate" 4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
(sdegeo:set-current-contact-set "gate")
(sdegeo:define-3d-contact (list (car (find-face-id (position (+ (/ Wfin 2) (+ tox (+ 0 0))) (+ (+
(/ Lg 2) Lsp) Lfd) (/ Hfin 2) )))) "gate")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (+ (+ (/ Lg 2) Lsp) Lfd) (+ Hfin
(* (+ (+ tox 0) 0) HardMask)) )))) "gate")
(sdegeo:define-3d-contact (list (car (find-face-id (position (- (/ (- Wfin) 2) (+ tox (+ 0 0))) (+
(+ (/ Lg 2) Lsp) Lfd) (/ Hfin 2) )))) "gate")
#if "@Spacer@"=="1"
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (+ (+ 0 Lsp) Lfd) (+ Hfin HEx (/
Nitri 2)) )))) "gate")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (+ (+ (/ Lg 1) Lsp) Lfd) (+ Hfin
HEx (/ Nitri 2)) )))) "gate")
#endif
#if "@FD_Elev@"=="1"
(sdegeo:define-contact-set "drain" 4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
(sdegeo:set-current-contact-set "drain")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (+ (+ (+ Lg (* Lsp 2)) Lfd) (/ Lfd
2)) (+ HEx 0.00001) )))) "drain")
(sdegeo:define-contact-set "source" 4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
(sdegeo:set-current-contact-set "source")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (/ Lfd 2) (+ HEx 0.00001) ))))
"source")
#elseif "@FD_Elev@"=="0"

```

```

(sdegeo:define-contact-set "drain" 4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
(sdegeo:set-current-contact-set "drain")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (+ (+ Lg (* Lsp 2)) (* Lfd 1)) (/
Hfin 2) )))) "drain")
(sdegeo:define-contact-set "source" 4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
(sdegeo:set-current-contact-set "source")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 Lfd (/ Hfin 2) )))) "source")
#endif

;=====
;MeshInterface do canal
(sdedr:define-refinement-size "RefinementRegCanal1" (/ Wfin 10) (/ Lg 4) (/ Hfin 10) (/ Wfin
50) (/ Lg 100) (/ Hfin 50) )
(sdedr:define-refinement-region "PlacementRegCanal" "RefinementRegCanal1" "Canal")
#(sdedr:define-refinement-size "RefinementRegCanalEx" (/ Wfin 5) (/ Lsp 2) (/ Hfin 5) (/ Wfin 5)
(/ Lsp 2) (/ Hfin 5) )
#(sdedr:define-refinement-region "PlacementRegCanalEx1" "RefinementRegCanalEx" "Ex1")
#(sdedr:define-refinement-region "PlacementRegCanalEx2" "RefinementRegCanalEx" "Ex2")
(sdedr:define-refinement-size "RefinementRegOxPorta1" (/ Wfin 10) (/ Lg 4) (/ Hfin 10) 0.002
0.0001 0.001 )
(sdedr:define-refinement-region "PlacementRegOxPorta" "RefinementRegOxPorta1"
"OxPorta" )
(sdedr:define-refinement-size "REFINEMENTInterfaceVertical" 0.00001 (/ Lg 4) (/ Hfin 10)
0.000000001 (/ Lg 100) (/ Hfin 50))
(sdedr:define-refinement-size "REFINEMENTInterfaceHorizontal" (/ Wfin 10) (/ Lg 4) 0.00001
(/ Wfin 50) (/ Lg 100) 0.0000001 )
(sdedr:define-refeval-window "InterfaceMeshD1" "Cuboid" (position (- (/ Wfin 2)) (+ Lfd Lsp) 0
) (position (+ (- (/ Wfin 2)) GI) (+ (+ Lg (* Lsp 1)) (* Lfd 1)) Hfin))
(sdedr:define-refeval-window "InterfaceMeshE1" "Cuboid" (position (/ Wfin 2) (+ Lfd Lsp) 0)
(position (- (/ Wfin 2) GI) (+ (+ Lg (* Lsp 1)) (* Lfd 1)) Hfin))
(sdedr:define-refeval-window "InterfaceMeshS1" "Cuboid" (position (- (/ Wfin 2)) (+ Lfd Lsp) (-
Hfin GI) ) (position (/ Wfin 2) (+ (+ Lg (* Lsp 1)) (* Lfd 1)) Hfin))
(sdedr:define-refeval-window "InterfaceMeshI1" "Cuboid" (position (- (/ Wfin 2)) (+ Lfd Lsp) (+
GI)) (position (/ Wfin 2) (+ (+ Lg (* Lsp 1)) (* Lfd 1)) 0))
(sdedr:define-refinement-placement "PlacementInterfaceMeshE1"
"REFINEMENTInterfaceVertical" "InterfaceMeshE1" )

```

```

(sdedr:define-refinement-placement "PlacementInterfaceMeshD1"
"REFINEMENTInterfaceVertical" "InterfaceMeshD1" )
(sdedr:define-refinement-placement "PlacementInterfaceMeshS1"
"REFINEMENTInterfaceHorizontal" "InterfaceMeshS1" )
(sdedr:define-refinement-placement "PlacementInterfaceMeshI1"
"REFINEMENTInterfaceHorizontal" "InterfaceMeshI1" )
(sdedr:define-refinement-size "REFINEMENTInterfaceLFD" (/ Wfin 12) 0.001 (/ Hfin 12) (/ Wfin
50) 0.00001 (/ Hfin 50))
(sdedr:define-refeval-window "InterfaceMeshLF" "Cuboid" (position (- (/ Wfin 2)) (+ Lfd Lsp (-
GI)) 0 ) (position (/ Wfin 2) (+ Lfd Lsp GI) Hfin))
(sdedr:define-refeval-window "InterfaceMeshLD" "Cuboid" (position (- (/ Wfin 2)) (+ (+ (+ Lg (*
Lsp 1)) (* Lfd 1)) (- GI)) 0 ) (position (/ Wfin 2) (+ (+ (+ Lg (* Lsp 1)) (* Lfd 1)) GI) Hfin))
(sdedr:define-refinement-placement "PlacementInterfaceMeshLF"
"REFINEMENTInterfaceLFD" "InterfaceMeshLF" )
(sdedr:define-refinement-placement "PlacementInterfaceMeshLD"
"REFINEMENTInterfaceLFD" "InterfaceMeshLD" )
;=====
;Criação da Grade
(sde:build-mesh      "snmesh"      ""      "JLS_type_@Type@_sp@Spacer@_fdE-
lev@FD_Elev@_W@W@_H@H@_L@L@_msh")

```

## APÊNDICE B: ARQUIVO DE SIMULAÇÃO DA CURVA ID X VG NO SENTAURUS DE- VICE

```

Device FF {
File {
Grid      =      "JLS_type_@Type@_sp@Spacer@_fdE-
lev@FD_Elev@_W@W@_H@H@_L@L@_msh.tdr"
Parameter = "param.par"
}
Electrode {
{ Name="source" Voltage= 0.000 }
{ Name="drain" Voltage= 0.00 }
{ Name="gate" Voltage= 0.00 Workfunction= 4.7}

```

```
{ Name="substrate" Voltage= 0.000 Workfunction= 4.95}}
```

```
Physics {
```

```
Temperature=@T@
```

```
Mobility (
```

```
Enormal(IALMob (PhononCombination=0 AutoOrientation=1))
```

```
HighFieldSaturation
```

```
)
```

```
EffectiveIntrinsicDensity( OldSlotboom )
```

```
Recombination( SRH(DopingDep) )
```

```
}
```

```
Physics(RegionInterface="OxPorta/Canal"){
```

```
Charge (Uniform Conc=0)}
```

```
}
```

```
System {
```

```
FF FET (source=s drain=d gate=g substrate=b)
```

```
Vsource_pset Vd(d 0) {dc=0}
```

```
Vsource_pset Vg(g 0) {dc=0}
```

```
Vsource_pset Vs(s 0) {dc=0}
```

```
Vsource_pset Vb(b 0) {dc=0}
```

```
Plot
```

```
"JLS_type_@Type@_sp@Spacer@_fdElev@FD_Elev@_W@W@_H@H@_L@L@_@Side-  
walls@_Vds@Vds@.txt" (v(g s) v(d s) i(FET s))
```

```
}
```

```
File {
```

```
Plot =
```

```
"JLS_type_@Type@_sp@Spacer@_fdElev@FD_Elev@_W@W@_H@H@_L@L@_@Side-  
walls@_Vds@Vds@.tdr"
```

```
Current =
```

```
"JLS_type_@Type@_sp@Spacer@_fdElev@FD_Elev@_W@W@_H@H@_L@L@_@Side-  
walls@_Vds@Vds@.plt"
```

```
Output =
```

```
"JLS_type_@Type@_sp@Spacer@_fdElev@FD_Elev@_W@W@_H@H@_L@L@_@Side-  
walls@_Vds@Vds@.log"
```

```
}
```

```
Plot {
```

```
TotalCurrentDensity
```

```
eMobility hMobility Potential
```

```
eDensity hDensity
```

```
Doping DonorConcentration AcceptorConcentration
```

```
InterfaceOrientation
```

```
NearestInterfaceOrientation
```

```
eEnormal hEnormal
```

```
eEparallel hEparallel
```

```
ElectricField
```

```
TotalCurrentDensity
```

```
}
```

```
Math {
```

```
Extrapolate
```

```
AutoOrientation=(100,110)
```

```
CoordinateSystem { AsIs }
```

```
Iterations=15
```

```
#Method= Blocked
```

```
Method= ILS(set=12)
```

```
ACMethod= Blocked
```

```
ACSubMethod= ILS(set=22)
```

```
ILSrc = "set(12){
```

```
iterative(gmres(1000), tolrel=1e-9, maxit=1000);
```

```
preconditioning(ilut(0.0001,-1),left);
```

```

ordering ( symmetric=nd, nonsymmetric=mpsilst );
options( compact=yes, linscale=0, refineresidual=25, verbose=1);
};
set(22){
iterative(gmres(75), tolrel=1e-11, maxit=75);
preconditioning(ilut(0.0001,-1),left);
ordering ( symmetric=nd, nonsymmetric=mpsilst );
options( compact=yes, linscale=0, refineresidual=25, verbose=1);
}; "
Number_of_Threads = 8
Wallclock
}
Solve {
Coupled(Iterations= 100){ Poisson }
Coupled(Iterations= 100){ Poisson Electron }
Coupled(Iterations= 100){ Poisson Electron Hole }

Quasistationary( Increment = 15 Decrement= 2
Goal { Parameter=Vd.dc Value=@Vds@} )
{ Coupled(Iterations= 20) { Poisson Hole Electron } CurrentPlot( Time = (-1))}

Quasistationary( Increment = 2 Decrement= 2
Goal { Parameter=Vg.dc Value=0.9} )
{ Coupled { Poisson Hole Electron } CurrentPlot( Time = (-1))}

Quasistationary( Increment = 10 Decrement= 2
Goal { Parameter=Vg.dc Value=0} )
{ Coupled { Poisson Hole Electron } CurrentPlot(time=(range=(0 1) intervals=90))}}

```