CENTRO UNIVERSITÁRIO DA FEI

RODRIGO ALVES DE LIMA MORETO

PROJETO DE UM OTA CMOS POR MEIO DE UM SISTEMA EVOLUCIONÁRIO INTEGRADO AO SPICE

São Bernardo do Campo

2011

RODRIGO ALVES DE LIMA MORETO

PROJETO DE UM OTA CMOS POR MEIO DE UM SISTEMA EVOLUCIONÁRIO INTEGRADO AO SPICE

Dissertação de Mestrado apresentada ao Centro Universitário da FEI para obtenção do título de Mestre em Engenharia Elétrica, orientado pelo Prof. Dr. Salvador Pinillos Gimenez.

São Bernardo do Campo

2011

Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Rodrigo Alves de Lima Moreto Matrícula: 1083229

Título do Trabalho: **PROJETO DE UM OTA CMOS POR MEIO DE UM SISTEMA EVOLUCIONÁRIO INTEGRADO AO SPICE.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 29 / março / 2011

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 29 / 03 / 2011.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Salvador Pinillos Gimenez

Ass.: _____

Prof. Dr. Flavio Tonidandel

Ass.: _____

Prof. Dr. Sebastião Gomes dos Santos Filho

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a meus pais, Gilberto e Tânia.

AGRADECIMENTOS

Agradeço aos meus pais, Gilberto e Tânia, que sempre me incentivaram e apoiaram em todas as iniciativas, em todas as fases da minha vida, incluindo a realização deste trabalho.

Agradeço ao meu irmão Fernando que sempre me apoiou na realização deste trabalho.

Aos meus orientadores Prof. Dr. Salvador Pinillos Gimenez e Prof. Dr. Carlos Eduardo Thomaz pelo incansável suporte e compreensão, em todas as fases deste trabalho.

Ao Leme e todas as pessoas que acreditaram e torceram por mim para que esse trabalho fosse concluído com sucesso.

“Nunca trabalhei um dia em minha vida. Foi tudo diversão.”

“Se todos nós fizéssemos as coisas que somos capazes de fazer, literalmente nos impressionaríamos.”

“Não conhecemos um milionésimo de um por cento de nada.”

Thomas Alva Edison

RESUMO

O projeto de circuitos integrados analógicos é uma tarefa complexa devido ao grande número de variáveis de entrada a serem determinadas simultaneamente com o intuito de atender as inúmeras especificações de um projeto de circuito integrado analógico. Na prática, o projeto de circuitos integrados analógicos é um processo interativo e repetitivo entre o projetista e um simulador de circuitos que, devido às diversas soluções possíveis baseadas nas combinações das dimensões dos transistores, é fortemente influenciado pela experiência do projetista. Este trabalho descreve e implementa um sistema evolucionário baseado em Algoritmos Genéticos (AG) que foi integrado computacionalmente ao simulador de circuitos SPICE e tem a capacidade de buscar soluções que melhor atendam aos objetivos especificados pelo projetista. A avaliação simultânea das variáveis de entrada permite ao sistema proposto (AGSPICE) mapear o comportamento dessas variáveis em função das especificações do projeto ao longo do processo de otimização e o seu entendimento de forma mais clara. Portanto, através desse mapeamento e considerando-se uma determinada arquitetura de circuito integrado analógico, no caso o OTA CMOS, pode-se gerar um conjunto de recomendações (dicas) adicionais de projeto para auxiliar o projetista em novas especificações e, possivelmente, reduzir o tempo de desenvolvimento de um projeto de um circuito integrado analógico. Os resultados dos experimentos realizados com o sistema AGSPICE são comparados com os resultados obtidos manualmente e apresentam soluções compatíveis com aquelas descritas na literatura.

Palavras-chave: Sistema evolucionário, projeto de circuito integrado, Algoritmos Genéticos, Amplificador Operacional de Transcondutância CMOS.

ABSTRACT

Analog integrated circuits design is a complex task due to the large number of input variables to be determined simultaneously in order to comply with innumerable design features of an analog integrated circuit design. In practice, the analog integrated circuit design is an interactive and repetitive process between the designer and a simulation program which, due to several possible solutions based on combination of transistors' dimensions, strongly rely on the designer experience. This work describes and implements an evolvable system based on Genetic Algorithms (GA) which was computationally integrated to the simulation program SPICE and has the capability to search for solutions that best comply with the designer specified objectives. The simultaneous evaluation of the input variables allows the proposed system (AGSPICE) to track the changes of these variables along the optimization process and its understanding in a clearer way. Therefore, through this mapping and considering a specific analog integrated circuit topology, in this work the OTA CMOS, it's possible to generate a set of additional project recommendations (tips) to assist the designer and, possibly, reduce the development time of an analog integrated circuit project. Our experimental results with the AGSPICE are compared to the results obtained manually and present compatible solutions to other works available in the related literature.

Keywords: Evolutionary system, integrated circuit project, Genetic Algorithms, CMOS Operational Transconductance Amplifier.

LISTA DE FIGURAS

Figura 2.1 – Capacitor polisilício-óxido-canal. 39

Figura 2.2 – Capacitor polisilício-óxido-polisilício. 39

Figura 2.3 – Desenho esquemático de um nMOSFET convencional (*Bulk*). 41

Figura 2.4 – Desenho esquemático de um SOI nMOSFET. 42

Figura 2.5 – Tensões e correntes de polarização para o nMOSFET (a) e pMOSFET (b). 43

Figura 2.6 – Característica da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}) em cada região de operação do nMOSFET. 46

Figura 2.7 – Características de tensão e corrente do nMOSFET segundo o modelo de inversão fraca. 48

Figura 2.8 – Amplificador composto de um único transistor. 50

Figura 2.9 – Circuito equivalente de pequenos sinais do MOSFET ilustrado na Figura 2.8. .. 50

Figura 2.10 – Circuito para a obtenção da curva I_{DS} *x* V_{GS} do nMOSFET. 54

Figura 2.11 – Curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ dos nMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor). 55

Figura 2.12 – Curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ dos pMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor). 55

Figura 2.13 – Extração da tensão Early através da curva I_{DS} *x* V_{DS} do nMOSFET, destacando-se o efeito da modulação do comprimento efetivo de canal. 56

Figura 2.14 – Configuração do nMOSFET para obtenção da curva I_{DS} *x* V_{DS}, para a extração do parâmetro da tensão Early (V_A). 57

Figura 2.15 – Tensão Early em função de *L* e V_{GS} dos nMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor). 58

Figura 2.16 – Tensão Early em função de *L* e V_{GS} dos pMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor). 59

Figura 3.1 – Arquitetura do OTA CMOS de um único estágio e uma única saída. 61

Figura 3.2 – Espelho de corrente de polarização do par diferencial. 62

Figura 3.3 – Modelo equivalente de pequenos sinais dos transistores do estágio de saída do OTA para a determinação da tensão de saída (v_{out}) em função do sinal de tensão de entrada diferencial (v_{id})..... 67

Figura 3.4 – Esboço da curva do ganho de tensão em malha aberta em função da freqüência do sinal de entrada diferencial de um OTA..... 69

Figura 4.1 – Obtenção das tensões Early V_{A6} e V_{A8} através das curvas V_A *x* L..... 74

Figura 4.2 – Obtenção da corrente normalizada através da curva g_m/I_{DS} *x* $I_{DS}/(W/L)$..... 76

Figura 5.1 – Diagrama simplificado dos dados de entrada e saída do AGSPICE..... 82

Figura 5.2 – Fluxograma do AGSPICE. 84

Figura 5.3 – Elitismo DC. 85

Figura 5.4 – Representação do Cromossoma do AGSPICE. 88

Figura 5.5 – Estrutura de um gene do AGSPICE (alelos W_x, L_x, I_{POL} e V_{INPOL})..... 89

Figura 5.6 – Curva *Eval(Obj(i))* em função do *Desvio Relativo* (%). 92

Figura 5.7 – Processo de Elitismo no AGSPICE..... 97

Figura 5.8 – Exemplo de distribuição de setores na roleta de seleção..... 98

Figura 5.9 – Processo de decisão da reprodução entre indivíduos selecionados..... 99

Figura 5.10 – Processo de reprodução por *crossover* para os alelos de dois cromossomas. . 100

Figura 5.11 – Processo de mutação no AGSPICE..... 101

Figura 6.1 – Fluxograma simplificado do AGSPICE. 114

Figura 6.2 – Comparação dos objetivos A_{V0}, f_T, *PM* e V_{OUT} (a), P_{TOT} e *AREA* (b) para o modo Micropotência1. 124

Figura 6.3 – Comparação dos objetivos A_{V0}, f_T, *PM* e V_{OUT} (a), P_{TOT} e *AREA* (b) para o modo HG..... 124

Figura 6.4 – Comparação dos objetivos A_{V0}, f_T, *PM* e V_{OUT} (a), P_{TOT} e *AREA* (b) para o modo HF. 125

Figura 6.5 – Desempenho de ganho de tensão e fase do OTA Micropotência1 (a), Micropotência2 (b), HG (c) e HF (d) obtido através do AGSPICE. 128

Figura 6.6 – Desempenho de ganho de tensão e fase do OTA Micropotência1 (a), HG (b) e HF (c) obtido através do projeto Manual. 129

Figura 6.7 – Curvas de avaliação dos objetivos em função do número de gerações: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções obtidas pelo AGSPICE (b) para cada modo de operação. 131

Figura 6.8 – Curvas de A_{V0} em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 133

Figura 6.9 – Gráfico de barras dos valores de A_{V0} das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 133

Figura 6.10 – Curvas de f_T em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 134

Figura 6.11 – Gráfico de barras dos valores de f_T das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 135

Figura 6.12 – Curvas da margem de fase em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 135

Figura 6.13 – Gráfico de barras dos valores da margem de fase das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 136

Figura 6.14 – Curvas de V_{OUT} em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 137

Figura 6.15 – Gráfico de barras dos valores de V_{OUT} das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 137

Figura 6.16 – Curvas de P_{TOT} em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 138

Figura 6.17 – Gráfico de barras dos valores de P_{TOT} das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 139

Figura 6.18 – Curvas da *AREA* em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 139

Figura 6.19 – Gráfico de barras dos valores da *AREA* das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 140

Figura 6.20 – Mapeamento da corrente de polarização para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 141

Figura 6.21 – Gráfico de barras dos valores da corrente de polarização das 10 melhores soluções apresentadas pelo AGSPICE. 142

Figura 6.22 – Mapeamento da tensão de entrada de polarização para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 142

Figura 6.23 – Gráfico de barras dos valores da tensão de entrada de polarização das 10 melhores soluções apresentadas pelo AGSPICE. 143

Figura 6.24 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 144

Figura 6.25 – Gráfico de barras dos valores de $B_{4,6}$ das 10 melhores soluções apresentadas pelo AGSPICE. 144

Figura 6.26 – Mapeamento do fator de ganho do espelho nMOSFETs ($B_{9,10}$) para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b). 145

Figura 6.27 – Gráfico de barras dos valores de $B_{9,10}$ das 10 melhores soluções apresentadas pelo AGSPICE. 146

Figura 6.28 – Mapeamento dos comprimentos de canal para o modo Micropotência1: curvas médias das 10 melhores soluções (a), (c), (e), (g), (i), (k) e curvas das melhores soluções do AGSPICE (b), (d), (f), (h), (j), (l). 148

Figura 6.29 – Gráfico de barras dos valores dos comprimentos de canal das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1: $L_{1,2}$, $L_{3,4}$, $L_{5,6}$ (a) e $L_{7,8}$, L_9, L_{10} (b). 149

Figura 6.30 – Mapeamento das larguras de canal para o modo Micropotência1: curvas médias das 10 melhores soluções (a), (c), (e), (g), (i), (k) e curvas das melhores soluções do AGSPICE (b), (d), (f), (h), (j), (l). 152

Figura 6.31 – Gráfico de barras dos valores das larguras de canal das 10 melhores soluções apresentadas pelo AGSPICE: $W_{1,2}$, $W_{3,4}$, $W_{5,6}$ (a); $W_{7,8}$ (b) e W_9, W_{10} (c). 153

Figura 6.32 – Mapeamento das razões de aspecto *W/L* para o modo Micropotência1: curvas médias das 10 melhores soluções (a), (c), (e), (g), (i), (k) e curvas das melhores soluções do AGSPICE (b), (d), (f), (h), (j), (l). 155

Figura 6.33 – Gráfico de barras dos valores da relação *W/L* das 10 melhores soluções apresentadas pelo AGSPICE: $(W/L)_{1,2}$, $(W/L)_{3,4}$, $(W/L)_{5,6}$ (a); $(W/L)_{7,8}$ (b) e $(W/L)_9$, $(W/L)_{10}$ (c). 156

Figura 6.34 – Curva de A_{V0} da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 160

Figura 6.35 – Curva de f_T da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 160

Figura 6.36 – Curva da margem de fase da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 161

Figura 6.37 – Curva de V_{OUT} da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 161

Figura 6.38 – Curva de P_{TOT} da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 162

Figura 6.39 – Curva da *AREA* da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 162

Figura 6.40 – Mapeamento da corrente de polarização da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 163

Figura 6.41 – Mapeamento da tensão de entrada de polarização da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 163

Figura 6.42 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 164

Figura 6.43 – Mapeamento dos comprimentos de canal da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 164

Figura 6.44 – Mapeamento das larguras de canal da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 164

Figura 6.45 – Mapeamento das relações *W/L* da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2. 165

Figura 6.46 – Curva de A_{V0} da melhor solução do AGSPICE em função do número de gerações para o modo HG. 166

Figura 6.47 – Curva de f_T da melhor solução do AGSPICE em função do número de gerações para o modo HG. 167

Figura 6.48 – Curva da margem de fase da melhor solução do AGSPICE em função do número de gerações para o modo HG. 167

Figura 6.49 – Curva de V_{OUT} da melhor solução do AGSPICE em função do número de gerações para o modo HG. 168

Figura 6.50 – Curva de P_{TOT} da melhor solução do AGSPICE em função do número de gerações para o modo HG. 168

Figura 6.51 – Curva da *AREA* da melhor solução do AGSPICE em função do número de gerações para o modo HG. 169

Figura 6.52 – Mapeamento da corrente de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HG. 169

Figura 6.53 – Mapeamento da tensão de entrada de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HG. 170

Figura 6.54 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), da melhor solução do AGSPICE em função do número de gerações para o modo HG. 170

Figura 6.55 – Mapeamento dos comprimentos de canal da melhor solução do AGSPICE em função do número de gerações para o modo HG. 170

Figura 6.56 – Mapeamento das larguras de canal da melhor solução do AGSPICE em função do número de gerações para o modo HG. 171

Figura 6.57 – Mapeamento das relações *W/L* da melhor solução do AGSPICE em função do número de gerações para o modo HG. 171

Figura 6.58 – Curva de A_{V0} da melhor solução do AGSPICE em função do número de gerações para o modo HF. 173

Figura 6.59 – Curva de f_T da melhor solução do AGSPICE em função do número de gerações para o modo HF. 173

Figura 6.60 – Curva da margem de fase da melhor solução do AGSPICE em função do número de gerações para o modo HF. 174

Figura 6.61 – Curva de V_{OUT} da melhor solução do AGSPICE em função do número de gerações para o modo HF. 174

Figura 6.62 – Curva de P_{TOT} da melhor solução do AGSPICE em função do número de gerações para o modo HF. 175

Figura 6.63 – Curva da *AREA* da melhor solução do AGSPICE em função do número de gerações para o modo HF. 175

Figura 6.64 – Mapeamento da corrente de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HF. 176

Figura 6.65 – Mapeamento da tensão de entrada de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HF. 176

Figura 6.66 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), da melhor solução do AGSPICE em função do número de gerações, para o modo HF. 176

Figura 6.67 – Mapeamento dos comprimentos de canal da melhor solução do AGSPICE em função do número de gerações para o modo HF. 177

Figura 6.68 – Mapeamento das larguras de canal da melhor solução do AGSPICE em função do número de gerações para o modo HF. 177

Figura 6.69 – Mapeamento das relações *W/L* da melhor solução do AGSPICE em função do número de gerações para o modo HF. 177

Figura 6.70 – Mapeamento de $I_{DS}/(W/L)$ do par diferencial (M1-M2) em função do número de gerações, com as regiões de inversão, para todos os modos de operação: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções do AGSPICE (b). 180

Figura 6.71 – Mapeamento de $I_{DS}/(W/L)$ do par M7-M8 em função do número de gerações, com as regiões de inversão, para todos os modos de operação: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções do AGSPICE (b)..... 181

Figura 6.72 – Mapeamento de $I_{DS}/(W/L)$ dos transistores M9 e M10 em função do número de gerações, com as regiões de inversão, para todos os modos de operação: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções do AGSPICE (b). 182

Figura 6.73 – Mapeamento de $I_{DS}/(W/L)$ dos pares pMOSFETs casados M3-M4 e M5-M6 em função do número de gerações, com as regiões de operação, para todos os modos de operação. 183

Figura 6.74 – Coeficientes de correlação entre as razões de aspecto dos transistores do OTA: $(W/L)_{1,2}$ com $(W/L)_{3,4}$, $(W/L)_{5,6}$, $(W/L)_{7,8}$ e $(W/L)_{10}$ (a); $(W/L)_{3,4}$ com $(W/L)_{5,6}$, $(W/L)_{7,8}$ e $(W/L)_{10}$ (b); $(W/L)_{5,6}$ com $(W/L)_{7,8}$ e $(W/L)_{10}$ (c) e $(W/L)_{9}$ com $(W/L)_{10}$ (d) para os modos Micropotência1, Micropotência2, HG e HF..... 195

Figura 6.75 – Coeficientes de correlação entre as correntes entre dreno e fonte normalizadas dos transistores do OTA: $I_{DSn1,2}$ com $I_{DSn3,4}$, $I_{DSn5,6}$, $I_{DSn7,8}$ e I_{DSn10} (a); $I_{DSn3,4}$ com $I_{DSn5,6}$, $I_{DSn7,8}$ e I_{DSn10} (b); $I_{DSn7,8}$ com I_{DSn10} (c) e I_{DSn9} com I_{DSn10} (d) para os modos Micropotência1, Micropotência2, HG e HF..... 201

Figura B.1 – Ilustração da janela principal do AGSPICE, que contém uma lista que exibe informação sobre o processo de otimização em tempo real. Nesta lista são exibidas também as soluções (W, L, I_{POL} e V_{INPOL}), os valores de avaliação ($Eval_{AG}$) e os resultados de desempenho (A_{V0}, f_T, PM, etc.) obtidos para o projeto até o momento no processo de otimização. 212

Figura B.2 – Aba “Parâmetros do AGSPICE”, onde o projetista configura os parâmetros do algoritmo genético (AG) para o AGSPICE..... 213

Figura B.3 – Através do botão “Conf. Cromossomas”, localizado na aba “Parâmetros do AGSPICE”, o projetista configura o tamanho dos cromossomas W, L, I_{POL} e V_{INPOL}..... 213

Figura B.4 – Aba “Parâmetros do OTA (I)”, onde são especificados pelo projetista V_{DD} e C_L, os quais são mantidos fixos durante a execução do AGSPICE, além dos valores dos objetivos, P_{TOT_obj}, $AREA_obj$, A_{V0_obj}, f_{T_obj}, PM_obj, e as faixas de tolerância de $V_{OUT_obj} = V_{DD}/2$ (%) e P_{TOT_obj} (%). 214

Figura B.5 – Aba “Parâmetros do OTA (II)”, onde o projetista acessa a Tela dos parâmetros das faixas W_{xmin}, W_{xmax}, L_{xmin}, L_{xmax} para cada transistor e também a tela de configuração dos parâmetros de polarização do circuito: I_{POLmin}, I_{POLmax}, $V_{INPOLmin}$ e $V_{INPOLmax}$. 215

Figura B.6 – Tela acessada através da aba “Parâmetros do OTA (II)”, onde o projetista determina as faixas W_{xmin}, W_{xmax}, L_{xmin}, L_{xmax} para cada transistor do circuito do OTA. 216

Figura B.7 – Tela acessada através da aba “Parâmetros do OTA (II)”, onde o projetista determina as faixas dos parâmetros de polarização do circuito I_{POLmin}, I_{POLmax}, $V_{INPOLmin}$ e $V_{INPOLmax}$. 216

LISTA DE TABELAS

Tabela 2.1 – Valores típicos de x_{ox}, C_{ox} e ε_{ox} para a tecnologia CMOS de 0,35 µm. 40

Tabela 2.2 – Valores extraídos de n_{wi} para a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor). 48

Tabela 2.3 - Valores extraídos da tensão Early para os nMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor). 57

Tabela 2.4 - Valores extraídos da tensão Early para os pMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor). 58

Tabela 6.1 - Objetivos desejados para os OTAs Micropotência1 e Micropotência2 (a), Alto Ganho (HG) e Alta Frequência (HF) (b). 104

Tabela 6.2 - Restrições de projeto utilizadas no processo de busca do OTA Micropotência1 (a), Micropotência2 (b), HG (c) e HF (d). 106

Tabela 6.3 - Configuração do tamanho dos genes W, L, I_{POL} e V_{INPOL} para o modo Micropotência1 (a), Micropotência2 (b), HG (c) e HF (d). 108

Tabela 6.4 - Configuração dos parâmetros referentes aos objetivos da etapa DC do AGSPICE para o modo Micropotência1 (a), Micropotência2 (b), HG (c) e HF(d). 109

Tabela 6.5 - Configuração dos parâmetros referentes aos objetivos da etapa AC do AGSPICE para o modo Micropotência1 (a), Micropotência2 (b), HG (c) e HF(d). 111

Tabela 6.6 - Resumo dos resultados de desempenho obtidos pelo AGSPICE. 115

Tabela 6.7 - Dimensões dos transistores dos OTAs obtidas pelo AGSPICE para os modos Micropotência1 e Micropotência2 (a), HG e HF (b). 115

Tabela 6.8 - Resumo dos resultados de desempenho obtidos pelo projeto Manual. 117

Tabela 6.9 - Dimensões dos transistores dos OTAs obtidas pelo projeto Manual para os modos Micropotência1 e HG (a), HF (b). 117

Tabela 6.10 - Valores de A_{V0} obtidos pelo AGSPICE e de seus objetivos. 118

Tabela 6.11 - Valores de f_T obtidos pelo AGSPICE e de seus objetivos. 118

Tabela 6.12 - Valores da margem de fase (PM) obtidos pelo AGSPICE e de seus objetivos. 118

Tabela 6.13 - Valores da tensão de saída DC (V_{OUT}) obtidos pelo AGSPICE e de seus objetivos. 118

Tabela 6.14 - Valores da Potência dissipada DC (P_{TOT}) obtidos pelo AGSPICE e de seus objetivos. 119

Tabela 6.15 - Valores da área total dos transistores (*AREA*) obtidos pelo AGSPICE e de seus objetivos. 119

Tabela 6.16 - Valores de A_{V0} obtidos pelo projeto manual e de seus objetivos. 121

Tabela 6.17 - Valores de *fT* obtidos pelo projeto manual e de seus objetivos. 121

Tabela 6.18 - Valores da margem de fase (*PM*) obtidos pelo projeto manual e de seus objetivos. 121

Tabela 6.19 - Valores da tensão de saída DC (V_{OUT}) obtidos pelo projeto manual e de seus objetivos. 122

Tabela 6.20 - Valores da Potência dissipada DC (P_{TOT}) obtidos pelo projeto manual e de seus objetivos. 122

Tabela 6.21 - Valores da área total dos transistores (*AREA*) obtidos pelo projeto manual e de seus objetivos..... 123

Tabela 6.22 - Tempo total de desenvolvimento do OTA HF em função da metodologia de projeto utilizada. 126

Tabela 6.23 - Tempo do processo de busca do AGSPICE por rodada para cada modo de operação. 131

Tabela 6.24 - Média e desvio padrão dos valores dos comprimentos de canal das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 149

Tabela 6.25 - Média e desvio padrão dos valores das larguras de canal das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1. 153

Tabela 6.26 - Média e desvio padrão dos valores da relação *W/L* das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1..... 157

Tabela 6.27 - Corrente entre dreno e fonte normalizada em função de *(W/L)* dos transistores dos OTAs Micropotência1, Micropotência2, HG e HF. 185

Tabela 6.28 - Fatores de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), obtidos em função do modo de operação desejado. 186

Tabela 6.29 - Corrente de polarização (I_{POL}) e tensão de polarização (V_{INPOL}) do circuito em função do modo de operação desejado. 187

Tabela 6.30 - Dimensões dos transistores dos OTAs Micropotência1 e Micropotência2 (a), HG e HF (b). 187

Tabela 6.31 - Verificação da proporcionalidade de *L6* e *L8* com o ganho de tensão (A_{V0}). .. 189

Tabela 6.32 - Regimes de inversão do canal dos transistores em função do modo de operação desejado. 191

Tabela 6.33 - Coeficientes de correlação entre as razões de aspecto dos transistores do OTA para os modos Micropotência1, Micropotência2, HG e HF. Razões de aspecto dos transistores do circuito com: $(W/L)_{1,2}$ e $(W/L)_{3,4}$ (a); $(W/L)_{5,6}$ e $(W/L)_{7,8}$ (b); $(W/L)_9$ e $(W/L)_{10}$ (c). 194

Tabela 6.34 - Coeficientes de correlação entre as correntes entre dreno e fonte normalizadas dos transistores do OTA para os modos Micropotência1, Micropotência2, HG e HF. Correntes entre dreno e fonte normalizadas dos transistores do circuito com: $I_{DSn1,2}$ e $I_{DSn3,4}$ (a); $I_{DSn5,6}$ e $I_{DSn7,8}$ (b); I_{DSn9} e I_{DSn10} (c). 200

LISTA DE ABREVIATURAS

AC	Corrente Alternada (*Alternating Current*).
AG	Algoritmos Genéticos.
AGSPICE	Nome dado ao programa desenvolvido nesse trabalho que integrou um Algoritmo Genético com o simulador de circuitos SPICE.
BiCMOS	Bipolar e CMOS.
BSIM	Família de modelos do transistor MOSFET destinado ao projeto de circuitos integrados, desenvolvido na Universidade da Califórnia, Berkeley (*Berkeley Short-channel IGFET Model*).
CMOS	Metal-Óxido-Semicondutor Complementar (*Complementary Metal-Oxide-Semicondutor*)
CMRR	Razão de Rejeição em Modo Comum (*Common Mode Rejection Ratio*) do OTA.
CAD	Projeto Assistido por Computador (*Computer Aided Design*).
CI	Circuito Integrado.
Codec	Compactador / descompactador (*compressor / decompressor*). Trata-se da tecnologia utilizada para compactar e descompactar dados digitais, tais como arquivos de áudio e vídeo.
CPU	Unidade Central de Processamento (*Central Processing Unit*).
DC	Corrente Contínua (*Direct Current*).
EKV	Modelo matemático dos transistores MOSFETs destinado a simulação e projeto de circuitos integrados analógicos. Desenvolvido por Christian Enz, François Krummenacher e Eric Vittoz (por este motivo as iniciais EKV) por volta de 1995.
EH	*Hardware* Evolucionário (*Evolvable Hardware*).
FPGA	Arranjo de portas programáveis em campo (*Field Programmable Gate Array*). É um circuito integrado desenvolvido para ser configurado pelo projetista, ou seja, o projetista é quem define a função a ser desempenhada por este circuito integrado.
GND	Terra (*Ground*) é o potencial de referência do circuito, em relação ao qual é medido os potencial dos demais pontos do circuito, convencionado como potencial de zero volts.
GVO	Sobre tensão aplicada à porta de um MOSFET (*Gate-Overdrive Voltage*) que é equivalente a V_{GS} - V_{th}.

Max.	Máximo.
Min.	Mínimo.
MOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor Field Effect Transistor*).
nMOSFET / nMOS	Transistor de Efeito de Campo Metal-Óxido-Semicondutor, canal do tipo n.
OTA	Amplificador Operacional de Transcondutância (*Operational Transconductance Amplifier*).
PM	Margem de Fase (*Phase Margin*).
pMOSFET / pMOS	Transistor de Efeito de Campo Metal-Óxido-Semicondutor, canal do tipo p.
SAT.	Saturação.
SR	Taxa máxima de variação do sinal de saída do OTA em função do tempo (*Slew Rate*) [V/µs].
SOI	Silício-Sobre-Isolante (*Silicon-On-Insulator*).
SPICE	Programa de Simulação com Ênfase em Circuitos Integrados (*Simulation Program with Integrated Circuit Emphasis*).
VCO	Osciladores Controlados por Tensão (*Voltage Controlled Oscillators*).
ULSI	Escala Ultra Alta de Integração (*Ultra-Large-Scale Integration*).

LISTA DE SÍMBOLOS

A	Área do capacitor formado por placas planas e paralelas.
AGSPICE	Sistema evolucionário constituído de um programa que utiliza uma técnica de Inteligência Artificial denominada Algoritmos Genéticos que foi integrado a um simulador de circuitos integrados denominado SPICE.
AREA	Somatória do produto $W \times L$ de todos os transistores do circuito do OTA (M1 a M10) [μm^2].
AREA(i)	Valor da *AREA* associado a um indivíduo *i* do AGSPICE [μm^2].
$AREA_{obj}$	Valor da *AREA* pré-determinado pelo projetista como objetivo para o AGSPICE [μm^2].
A_V	Ganho de tensão [dB] ou [V/V].
A_{V0}	Ganho de tensão de pequenos sinais em malha aberta e de baixas frequências [dB] ou [V/V].
$A_{V0}(i)$	Valor do ganho de tensão do OTA em malha aberta associado a um indivíduo *i* do AGSPICE.
A_{V0_obj}	Valor do ganho de tensão do OTA em malha aberta pré-determinado pelo projetista como objetivo para o AGSPICE.
B	Terminal do substrato ou corpo (*Body*) de um MOSFET.
$B_{3,5}$	Fator de ganho do espelho de corrente pMOSFET formado pelos transistores M3 e M5.
$B_{4,6}$	Fator de ganho do espelho de corrente pMOSFET formado pelos transistores M4 e M6.
$B_{7,8}$	Fator de ganho espelho de corrente nMOSFET formado pelos transistores M7 e M8.
$B_{9,10}$	Fator de ganho do espelho de corrente nMOSFET formado pelos transistores M9 e M10. Este espelho de corrente é responsável pela polarização do par diferencial do OTA por corrente elétrica.
C_1	Capacitância interna do circuito do OTA, calculado pela soma das capacitâncias intrínsecas, de sobreposição e dreno-substrato de M2, M4 e M6 [pF].
C_2	Capacitância interna do circuito do OTA, calculado pela soma das capacitâncias intrínsecas, de sobreposição e dreno-substrato de M5, M7 e M8 [pF].
C_D	Capacitância de depleção de um MOSFET por unidade de área [F/cm^2].
C_L	Capacitância de carga conectada ao nó de saída do OTA [pF].

$Cov(X,Y)$	Covariância dos conjuntos de dados X e Y.
C_{ox}	Capacitância do óxido de porta por unidade de área [F/cm^2].
D	Terminal de dreno (*Drain*) de um MOSFET.
$Eval(AREA(i))$	Avaliação da área ocupada por todos os transistores do OTA, relacionada a um indivíduo i da população do AGSPICE.
$Eval(A_{V0}(i))$	Avaliação do ganho de tensão em malha aberta e baixas frequências obtido por um indivíduo i da população do AGSPICE.
$Eval(f_T(i))$	Avaliação da frequência de ganho de tensão unitário obtido por um indivíduo i da população do AGSPICE.
$Eval(M_{SAT}(i))$	Avaliação da região de operação de todos os transistores do circuito do OTA (M1 a M10), relacionada a um indivíduo i da população do AGSPICE.
$Eval(Obj(i))$	Avaliação de um determinado objetivo (A_{V0}, f_T, PM, etc.) obtida por um indivíduo i da população do AGSPICE.
$Eval(PM(i))$	Avaliação da margem de fase obtida por um indivíduo i da população do AGSPICE.
$Eval(P_{TOT}(i))$	Avaliação da potência DC dissipada por um indivíduo i da população do AGSPICE.
$Eval(V_{OUT}(i))$	Avaliação da tensão de saída DC obtida por um indivíduo i da população do AGSPICE.
$Eval_{AG}(i)$	Avaliação de um indivíduo i da população do AGSPICE, levando em consideração os múltiplos objetivos [$A_{V0}(i)$, $f_T(i)$, $PM(i)$, $V_{OUT}(i)$, $P_{TOT}(i)$, $AREA(i)$ e $M_{SAT}(i)$].
f_{3dB}	Freqüência de corte a -3 dB do ganho de tensão DC em malha aberta do OTA [Hz].
f_T	Freqüência de ganho de tensão unitário [MHz].
$f_T(i)$	Valor da frequência de ganho de tensão unitário associado a um indivíduo i do AGSPICE [MHz].
f_{T_obj}	Valor da frequência de ganho de tensão unitário do OTA pré-determinado pelo projetista como objetivo para o AGSPICE [MHz].
g_m	Transcondutância de um MOSFET [S].
g_m/I_{DS}	Razão da transcondutância pela corrente DC entre dreno e fonte de um MOSFET [V^{-1}].
G	Terminal de porta (*Gate*) de um MOSFET.
i	Índice da população do AGSPICE que identifica um indivíduo.
i	Índice que identifica cada um dos elementos pertencentes aos conjuntos de dados X e Y, $i \in [1, N_{AM}]$.

i_{ds}	Corrente diferencial de pequenos sinais entre dreno e fonte do transistor M1, representada por i_{ds1}, ou do transistor M2, representada por i_{ds2}, devido à aplicação de um sinal diferencial de tensão (v_{id}) na entrada do OTA, que apresentam os mesmos valores, ou seja, $i_{ds1} = i_{ds2}$.
i_{dsx}	Corrente entre dreno e fonte de um MOSFET do circuito do OTA, x $\in$ [1, 10], levando em consideração apenas a componente alternada.
i_{DSx}	Corrente entre dreno e fonte de um MOSFET do circuito do OTA, x $\in$ [1, 10], levando em consideração as componentes contínua e alternada.
I_{D0}	Corrente de saturação de um MOSFET na região de inversão fraca.
I_{DS}	Corrente entre dreno e fonte de um MOSFET levando em consideração apenas a componente contínua [µA].
I_{DSx}	Corrente entre dreno e fonte de um MOSFET do circuito do OTA, x $\in$ [1, 10] levando em consideração apenas a componente contínua [µA].
$I_{DS1,2}$	Corrente de polarização do par diferencial do OTA (M1-M2) [µA].
$I_{DS3,4}$	Corrente de polarização do par de transistores pMOSFET M3-M4 do OTA [µA].
$I_{DS5,6}$	Corrente de polarização do par de transistores pMOSFET M5-M6 do estágio de saída do OTA [µA].
$I_{DS7,8}$	Corrente de polarização do par de transistores nMOSFET M7-M8 do OTA [µA].
$I_{DS9,10}$	Corrente de polarização do par de transistores nMOSFET M9-M10 do OTA [µA].
I_{DSnx}	Corrente entre dreno e fonte normalizada de um transistor M_x, equivalente a $(I_{DS}/(W/L))_x$, (x $\in$ [1, 10]) [A].
I_O	Corrente de saída do espelho de corrente formado pelos transistores M9 e M10 do OTA [A].
I_{POL}	Corrente de referência de polarização do estágio diferencial do OTA [µA].
I_{POLmax}	Valor máximo da corrente de polarização do estágio diferencial do OTA, configurado no programa AGSPICE [µA].
I_{POLmin}	Valor mínimo da corrente de polarização do estágio diferencial do OTA, configurado no programa AGSPICE [µA].
I_{TOT}	Corrente total de alimentação do OTA [µA].
k	Constante de Boltzmann [J/K].
L	Comprimento de canal de um MOSFET [µm].
$L_{1,2}$	Comprimento de canal do par diferencial do OTA (M1-M2) [µm].

$L_{3,4}$	Comprimento de canal do par de transistores pMOSFET M3-M4 do OTA [µm].
$L_{5,6}$	Comprimento de canal do par de transistores pMOSFET M5-M6 do OTA [µm].
$L_{7,8}$	Comprimento de canal do par de transistores nMOSFET M7-M8 do OTA [µm].
$L_{9,10}$	Comprimento de canal do par de transistores nMOSFET M9-M10 do OTA [µm].
L_x	Comprimento de canal de um MOSFET M_x do circuito do OTA, x $\in$ [1, 10], [µm].
L_{xmax}	Comprimento máximo de canal de um MOSFET M_x do circuito do OTA, x $\in$ [1, 10], especificado no programa AGSPICE [µm].
L_{xmin}	Comprimento mínimo de canal de um MOSFET M_x do circuito do OTA, x $\in$ [1, 10], especificado no programa AGSPICE [µm].
Melhor	Solução que alcançou o melhor desempenho dentre todas as rodadas realizadas pelo AGSPICE.
M1	nMOSFET conectado à entrada inversora do estágio amplificador diferencial OTA.
M2	nMOSFET conectado à entrada não inversora do estágio amplificador diferencial OTA.
M3	pMOSFET de carga do par diferencial de entrada e que compõe espelho de corrente pMOSFET formado pelo par M3-M5 do OTA.
M4	pMOSFET de carga do par diferencial de entrada e que compõe espelho de corrente pMOSFET formado pelo par M4-M6 do OTA.
M5	pMOSFET do estágio de saída, que compõe espelho de corrente pMOSFET formado pelo par M3-M5 do OTA.
M6	pMOSFET do estágio de saída, que compõe espelho de corrente pMOSFET formado pelo par M4-M6 do OTA.
M7	nMOSFET do estágio de saída, que compõe espelho de corrente nMOSFET formado pelo par M7-M8 do OTA.
M8	nMOSFET do estágio de saída e que compõe espelho de corrente nMOSFET formado pelo par M7-M8 do OTA.
M9	nMOSFET do espelho de corrente nMOSFET formado pelo par M9-M10, que polariza o par diferencial de entrada do OTA por corrente elétrica.
M10	nMOSFET do espelho de corrente nMOSFET formado pelo par M9-M10, que polariza o par diferencial de entrada do OTA por corrente elétrica.
$M_{x(SAT)}(i)$	Representa a região de operação de um determinado transistor do circuito (x $\in$ [1, 10]), para um determinado indivíduo *i* do AGSPICE

n	Número de *bits* dos genes *W*, *L*, I_{POL} e V_{INPOL} do AGSPICE.
n_{si}	Fator de corpo de um transistor MOSFET.
n_{wi}	Fator de inclinação na região de sub-limiar.
N	Número de indivíduos que compõem uma população do AGSPICE, determinado pelo projetista.
N_{Am}	Tamanho das amostras de dados para o cálculo do coeficiente de correlação ($\rho_{X,Y}$).
N_b	Concentração de dopantes do substrato de um MOSFET [cm^{-3}].
N_i	Concentração intrínseca de portadores do silício [cm^{-3}].
$Obj(i)$	Representa o valor de um objetivo obtido por um determinado indivíduo, índice(*i*), do AGSPICE (A_{V0}, f_T, *PM*, etc.).
Obj_Des	Representa o valor desejado de um determinado objetivo estabelecido pelo projetista (A_{V0}, f_T, *PM*, etc.).
P_{AREA}	Peso da avaliação da área total ocupada pelos transistores do OTA (M1 a M10) [%].
P_{AV0}	Peso da avaliação do ganho de tensão em baixas frequências [%].
P_{fT}	Peso da avaliação da frequência de ganho unitário [%].
P_{MSAT}	Peso da avaliação da região de operação dos transistores do OTA [%].
P_{PM}	Peso da avaliação da margem de fase [%].
P_{PTOT}	Peso da avaliação da potência total dissipada pelo OTA [%].
P_{VOUT}	Peso da avaliação da tensão de saída DC [%].
P_{TOT}	Potência DC dissipada pelo OTA [µW].
$P_{TOT}(i)$	Valor de P_{TOT} associado a um indivíduo *i* do AGSPICE [µW].
P_{TOT_obj}	Valor da Potência DC dissipada pelo OTA, pré-determinado pelo projetista como objetivo para o AGSPICE [µW].
PM	Margem de fase do OTA [°].
$P_M(i)$	Valor da margem de fase associado a um indivíduo *i* do AGSPICE [°].

PM_{obj}	Valor da margem de fase do OTA pré-determinado pelo projetista como objetivo para o AGSPICE [°].
q	Carga elementar do elétron [C].
r_o	Resistência de saída de um transistor, referente ao modelo AC de pequenos sinais.
S	Terminal de fonte (*Source*) de um MOSFET.
S	Inclinação de sub-limiar de um MOSFET [mV/década].
T	Temperatura absoluta em Kelvin [K].
$Tol_{PTOT}\%$	Faixa de tolerância admissível para a potência DC dissipada pelo OTA, especificada no programa AGSPICE. Esta restrição do programa impõe que a potência dissipada por um determinado indivíduo do AGSPICE deve estar dentro dessa faixa de tolerância, ou seja, $P_{TOT} = P_{TOT} \pm (Tol_{PTOT}\%)$.
$Tol_{VOUT}\%$	Faixa de tolerância admissível para a tensão de saída DC do OTA, especificada no programa AGSPICE. Esta restrição do programa impõe que a tensão de saída DC de um determinado indivíduo do AGSPICE deve estar dentro dessa faixa de tolerância, ou seja, $V_{OUT} = V_{DD}/2 \pm (Tol_{VOUT}\%)$.
U_T	Tensão térmica [V].
v_{gs}	Tensão aplicada à porta de um MOSFET, levando em consideração apenas a componente alternada [V].
v_{I+}	Tensão da entrada não inversora do estágio amplificador diferencial do OTA que leva em consideração as componentes alternada e contínua [V].
v_{I-}	Tensão da entrada inversora do estágio amplificador diferencial do OTA que leva em consideração as componentes alternada e contínua [V].
v_{id}	Tensão diferencial de entrada do estágio amplificador diferencial do OTA que leva em consideração somente a componente alternada [V].
v_{ID}	Tensão diferencial de entrada do estágio amplificador de diferencial do OTA que leva em consideração as componentes contínua e alternada [V].
v_{out}	Tensão no nó de saída do OTA que leva em consideração apenas a componente alternada [V].
v_{OUT}	Tensão no nó de saída do OTA que leva em consideração as componentes contínua e alternada [V].
V_A	Tensão Early de um MOSFET [V].
V_{A6}	Tensão Early do MOSFET M6 do OTA [V].
V_{A8}	Tensão Early do MOSFET M8 do OTA [V].

V_{BS}	Tensão entre o substrato e a fonte de um MOSFET [V].
V_{CM}	Tensão de entrada do OTA em Modo-Comum.
V_{DD}	Tensão de alimentação positiva do OTA [V].
V_{DS}	Tensão entre dreno e fonte de um MOSFET [V].
V_{DSAT}	Tensão de saturação de um MOSFET [V].
V_{GS}	Tensão entre porta e fonte de um MOSFET [V].
V_{GS6}	Tensão entre a porta e a fonte do MOSFET M6 do OTA [V].
V_{GS8}	Tensão entre a porta e a fonte do MOSFET M8 do OTA [V].
V_{INPOL}	Tensão de entrada em modo comum de polarização do circuito do OTA [V].
$V_{INPOLmax}$	Valor máximo da tensão de entrada em modo comum de polarização do circuito do OTA, configurado no programa AGSPICE [V].
$V_{INPOLmin}$	Valor mínimo da tensão de entrada em modo comum de polarização do circuito do OTA, configurado no programa AGSPICE [V].
V_{OUT}	Tensão no nó de saída do OTA que leva em consideração apenas a componente contínua [V].
$V_{OUT}(i)$	Valor de V_{OUT} associado a um indivíduo *i* do AGSPICE [V].
V_{OUT_obj}	O valor da tensão no nó de saída do OTA estabelecido como objetivo para o AGSPICE é sempre considerado igual a $V_{DD}/2$, a fim de maximizar a excursão do sinal de saída [V].
V_{th}	Tensão de limiar (*threshold voltage*) de um transistor MOSFET.
V_{thn}	Tensão de limiar do transistor nMOSFET.
V_{thp}	Tensão de limiar do transistor pMOSFET.
W	Largura de canal de um MOSFET [µm].
$W_{1,2}$	Largura de canal do par diferencial do OTA (M1-M2) [µm].
$W_{3,4}$	Largura de canal do par de transistores M3-M4 do OTA, considerando M3 e M4 casados [µm].
$W_{5,6}$	Largura de canal do par de transistores M5-M6 do OTA, considerando M5 e M6 casados [µm].

$W_{7,8}$	Largura de canal do par de transistores M7-M8 do OTA, considerando M7 e M8 casados [µm].
$W_{9,10}$	Largura de canal do par de transistores M9-M10 do OTA, considerando M9 e M10 casados [µm].
W_x	Largura de canal de um MOSFET M_x do circuito do OTA, x $\in$ [1, 10], [µm].
W_{xmax}	Largura máxima de canal de um MOSFET M_x do circuito do OTA, x $\in$ [1, 10], especificado no programa AGSPICE [µm].
W_{xmin}	Largura mínima de canal de um MOSFET M_x do circuito do OTA, x $\in$ [1, 10], especificado no programa AGSPICE, [µm].
x_{dmax}	Espessura máxima da camada de depleção no silício [cm].
x_{ox}	Espessura da camada de óxido de silício [cm].
y_B	Representa um gene do cromossoma do AGSPICE, ou seja, representa genericamente as dimensões dos transistores, a corrente de polarização e a tensão de entrada em modo comum de polarização do circuito do OTA, codificados em números binários.
$y_{B(POS)}$	Valor do *bit* na posição de índice *POS* no número y_B, *POS* $\in$ [0, (*n*-1)], sendo *n* o número de *bits* do número binário y_B.
y_I	Número inteiro na faixa de 0 a (2^n-1), resultante da conversão do número binário y_B no valor inteiro correspondente, sendo *n* o número de *bits* do número binário y_B.
y_R	Número real decodificado do gene (y_B) do cromossoma do AGSPICE na faixa de y_{Rmin} a y_{Rmax}.
y_{Rmax}	Representa o valor máximo de uma grandeza representada por um gene do cromossoma, por exemplo W_{xmax}.
y_{Rmin}	Representa o valor mínimo de uma grandeza representada por um gene do cromossoma, por exemplo W_{xmin}.
X	Conjunto de dados que se deseja obter uma correlação ($\rho_{X,Y}$).
Y	Conjunto de dados que se deseja obter uma correlação ($\rho_{X,Y}$).
σ^2	Variância da curva Gaussiana empregada na avaliação do AGSPICE.
σ_{AC}	Sigma da curva Gaussiana, configurado no programa AGSPICE, empregado na avaliação dos objetivos AC, ou seja, A_{V0}, f_T e *PM*.
σ_{DC}	Sigma da curva Gaussiana, configurado no programa do AGSPICE, empregado na avaliação dos objetivos DC, ou seja, V_{OUT}, P_{TOT}, *AREA* e todos os transistores do circuito operando na região de saturação.
μ_S	Valor médio das 10 melhores soluções apresentadas pelo AGSPICE.

σ_S	Desvio padrão das 10 melhores soluções apresentadas pelo AGSPICE.
σ_X	Desvio padrão de um conjunto de dados *X* contendo N_{Am} amostras.
σ_Y	Desvio padrão de um conjunto de dados *Y* contendo N_{Am} amostras.
$\%_{CROSSOVER(AC)}$	Taxa de incidência de reprodução por *crossover* no AGSPICE, para a etapa de obtenção de soluções AC [%].
$\%_{CROSSOVER(DC)}$	Taxa de incidência de reprodução por *crossover* no AGSPICE, para a etapa de obtenção de soluções DC [%].
$\%_{MUTAÇÃO(AC)}$	Taxa de incidência de mutação por *bit flip* no AGSPICE, para a etapa de obtenção de soluções AC [%].
$\%_{MUTAÇÃO(DC)}$	Taxa de incidência de mutação por *bit flip* no AGSPICE, para a etapa de obtenção de soluções DC [%].
ε_{ox}	Permissividade do óxido de silício [F/cm].
ε_{SI}	Permissividade do silício [F/cm].
μ_0	Mobilidade de baixo campo dos portadores de carga do canal do MOSFET [cm^2/V.s].
μ_n	Mobilidade de baixo campo dos elétrons do canal do transistor nMOSFET [cm^2/V.s].
μ_p	Mobilidade de baixo campo das lacunas do canal do transistor pMOSFET [cm^2/V.s].
λ	Coeficiente de modulação do comprimento de canal [V^{-1}].
ϕ_F	potencial de Fermi [V].
$2.\lvert\phi_F\rvert$	Potencial de superfície em inversão forte [V].
ω_{p1}	Segundo polo do OTA, introduzido pelo espelho de corrente pMOSFET formado por M4-M6 [rad/s].
ω_{p2}	Terceiro polo do OTA, introduzido pelo espelho de corrente nMOSFET formado por M7-M8 [rad/s].
ω_T	Polo dominante do OTA, introduzido pela capacitância de carga C_L, equivalente a $2.\pi.f_T$ [rad/s].
ω_{z1}	Zero do OTA, introduzido pelo espelho de corrente nMOSFET formado por M7-M8, situado uma oitava além do terceiro pólo, ou seja, possui o dobro da frequência do terceiro polo ($\omega_{z1} = 2.\omega_{p2}$) [rad/s].
$\rho_{X,Y}$	Coeficiente de correlação dos conjuntos de dados *X* e *Y*.

SUMÁRIO

1. INTRODUÇÃO 34

2. A TECNOLOGIA CMOS 38

2.1. Capacitores MOS 38

2.2. O MOSFET 40

2.2.1. Modelo de primeira ordem do MOSFET na região de inversão forte 43

2.2.2. Modelo de primeira ordem do MOSFET na região de inversão fraca 47

2.2.3. Transcondutância 48

2.2.4. Metodologia de projeto baseada na curva g_m/I_{DS} x $I_{DS}/(W/L)$ 49

2.2.5. Determinação da curva g_m/I_{DS} x $I_{DS}/(W/L)$ 53

2.2.6. Determinação do parâmetro Tensão Early - V_A 55

3. AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA) 60

3.1. Introdução do OTA 60

3.2. Funcionamento do OTA de um único estágio e única saída 62

3.2.1. Funcionamento dos espelhos de corrente do OTA de um único estágio e única saída 62

3.2.2. Funcionamento do estágio do amplificador diferencial (análise DC) 63

3.2.3. Funcionamento do estágio do amplificador diferencial (análise AC) 64

3.2.4. Estágio de saída em espelho de corrente (análise DC) 66

3.2.5. Estágio de saída em espelho de corrente (análise AC) 67

3.3. Equações básicas do OTA CMOS 68

3.4. Considerações finais 72

4. METODOLOGIA DO PROJETO MANUAL UTILIZADA NA SOLUÇÃO DE OBJETIVOS DO OTA CMOS 73

4.1. Considerações finais 79

5. A METODOLOGIA EVOLUCIONÁRIA 80

5.1. Processo de busca dos objetivos através do AGSPICE 83

5.2. Representação do Cromossoma do AGSPICE 87

5.2.1. Decodificação do cromossoma 88

5.3. Função de avaliação do AGSPICE 90

5.4. Elitismo 96

5.5. Seleção para reprodução 98

5.6. Reprodução 99

5.7. Mutação 101

5.8. Considerações finais 102

6. EXPERIMENTOS DO PROJETO MANUAL E AGSPICE 103

6.1. Descrição da ferramenta de auxílio no desenvolvimento de CIs analógicos (AGSPICE) 103

6.2. Modos de operação dos OTAs e as configurações dos parâmetros de busca do AGSPICE 104

6.3. Resultados obtidos pelo projeto Manual e pelo AGSPICE 115

6.4. Comparação entre o projeto Manual e o AGSPICE 123

6.5. As respostas em frequência dos OTAs 127

6.6. Mapeamento das variáveis de entrada e análise das soluções encontradas pelo AGSPICE 129

6.7. Recomendações de projeto 185

7. CONCLUSÃO 205

8. REFERÊNCIAS 207

APÊNDICE A : ILUSTRAÇÃO DE UM ARQUIVO *NETLIST* DO CIRCUITO DO OTA 210

APÊNDICE B : ILUSTRAÇÕES DAS JANELAS DO *SOFTWARE* DESENVOLVIDO NESTE TRABALHO PARA O ESTUDO DO OTA 212

APÊNDICE C : ILUSTRAÇÃO DA SOLUÇÃO COM O MAIOR VALOR DE AVALIAÇÃO APRESENTADA PELO *SOFTWARE* DESENVOLVIDO NESTE TRABALHO PARA O AMPLIFICADOR OTA MICROPOTÊNCIA2 217

ANEXO A : MODELO SPICE BSIM3 VERSÃO 3.1 218

A.1 Transistor nMOSFET da Tecnologia CMOS de 0,35 µm da AMIS (ON-SEMICONDUCTOR) 218

A.2 Transistor pMOSFET da Tecnologia CMOS de 0,35 µm da AMIS (ON-SEMICONDUCTOR) 219

1. INTRODUÇÃO

O desenvolvimento de circuitos integrados analógicos é uma atividade complexa, pois envolve múltiplas variáveis e múltiplos objetivos a serem atingidos ao mesmo tempo [1], [2]. Essa dificuldade se mostra ainda maior quando o circuito em questão contém muitos transistores, tais como filtros e amplificadores [1], [2]. Devido ao projeto de circuitos integrados eletrônicos ser desafiador, pois envolve múltiplas variáveis, tais como as dimensões dos diversos transistores do circuito e múltiplos objetivos, tais como o ganho de tensão em malha aberta e a frequência de ganho de tensão unitário, técnicas computacionais de Inteligência Artificial (IA), como Algoritmos Genéticos (AG), são aplicadas na busca de soluções de projeto desses circuitos eletrônicos, procurando diminuir o tempo de desenvolvimento e contribuindo como uma ferramenta computacional adicional de suporte ao projeto de circuitos integrados eletrônicos [1], [2].

Atualmente é importante realizar circuitos eletrônicos que atendam muitas especificações: baixa área, baixo consumo de potência, alta velocidade, e, em alguns casos, requisitos de tolerância de falha [1]. Métodos de projeto convencionais normalmente não são apropriados quando muitas especificações são consideradas [1]. Algoritmos Evolucionários podem incorporar metodologias que processam muitos objetivos de projeto ao mesmo tempo[1].

Contrastando com o projeto de circuitos digitais, não há um conjunto sólido de regras de projeto ou procedimentos para síntese de circuitos integrados analógicos [1]. Como conseqüência, o projeto de circuitos analógicos tem que ser baseado na experiência e até mesmo na intuição do projetista [1]. Adicionalmente, Ferramentas CAD (Projeto Assistido por Computador) para projetos analógicos não são tão comuns como aquelas para que são encontradas para o hardware digital [1].

A otimização do projeto de amplificadores operacionais pode ser realizada por algoritmos evolucionários se for interpretada como uma tarefa de busca [1]. Particularmente, a natureza de múltiplos objetivos deste problema, onde a área, velocidade (resposta em frequência), consumo de potência, e outras especificações importantes dos CIs devem ser consideradas, tornam os algoritmos de busca mais adequados que as ferramentas de otimização matemática [1].

No final dos anos 50, cientistas começaram a olhar para princípios da evolução biológica para desenvolver novos modelos para computação [1], [3]. A otimização de problemas tem sido a principal aplicação destes novos modelos computacionais [1], [3].

Trabalhando independentemente, alguns cientistas tinham desenvolvido algoritmos baseados em princípios similares [1], [3]. Mais tarde, outros pesquisadores compilaram as idéias derivadas destes primeiros esforços, construindo algoritmos mais poderosos, que são agora aplicados a uma ampla variedade de problemas [1], [3]. Estas ferramentas receberam o nome de Algoritmos Evolucionários [1], [3].

Em setembro de 1997 alguns pesquisadores, vindos de diferentes universidades na Europa, se reuniram na Universidade de Napier, na Escócia com o objetivo de formalizar a nova área de pesquisa em que estiveram envolvidos naqueles últimos anos, que envolvia Computação Evolutiva e Eletrônica [1]. Essa nova área foi denominada de Eletrônica Evolucionária, uma área que cobriria todas as aplicações envolvendo o uso de Computação Evolutiva em projeto de sistemas eletrônicos [1]. O nome *Hardware* Evolucionário (ou EH, *Evolvable Hardware*) é também usado como sinônimo para Eletrônica Evolucionária [1]. Embora a maioria dos pesquisadores naquele encontro estivessem investigando Eletrônica Evolucionária somente durante aqueles últimos anos, as primeiras aplicações apareceram no meio dos anos 80, quando algoritmos evolucionários foram aplicados na otimização de leiaute de CIs digitais, em tarefas de posicionamento e roteamento [1].

Há diversas técnicas de Inteligência Artificial (IA) no desenvolvimento de programas que reproduzem o comportamento humano, aplicado à resolução de problemas [3]. Uma dessas técnicas denomina-se Algoritmos Genéticos (AG) e foi desenvolvida pelo americano John Henry Holland e sua equipe em 1975, na Universidade de Michigan [3]. Os objetivos da pesquisa do Dr. Holland eram basicamente dois: abstrair e explicar, a rigor, o processo de adaptação de sistemas naturais e desenvolver um sistema artificial por *software* que contivesse os mecanismos importantes dos sistemas naturais de adaptação [3].

Atualmente existem diversas aplicações para Algoritmos Genéticos (AG), tais como tarefas de compactação de leiaute, desenvolvimento a nível de sistema, projeto de dispositivos eletromagnéticos, antenas, amplificadores operacionais CMOS e filtros [4]. Mais especificamente, no desenvolvimento a nível de sistema existe a interação entre *hardware* (equipamento, por exemplo um FPGA) e *software* (programa de computador, por exemplo um Algoritmo Genético). Existem diversos trabalhos que empregam esta metodologia. Como primeiro exemplo, pode-se citar o uso dessa metodologia na otimização de um *codec* (compactador / descompactador) de vídeo utilizado para compressão da imagem com o objetivo de reduzir o custo e a latência desse sistema [4], [5]. Como segundo exemplo pode-se citar a possibilidade do desenvolvimento de sistemas embarcados utilizando FPGAs reconfiguradas dinamicamente com o auxílio de Algoritmos Genéticos, possibilitando um

único FPGA desempenhar diferentes tarefas, com um tempo reduzido de reprogramação, possibilitando reduzir o custo e a área do CI [4], [6].

O projeto de circuitos integrados (CIs) analógicos é uma tarefa complexa devido ao grande número de parâmetros de otimização envolvidos, tais como as dimensões dos transistores, dados pela largura (*W*) e comprimento (*L*) de canal, a corrente de polarização do circuito (I_{POL}), a tensão de entrada em modo comum de polarização (V_{INPOL}), os valores da razão da transcondutância sobre a corrente de dreno (g_m/I_{DS}), a tensão Early (V_A) de cada transistor, e também os diferentes objetivos de projeto, tais como o ganho de tensão em malha aberta (A_{V0}), a frequência de ganho de tensão unitário (f_T), a margem de fase (*PM*), as condições de polarização por tensão e corrente contínuas (DC), a potência total dissipada pelo circuito (P_{TOT}), a área de todos os transistores (*AREA*), os regimes de operação e inversão dos transistores, o *Slew Rate* (*SR*), a Razão de Rejeição em Modo Comum (*CMRR*), entre outros. Existem, de fato, inúmeras soluções possíveis baseadas, por exemplo, nas combinações das dimensões dos transistores e condições de regime de inversão que podem ser identificados para alcançar um objetivo de projeto específico [1]. Na prática, a solução de um objetivo de projeto específico depende essencialmente da experiência do projetista [1].

Esse trabalho tem como principal objetivo a aplicação de uma técnica computacional de Inteligência Artificial denominada Algoritmos Genéticos (AG) [3], na automatização e otimização do projeto de um circuito integrado analógico e para o estudo do comportamento do OTA para auxiliar o projetista e, possivelmente, reduzir o tempo de projeto. Dessa forma, foi desenvolvido neste trabalho um programa (*software*) que utiliza o AG [3], que integrado ao simulador de circuitos integrados Spice Opus [7] constitui o sistema evolucionário, o qual também será designado através da sigla AGSPICE. Este sistema permite realizar o mapeamento do processo de busca dos múltiplos objetivos de projeto do amplificador operacional de transcondutância (OTA) de único estágio e única saída, construído com tecnologia CMOS, o qual é um bloco básico analógico bastante importante na implementação de circuitos integrados tanto analógico como digitais.

Uma das principais características do AGSPICE é a de mapear as mudanças das dimensões *W* e *L* de todos os transistores do OTA, assim como a corrente de polarização do circuito e a tensão de entrada em modo comum e também investigar como estas mudanças afetam o processo de busca dos objetivos de projeto do OTA, quando operando em condições de micropotência, alto ganho de tensão e alta frequência. O processo de busca do AGSPICE, neste caso, se propõe a avaliar sete diferentes objetivos de projeto do OTA ao mesmo tempo: A_{V0}, f_T, *PM*, tensão de saída DC igual à metade da tensão de alimentação (V_{DD}), ou seja, V_{OUT}

sendo igual a $V_{DD}/2$ para permitir a máxima excursão do sinal de saída, P_{TOT}, *AREA* e todos os transistores do circuito operando na região de saturação.

O restante deste trabalho está organizado do seguinte modo. No próximo capítulo, capítulo 2, serão revisados alguns conceitos de alguns parâmetros básicos da tecnologia CMOS utilizada neste trabalho. No próximo capítulo, o capítulo 3, será estudado o Amplificador Operacional de Transcondutância (OTA). O capítulo 4 detalha a metodologia e o procedimento utilizado no projeto manual. O capítulo 5 detalha o AGSPICE e o procedimento de busca utilizado. Em seguida, no capítulo 6, serão apresentados e discutidos os resultados obtidos nos experimentos realizados através do AGSPICE, assim como os resultados obtidos de forma manual, sendo realizada, posteriormente, uma comparação entre os dois métodos utilizados. Por fim, no capítulo 7, apresenta-se uma conclusão dos resultados e discute-se as possibilidades de desenvolvimento futuros dessa pesquisa.

2. A TECNOLOGIA CMOS

Atualmente a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) é bastante difundida na indústria, sendo usada tanto em circuitos analógicos como circuitos digitais, devido em grande parte à possibilidade que se obter circuitos com grande densidade de integração, permitindo a realização e construção de sistemas cada vez mais velozes e complexos [8]. Comparado aos TBJs (transistores bipolar de junção), os MOSFETs podem ser feitos com dimensões muito pequenas e seu processo de fabricação é relativamente simples [8]. Além disso, circuitos digitais e até mesmo circuitos analógicos podem ser implementados utilizando exclusivamente MOSFETs. Por essas razões, a maioria dos circuitos integrados em escala ultra alta de integração (*Ultra-Large-Scale Integration – ULSI*) é feita atualmente usando-se a tecnologia CMOS. A tecnologia CMOS também tem sido aplicada extensivamente ao projeto de circuitos integrados digitais e analógicos [8].

Portanto, este capítulo focará na análise do principal dispositivo usado no projeto analógico em tecnologia CMOS: o MOSFET. Após a apresentação desse dispositivo, serão apresentados importantes figuras de mérito dos MOSFETs, tais como a transcondutância (g_m) e a tensão Early (V_A). Como a tecnologia CMOS de 0,35 µm da ON-Semiconductor [9] é utilizada neste trabalho, este capítulo também apresentará a metodologia utilizada para a obtenção de importantes parâmetros dessa tecnologia, que serão utilizados na metodologia do projeto de CIs analógicos realizado manualmente.

No capítulo anterior foi apresentada uma introdução com uma visão geral desta dissertação. Neste capítulo, será realizada uma revisão de alguns conceitos referentes à tecnologia CMOS, que é utilizada neste trabalho. Esses conceitos são importantes para compreensão do funcionamento do OTA, assim como as restrições e limitações das equações de primeira ordem que são aplicadas no projeto de CIs analógicos realizado de maneira manual.

2.1. Capacitores MOS

Antes da apresentação dos transistores do tipo MOSFET é importante a apresentação do capacitor MOS, pois é a estrutura básica desse tipo de transistor. Nesta seção são examinados rapidamente os capacitores que são compatíveis com o processo CMOS de fabricação.

Existem basicamente dois tipos de capacitores em tecnologia CMOS. O primeiro capacitor possui a mesma estrutura da capacitância do óxido de porta presente no transistor MOSFET, sendo formado pela estrutura de polisilício (ou metal)-óxido fino de porta-canal, como está ilustrado na Figura 2.1. O segundo tipo de capacitor é formado por duas camadas condutoras (como metal ou polisilício) separadas por um dielétrico, geralmente óxido fino de porta, conforme ilustrado na Figura 2.2 [10].

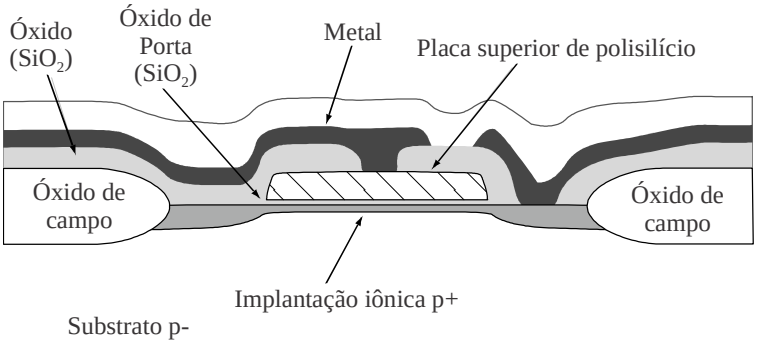


Figura 2.1 – Capacitor polisilício-óxido-canal.
Fonte: Adaptado de [10].

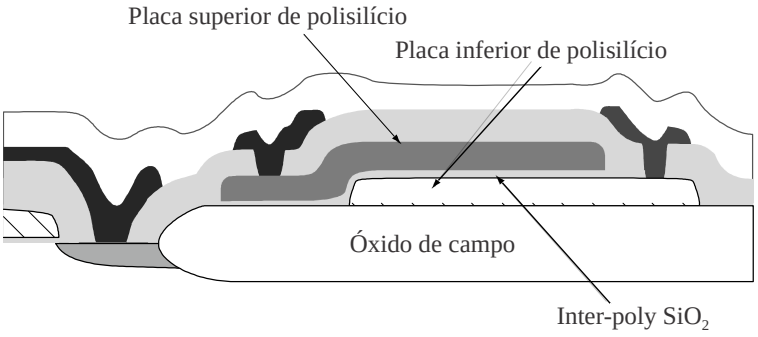


Figura 2.2 – Capacitor polisilício-óxido-polisilício.
Fonte: Adaptado de [10].

O valor da capacitância formada pela estrutura mostrada na Figura 2.2 é dada pelas equações (2.1) e (2.2):

$$C = C_{ox}.A\,, \tag{2.1}$$

$$C_{ox} = \frac{\varepsilon_{ox}}{x_{ox}}\,, \tag{2.2}$$

onde ε_{ox} é a permissividade do óxido de silício, x_{ox} é a espessura da camada de óxido, A é a área da placa do capacitor e C_{ox} é a capacitância do óxido de porta por unidade de área. O valor da capacitância formada pela estrutura polisilício-óxido-canal, mostrada na Figura 2.1, é formada pela associação série da capacitância do óxido de porta com a capacitância de depleção do silício, sendo que esta última varia de acordo com a espessura da camada de depleção do silício, ou seja, depende do regime de depleção do canal [10], [12].

A tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9] é utilizada neste trabalho. Dessa forma, a Tabela 2.1 apresenta alguns valores típicos relacionados às capacitâncias discutidas anteriormente para essa tecnologia.

Tabela 2.1 – Valores típicos de x_{ox}, C_{ox} e ε_{ox} para a tecnologia CMOS de 0,35 µm.

Parâmetro	**Valor**	**Unidades**
x_{ox}	$142x10^{-8}$	cm
C_{ox}	$2,4317x10^{-7}$	F/cm^2
ε_{ox}	$3,4506x10^{-13}$	F/cm

2.2. O MOSFET

O transistor de efeito de campo do tipo Metal-Óxido-Semicondutor (MOS) constitui atualmente um dos dispositivos eletrônicos mais importantes para a implementação de CIs. O advento da tecnologia MOS, que se baseia fundamentalmente na utilização desse tipo de transistor, permitiu a gigantesca miniaturização dos circuitos integrados observada atualmente, ampliando em muito a capacidade de processamento de informações [11].

Aqui é descrito de maneira sucinta o comportamento do MOSFET, baseado em [8] e [12]. Esta análise é feita para o nMOSFET (canal tipo n, modo enriquecimento, e substrato p), mas pode ser estendida ao pMOSFET, com as correntes e tensões invertidas. A Figura 2.3 ilustra a estrutura básica de um nMOSFET convencional, canal n, onde podem ser observadas as dimensões W e L. Esta estrutura é composta por um substrato de material semicondutor tipo p- (*Bulk*) no qual são difundidas duas regiões de material fortemente dopado (n+) chamadas fonte (*Source*) e dreno (*Drain*). A região entre o dreno e a fonte é coberta por uma camada fina de óxido de porta sobre a qual é depositado o eletrodo de porta (*Gate*) produzido de metal ou de polisilício com alta dopagem e baixa resistividade.

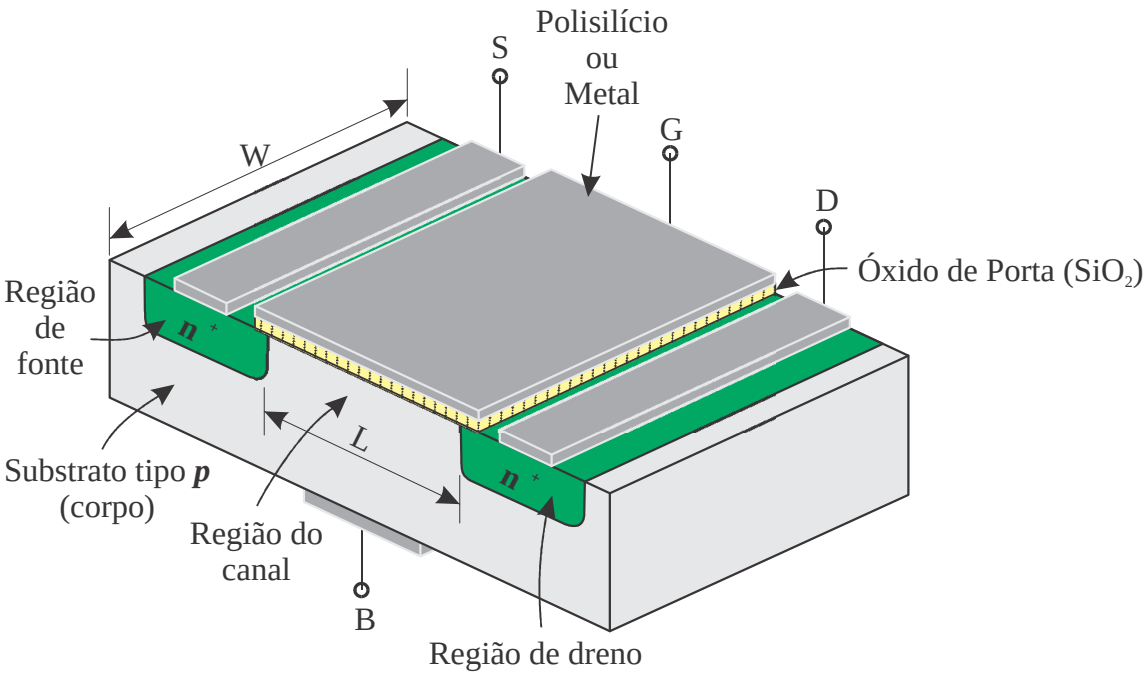


Figura 2.3 – Desenho esquemático de um nMOSFET convencional (*Bulk*).
Fonte: adaptado de [8], p. 330.

Ao se aplicar uma tensão entre a porta e o substrato, induz-se um campo elétrico vertical que repele da superfície os portadores majoritários (lacunas) e atrai os portadores minoritários (elétrons). Isto permite a formação de uma camada fina de elétrons na superfície, chamada de canal. No modo normal de operação do MOSFET, uma vez que os portadores que formam o canal são móveis, os mesmos podem fluir da fonte para o dreno, produzindo uma corrente de condução quando presente uma tensão entre o dreno e a fonte (V_{DS}). Em nMOSFETs, o potencial de dreno é maior que o potencial de fonte, e em pMOSFETs, o potencial de fonte é maior que o potencial de dreno. A tensão entre a porta e a fonte (V_{GS}) determina a concentração de portadores no lado *S* (fonte) do canal; a tensão de porta correspondente quando a corrente no canal se torna significante é chamada de tensão de limiar (*threshold voltage*) V_{th}. Se V_{GS} é maior que V_{th}, a corrente I_{DS} percorre o transistor do dreno para a fonte (canal) [8], [11], [16].

As características da corrente de dreno em função da tensão de dreno, para $V_{GS} > V_{th}$, podem ser divididas em duas regiões: a região de triodo e a região de saturação. Na região de triodo para V_{DS} muito pequeno, as curvas de corrente em função da tensão entre dreno e fonte (I_{DS} x V_{DS}) são praticamente lineares. Na região de triodo próxima à região de saturação, a curva I_{DS} x V_{DS} apresenta um comportamento quadrático (parabólico). Na região de saturação, I_{DS} permanece praticamente constante e não depende de V_{DS}, em primeira aproximação [8],

[10]. Também existe a região próxima a $V_{GS} = V_{th}$ onde a corrente I_{DS} depende exponencialmente de V_{GS}, esta é a região de inversão fraca [10].

Neste estudo, os transistores MOSFETs utilizados estão baseados na tecnologia convencional (*Bulk*), conforme será descrito no capítulo 3. Esta tecnologia foi adotada devido à disponibilidade da tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9] para a fabricação do circuito integrado projetado neste trabalho, que possibilita a medição do circuito projetado em bancada. Porém a construção do circuito na tecnologia SOI seria vantajosa em relação à convencional (*Bulk*). Na tecnologia SOI, os transistores são construídos em uma fina camada de silício, sobre um isolante espesso, geralmente SiO_2, chamado óxido enterrado (*buried oxide*) [12]. A Figura 2.4 ilustra a estrutura básica de um SOI nMOSFET.

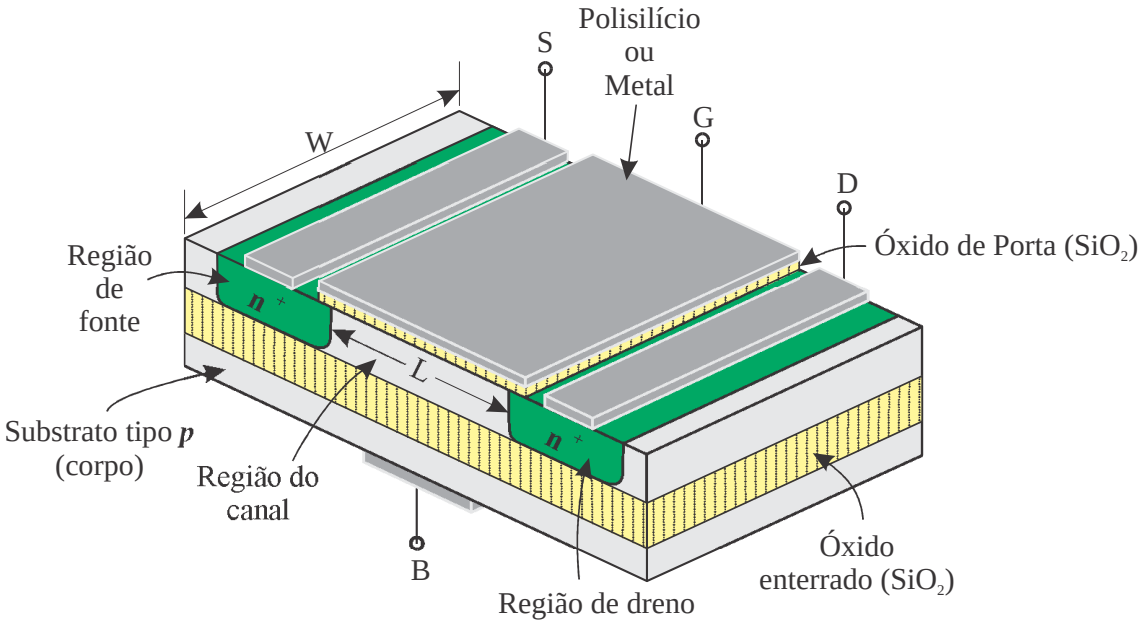


Figura 2.4 – Desenho esquemático de um SOI nMOSFET.
Fonte: Adaptado de [8] e [12].

A camada de óxido enterrado empregada na tecnologia SOI permite a minimização de efeitos parasitários comuns nos dispositivos MOSFETs convencionais, como a corrente de fuga para o substrato, que permite redução no consumo de potência. Esta tecnologia permite também a redução das capacitâncias intrínsecas do dispositivo, tais como as capacitâncias fonte-substrato e dreno-substrato, que possibilitam a fabricação de dispositivos que operam em frequências mais elevadas. Esta tecnologia possibilita também maior transcondutância e menor efeito de corpo, que possibilitam amplificadores com maiores ganhos de tensão. Outras

vantagens da tecnologia SOI sobre a tecnologia convencional (*Bulk*) e outras tecnologias podem ser encontradas em [12] e [13].

2.2.1. Modelo de primeira ordem do MOSFET na região de inversão forte

A seguir será descrito e analisado um modelo simples de primeira ordem, baseado em [10] e [12], que modela a operação do MOSFET. Estas equações formam a base do projeto realizado manualmente, descrito no capítulo 4.

A Figura 2.5 mostra o sentido das tensões e correntes de polarização do MOSFET. Para esta representação, adota-se os potenciais crescentes de baixo para cima. Ao contrário do nMOSFET, no caso do pMOSFET os potenciais V_{GS} e V_{DS}, assim como a corrente I_{DS} são negativos. O substrato de ambos os dispositivos, nMOSFET e pMOSFET, devem ser reversamente polarizados. Dessa forma, normalmente os terminais de corpo (*B*) desses dispositivos normalmente são conectados aos seus respectivos terminais de fonte (*S*), ou seja, a tensão entre o substrato e a fonte é igual a zero (V_{BS} = 0 V).

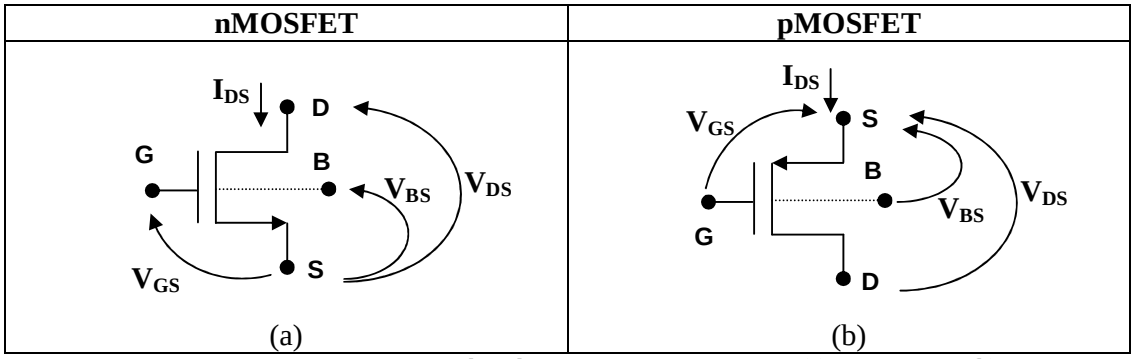


Figura 2.5 – Tensões e correntes de polarização para o nMOSFET (a) e pMOSFET (b).

Onde *G* (*Gate*), *D* (*Drain*), *S* (*Source*) e *B* (*Bulk* ou *Body*) representam, respectivamente, os terminais de porta, dreno, fonte e substrato (ou corpo) do MOSFET.

Pode-se obter um modelo simplificado, de primeira ordem, para se calcular a corrente de dreno do MOSFET baseado em [10] e [12], utilizado em simuladores elétricos como o SPICE quando se especifica um dos níveis mais simples de modelagem do transistor (nível 3) e também como base do projeto realizado manualmente no capítulo 4. Segundo o modelo de inversão forte, existem três regiões de operação do MOSFET, conforme mostram as equações (2.3), (2.4) e (2.5).

- Região de corte ($V_{GS} \leq V_{th}$) [8], [12]:

$$I_{DS} = 0\ . \tag{2.3}$$

- Região de triodo ($V_{DS} \leq V_{GS}$ - V_{th}) [8], [12]:

$$I_{DS} = \mu_0 . C_{ox} . \frac{W}{L} . \left[(V_{GS} - V_{th}) . V_{DS} - n_{si} . \frac{{V_{DS}}^2}{2} \right], \tag{2.4}$$

onde μ_0 é a mobilidade de baixo campo elétrico dos portadores de carga do canal do MOSFET, dado em [cm^2/V.s], C_{ox} é a capacitância do óxido de porta por unidade de área, dada em [F/cm^2], W e L são a largura e o comprimento de canal, respectivamente, dados em [µm], I_{DS} é a corrente entre o dreno e a fonte do transistor, dada em [µA], V_{GS} é a tensão entre a porta e a fonte, V_{DS} é a tensão entre o dreno e a fonte, V_{th} é a tensão de limiar, dados em [V] e n_{si} é o fator de corpo [12]. O fator $\mu_0 . C_{ox}$, também expresso por K', é chamado de transcondutância do processo, pois depende do processo de fabricação, sendo dado em [µA/V^2], enquanto que o fator geométrico (W/L) depende apenas das dimensões do transistor (leiaute). Uma vez que os parâmetros do processo de fabricação dependem da tecnologia utilizada, serão consideradas variáveis livres de projeto somente as dimensões W e L dos transistores quando pensamos no projeto de CIs.

- Região de saturação ($V_{DS} \geq V_{GS}$ - V_{th}) [8], [12]:

$$I_{DS} = \frac{1}{2 . n_{si}} \mu_0 . C_{ox} . \frac{W}{L} . (V_{GS} - V_{th})^2 . (1 + \lambda . V_{DS}) , \tag{2.5}$$

onde λ é o coeficiente de modulação do comprimento de canal, sendo dado em [V^{-1}]. O fator ($1 + \lambda . V_{DS}$) é incluído para considerar o incremento de I_{DS} com o aumento V_{DS} na região de saturação. Este coeficiente é equivalente a [8]:

$$\lambda = \frac{1}{V_A} , \tag{2.6}$$

onde V_A é a tensão Early do transistor, determinada para a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9] no item 2.2.6.

A tensão de saturação é dada por [12]:

$$V_{DSAT} = \frac{(V_{GS} - V_{th})}{n_{si}}. \tag{2.7}$$

O fator de corpo, n_{si}, é dado por [12]:

$$n_{si} = 1 + \frac{C_D}{C_{ox}}, \tag{2.8}$$

onde a capacitância de depleção por unidade de área (C_D) dada em [F/cm^2], é equacionada por [12]:

$$C_D = \frac{\varepsilon_{SI}}{x_{dmax}}, \tag{2.9}$$

onde ε_{SI} é a permissividade do silício, dada em [F/cm] e x_{dmax} é a espessura máxima da camada de depleção no silício, dada em [cm]. Dessa forma, x_{dmax} é equacionada conforme a equação (2.10) [12]:

$$x_{dmax} = \sqrt{\frac{2.\varepsilon_{SI}.|2.\phi_F|}{q.N_b}}, \tag{2.10}$$

onde q é a carga do elétron, N_b é a concentração de dopantes do substrato, ϕ_F é o potencial de Fermi e $2.|\phi_F|$ é o potencial de superfície em inversão forte, dado em [V], sendo equacionado por [12]:

$$2.|\phi_F| = 2.\frac{k.T}{q}.ln\left(\frac{N_b}{N_i}\right), \tag{2.11}$$

onde k é a constante de Boltzmann em Joules por Kelvin [J/K], T é a Temperatura absoluta em Kelvin [K], q é a carga do elétron em Coulomb [C] e N_i é a é a concentração intrínseca de portadores do silício em [cm^{-3}]. O fator $k.T/q$ é chamado de tensão térmica, U_T, sendo dado por [8]:

$$U_T = \frac{k.T}{q}, \tag{2.12}$$

O cálculo do fator de corpo, n_{si}, baseado na tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9], utilizada neste trabalho, pode ser estimada através das equações (2.8), (2.9), (2.10), (2.11) e (2.12), considerando os seguintes dados: ε_{Si} = 11,8 x 8,85.10^{-14} F/cm; k = 1,38.10^{-23} J/K; T = 300K (27 °C); q = 1,6.10^{-19} C; U_T = 25,875 mV; N_b = 1,7.10^{17} cm^{-3}; N_i = 1,5.10^{10} cm^{-3}; C_{ox} = 2,4317.10^{-7} F/cm^2. O fator de corpo n_{si} resulta em 1,53 para os nMOSFETs e pMOSFETs.

A Figura 2.6 ilustra a característica da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}), variando-se a tensão de porta (V_{GS}), em cada região de operação do MOSFET.

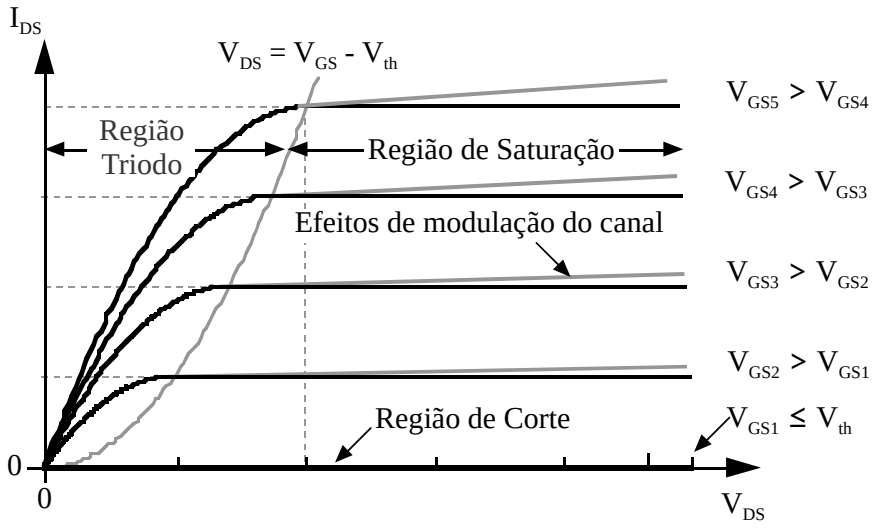


Figura 2.6 – Característica da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}) em cada região de operação do nMOSFET.
Fonte: Adaptado de [10].

As características mostradas anteriormente estão relacionadas à operação do transistor na região de inversão forte, ou seja, onde os valores de I_{DS} e V_{GS} são grandes e o potencial de superfície é igual ou superior a $2.|\phi_F|$. Entretanto, para valores de I_{DS} pequenos e V_{GS} aproximadamente igual a V_{th}, o transistor está na região de inversão fraca. A característica de tensão e corrente do MOSFET operando na região de inversão fraca é apresentada no próximo item, item 2.2.2.

2.2.2. Modelo de primeira ordem do MOSFET na região de inversão fraca

Neste item será apresentado um modelo simples de primeira ordem, baseado em [10], que modela a operação do MOSFET na região de inversão fraca. Na região de inversão fraca a corrente de dreno do transistor (I_{DS}) apresenta fraca dependência com a tensão entre dreno e fonte (V_{DS}). Dessa forma, I_{DS}, segundo este modelo, depende somente da tensão entre porta e fonte (V_{GS}), conforme a seguinte equação:

$$I_{DS} = \frac{W}{L} . I_{D0} . exp\left(\frac{V_{GS}}{n_{wi} . U_T}\right), \tag{2.13}$$

onde W e L são a largura e o comprimento de canal, I_{DS} é a corrente entre o dreno e a fonte do transistor, I_{D0} é a corrente de saturação na região de inversão fraca, V_{GS} é a tensão entre a porta e a fonte, n_{wi} é o fator de inclinação de sub-limiar e U_T é a tensão térmica, definida na equação (2.12). O ponto de transição onde esta relação é válida ocorre aproximadamente em [10]:

$$V_{GS} < V_{th} + n_{wi} . U_T , \tag{2.14}$$

Pode-se estimar o valor de n_{wi} através da curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ do transistor. Esta curva para a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9], utilizada neste trabalho, é apresentada no item 2.2.5.

O valor de g_m/I_{DS} é máximo na região de inversão fraca, onde é igual a $1/(n_{wi}.U_T)$, portanto pode-se obter o valor de n_{wi} através da equação (2.15), baseada em [18]:

$$\left(\frac{g_m}{I_{DS}}\right)_{max.} = \frac{ln(10)}{S} = \frac{1}{n_{wi} . U_T}, \tag{2.15}$$

Onde $(g_m/I_{DS})_{max.}$ representa o valor máximo da razão da transcondutância pela corrente entre dreno e fonte do transistor, sendo que a transcondutância do transistor (g_m) é definida no próximo item, item 2.2.3, e S é a inclinação de sub-limiar.

A Tabela 2.2 mostra os valores máximos obtidos de g_m/I_{DS} e os correspondentes valores de n_{wi} obtidos.

Tabela 2.2 – Valores extraídos de n_{wi} para a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor).

	nMOSFET	**pMOSFET**
$\mathbf{(g_m/I_{DS})_{max.}\ [V^{-1}]}$	26,16	23,28
$\mathbf{n_{wi}}$	1,48	1,66

A Figura 2.7 ilustra a curva I_{DS} x V_{GS}, com I_{DS} em escala logarítmica. Na região de inversão fraca, V_{GS} é aproximadamente igual a tensão de limiar (V_{th}) e a corrente entre dreno e fonte (I_{DS}) apresenta dependência exponencial em relação a V_{GS}. Nesta região, a curva I_{DS} x V_{GS}, é praticamente linear, devido à escala logarítmica da corrente I_{DS}.

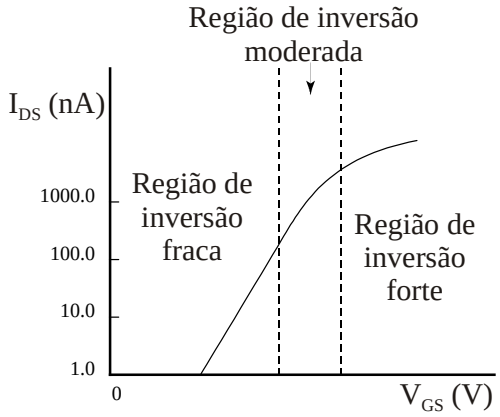


Figura 2.7 – Características de tensão e corrente do nMOSFET segundo o modelo de inversão fraca.
Fonte: Adaptado de [10].

2.2.3. Transcondutância

A transcondutância de um MOSFET (g_m) é a medida da eficiência do controle da corrente do dreno pela tensão de porta, considerando-se que a tensão entre dreno e fonte seja constante, conforme a equação (2.16) [12]:

$$g_m = \left(\frac{dI_{DS}}{dV_{GS}}\right)_{V_{DS}=constante}, \qquad (2.16)$$

onde g_m é a transcondutância, I_{DS} é a corrente entre dreno e fonte, V_{GS} é a tensão entre porta e fonte e V_{DS} é a tensão entre dreno e fonte do MOSFET.

Na região de saturação ($V_{DS} > V_{GS} - V_{th}$), a transcondutância de um MOSFET pode ser calculada pelas equações (2.17), (2.18) e (2.19):

$$g_m = \mu_0 . C_{ox} . \frac{W}{L} . (V_{GS} - V_{th}), \quad (2.17)$$

$$g_m = \frac{2 . I_{DS}}{V_{GS} - V_{th}}, \quad (2.18)$$

$$g_m = \sqrt{2 . \mu_0 . C_{ox} . \frac{W}{L} . |I_{DS}|}, \quad (2.19)$$

onde μ_0 é a mobilidade de baixo campo elétrico dos portadores de carga do canal do MOSFET, C_{ox} é a capacitância do óxido de porta por unidade de área, W e L são a largura e o comprimento de canal, respectivamente, I_{DS} é a corrente entre o dreno e a fonte do transistor e V_{GS} é a tensão entre a porta e a fonte.

Quanto maior é a variação de I_{DS}, para uma dada variação de V_{GS}, melhor é considerado um transistor para as aplicações de CIs analógicos [12].

2.2.4. Metodologia de projeto baseada na curva g_m/I_{DS} x $I_{DS}/(W/L)$

Esta metodologia é apresentada em detalhes nesta sessão devido à grande relevância desta metodologia no desenvolvimento do projeto realizado manualmente no capítulo 4.

A maioria dos métodos para síntese de circuitos integrados analógicos geralmente considera que os MOSFETs operam em inversão forte ou em inversão fraca [14]. Estas regiões de operação não permitem obter o melhor compromisso entre velocidade e potência [14]. A região de inversão forte permite a operação de um dispositivo em altas frequências e baixo ganho de tensão, enquanto que a região de inversão fraca permite alto ganho de tensão em baixas frequências de operação [14]. A metodologia de projeto g_m/I_{DS} é baseada em um tratamento unificado de todas as regiões de operação do MOSFET [14]. A aplicação desta metodologia é especialmente adequada para circuitos de baixa potência, e baixa tensão (*Low Power Low Voltage*) onde a região de inversão moderada frequentemente é utilizada, pois fornece um bom compromisso entre velocidade (resposta em frequência) e consumo de potência. O método explora a relação da razão da transcondutância sobre a corrente de dreno DC (g_m/I_{DS}) versus a corrente de dreno normalizada $I_{DS}/(W/L)$ [14].

O método considera a curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ como uma ferramenta de projeto fundamental. A escolha da relação g_m/I_{DS} é baseada nas seguintes considerações:

- É fortemente relacionada com o desempenho dos circuitos integrados analógicos;
- Fornece uma indicação da região de operação do dispositivo;
- Fornece uma ferramenta para o cálculo das dimensões dos transistores.

A fim de ilustrar isto, a Figura 2.8 mostra o estágio de ganho de tensão intrínseco de um MOSFET e a Figura 2.9 mostra o correspondente modelo equivalente de pequenos sinais.

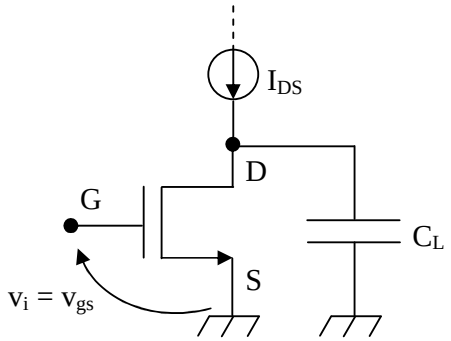


Figura 2.8 – Amplificador composto de um único transistor.
Fonte: Adaptado de [18].

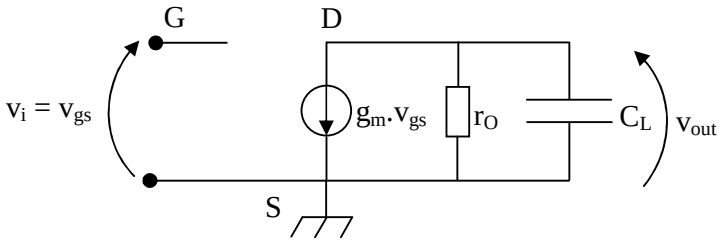


Figura 2.9 – Circuito equivalente de pequenos sinais do MOSFET ilustrado na Figura 2.8.
Fonte: Adaptado de [18].

Onde *G* representa o terminal de porta, *D* é o terminal de dreno e *S* é o terminal de fonte do MOSFET das Figuras 2.8 e 2.9. A fonte de corrente de polarização é identificada por I_{DS}. A componente alternada da tensão de entrada a ser amplificada (AC) é representada por v_i (v_{gs}), g_m é a transcondutância do transistor, r_O é a resistência de saída do modelo de pequenos sinais, C_L é a capacitância de carga conectada no dreno do transistor e v_{out} é o sinal de tensão de saída do amplificador ilustrado na Figura 2.9, considerando apenas a componente AC do sinal.

O amplificador simples, ilustrado nas Figuras 2.8 e 2.9, é implementado com um único transistor, na configuração fonte comum, polarizado por uma fonte de corrente ideal e utilizando um capacitor de carga. Ele também constitui o principal bloco de construção dos amplificadores operacionais [18].

A tensão de saída, em função da tensão de entrada, obtida do modelo de pequenos sinais, resulta em [18]:

$$v_{out} = -g_m . v_i . r_O \ . \tag{2.20}$$

O ganho de tensão intrínseco em baixas freqüências para pequenos sinais do amplificador (A_{V0}) é definido como [18]:

$$A_{V0} = \frac{v_{out}}{v_i} = -g_m . r_O \ . \tag{2.21}$$

A resistência de saída para pequenos sinais, r_O, é definida do seguinte modo [8]:

$$r_O = \frac{V_A}{I_{DS}} \ , \tag{2.22}$$

onde V_A é a tensão Early e I_{DS} é a corrente de polarização do transistor.

Pode-se obter A_{V0} em função da tensão Early (V_A), conforme a equação (2.23), substituindo a equação (2.22) na equação (2.21) [18]:

$$A_{V0} = -\frac{g_m}{I_{DS}} . V_A \ . \tag{2.23}$$

A frequência de corte do circuito é definida pelas equações (2.24) e (2.25) [18]:

$$\omega_{3dB} = \frac{1}{r_O . C_L} , \tag{2.24}$$

$$f_{3dB} = \frac{1}{2 . \pi . r_O . C_L} , \tag{2.25}$$

A frequência de transição de ganho de tensão unitário é definida conforme a equação (2.26), onde é destacada a correlação com a razão g_m/I_{DS} [18]:

$$f_T = A_{V0} . f_{3dB} = \frac{g_m}{I_{DS}} . V_A . \frac{1}{2 . \pi . C_L} . \frac{I_{DS}}{V_A} = \frac{1}{2 . \pi} . \frac{g_m}{C_L} \tag{2.26}$$

A razão da transcondutância pela corrente entre dreno e fonte (g_m/I_{DS}) é a medida da eficiência de conversão da corrente de dreno (ou potência) em transcondutância [14]. Quanto maior for essa medida, maior será a transcondutância para um determinado valor de corrente entre dreno e fonte [14].

A relação da razão g_m/I_{DS} com a região de operação do transistor pode ser observada pelo fato que sua razão é igual à derivada do logaritmo natural de I_{DS} com relação a V_{GS}, conforme demonstrado abaixo [14]:

$$\frac{g_m}{I_{DS}} = \frac{1}{I_{DS}} . \frac{\partial I_{DS}}{\partial V_{GS}} . \tag{2.27}$$

$$\frac{\partial ln(I_{DS})}{\partial I_{DS}} = \frac{\partial \left[ln\left(\frac{I_{DS}}{\left(\frac{W}{L}\right)} \right) \right]}{\partial I_{DS}} = \frac{1}{I_{DS}} . \tag{2.28}$$

$$\partial I_{DS} = I_{DS} . \partial ln(I_{DS}) = I_{DS} . \partial \left[ln\left(\frac{I_{DS}}{\left(\frac{W}{L}\right)} \right) \right], \tag{2.29}$$

$$\frac{g_m}{I_{DS}} = \frac{1}{I_{DS}} . \frac{I_{DS} . \partial \left[ln\left(\frac{I_{DS}}{\left(\frac{W}{L}\right)} \right) \right]}{\partial V_{GS}} = \frac{\partial \left[ln\left(\frac{I_{DS}}{\left(\frac{W}{L}\right)} \right) \right]}{\partial V_{GS}} = \frac{\partial ln(I_{DS})}{\partial V_{GS}} . \tag{2.30}$$

A derivada é máxima na região de inversão fraca, onde a dependência de I_{DS} *x* V_{GS} é exponencial, enquanto ela é quadrática na região de inversão forte, tornando-se quase linear na região de inversão forte profunda, devido à saturação da velocidade dos portadores [14]. A relação g_m/I_{DS} decresce enquanto o ponto de operação move em direção à região de inversão forte, quando I_{DS} ou V_{GS} são aumentados [14]. Portanto, a relação g_m/I_{DS} é também um indicador da região de operação do transistor [14].

Outra interessante característica desta metodologia é que tanto a relação g_m/I_{DS} como a corrente normalizada $I_{DS}/(W/L)$ são independentes em relação às dimensões dos transistores [14]. Portanto a curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ é uma característica única para todos os transistores de um mesmo tipo (nMOSFET ou pMOSFET) para uma determinada tecnologia. Assim, pode-se obter uma curva com esta característica universal de g_m/I_{DS} *x* $I_{DS}/(W/L)$ que pode ser explorada durante o projeto, onde as dimensões dos transistores são desconhecidas. A partir das especificações desejadas para um determinado bloco analógico, e uma vez que um par de

valores g_m e I_{DS} forem obtidos (escolha da região de operação do transistor pelo projetista), a razão de aspecto (W/L) do transistor pode ser determinada, através da curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ [14].

2.2.5. Determinação da curva g_m/I_{DS} *x* $I_{DS}/(W/L)$

A curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ pode ser obtida através dois métodos: analiticamente, utilizando um modelo do MOSFET que fornece uma representação contínua da corrente de dreno e dos parâmetros de pequenos sinais em todas as regiões de operação (por exemplo o modelo EKV), ou através de medidas experimentais de um transistor típico [14].

Para a obtenção da curva g_m/I_{DS} experimental, seriam necessárias várias medições de transistores típicos para a tecnologia a ser utilizada [14]. A tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9] é utilizada neste trabalho. Como ainda não há dispositivos físicos para a caracterização nesta tecnologia, a solução encontrada foi obter a curva através de simulações no simulador de circuitos Spice Opus [7], utilizando o modelo BSIM3 versão 3.1 disponibilizado pelo MOSIS [9] do referido fabricante (vide o ANEXO A). Estes parâmetros, fornecidos pelo MOSIS, foram adequados para serem utilizados no simulador Spice Opus [7] através do manual deste *software* [15]. Por exemplo, o parâmetro LEVEL (nível), que especifica o modelo em uso, varia de acordo com o fabricante do simulador SPICE, que no caso deste simulador deve ser definido como nível 53 [15].

Para a obtenção da curva foi simulado o circuito mostrado na Figura 2.10 e foi seguido o seguinte procedimento [16]:

- Construção da curva I_{DS} *x* V_{GS} do MOSFET. Utilizou-se V_{DS} = 1,5V; V_{BS} = 0V; V_{GS} = 0 a 5V (passo de 10 mV); W/L = 1 (W = 10 µm, L = 10 µm);
- Cálculo de ln(I_{DS}) de cada ponto obtido;
- Obtenção de g_m/I_{DS} através do cálculo da derivada de ln(I_{DS}) em relação a V_{GS} para cada ponto;
- Construção da curva g_m/I_{DS} versus $I_{DS}/(W/L)$, utilizando escala linear para g_m/I_{DS} e escala logarítmica para $I_{DS}/(W/L)$;

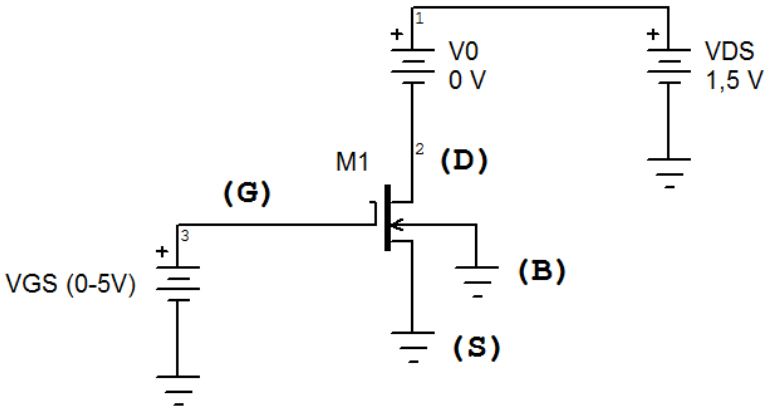


Figura 2.10 – Circuito para a obtenção da curva I_{DS} *x* V_{GS} do nMOSFET.

O mesmo procedimento foi repetido para o pMOSFET, porém com as tensões de polarização invertidas.

Para determinar se um transistor está na região de inversão fraca, moderada ou forte, adotamos o seguinte critério:

- 90% de g_m/I_{DS} da curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ define a interface entre as regiões de inversão fraca e moderada;
- 10% de g_m/I_{DS} da curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ define a interface entre as regiões de inversão moderada e forte.

Esse tipo de abordagem produz resultados similares ao critério do coeficiente de inversão (IC), utilizado para o modelo EKV [17].

As curvas g_m/I_{DS} *x* $I_{DS}/(W/L)$ dos nMOSFETs e pMOSFETs estão representadas nas Figuras 2.11 e 2.12, respectivamente.

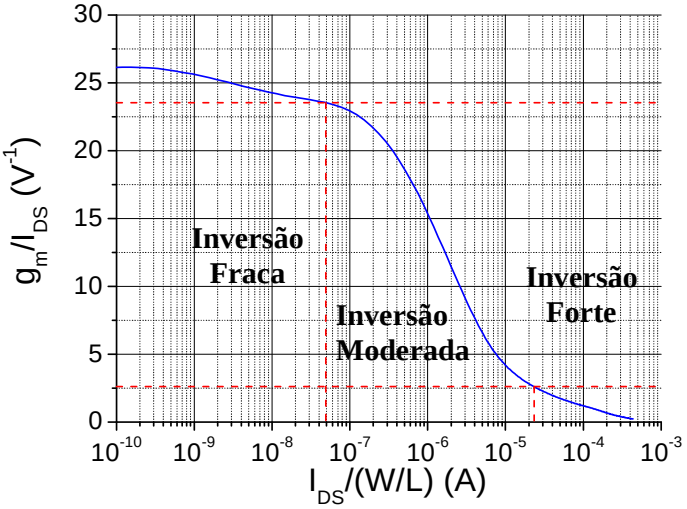


Figura 2.11 – Curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ dos nMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor).

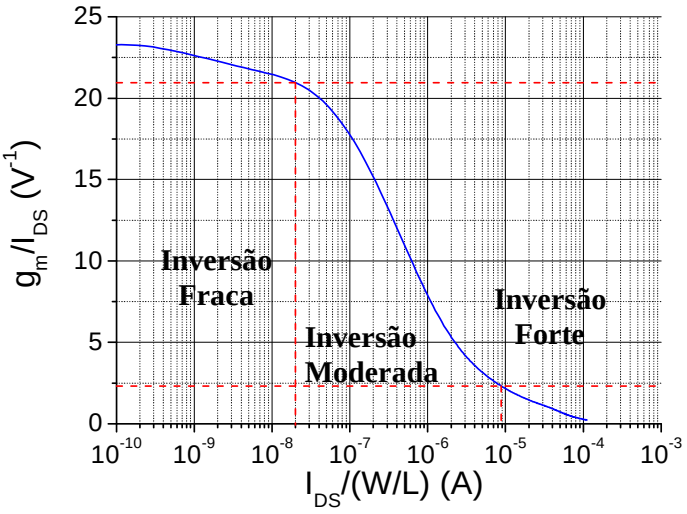


Figura 2.12 – Curva g_m/I_{DS} *x* $I_{DS}/(W/L)$ dos pMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor).

2.2.6. Determinação do parâmetro Tensão Early - V_A

O parâmetro Tensão Early (V_A) no MOSFET, é uma tensão positiva de que está diretamente relacionada à resistência de saída do transistor na região de saturação, caracterizada pelo aumento da corrente de dreno em função do aumento da tensão de dreno, analogamente à tensão Early do transistor bipolar. Este parâmetro é essencial para o projeto analógico CMOS, pois a resistência de saída do transistor depende diretamente deste

parâmetro, que por sua vez está extremamente ligado ao comprimento do canal (L) do transistor. A resistência de saída do transistor é dada pela equação (2.22), ou seja, $r_O = V_A/I_{DS}$ [8], [16].

Geralmente, os estágios de ganho de um amplificador CMOS dependem diretamente da resistência de saída dos transistores que o compõem, portanto, é necessário se obter valores confiáveis deste parâmetro.

O parâmetro da tensão Early (V_A) depende do efeito da modulação do comprimento efetivo de canal [8], [16]. Este efeito é caracterizado pela diminuição do comprimento de canal, com o aumento da tensão entre dreno e fonte (V_{DS}) na região de saturação, ou seja, o efeito em que a corrente entre dreno e fonte (I_{DS}) aumenta lentamente em função do aumento de V_{DS}. Desta forma, pode-se obter o valor de V_A a partir da curva I_{DS} *x* V_{DS} do MOSFET, como mostra a Figura 2.13 [8], [16].

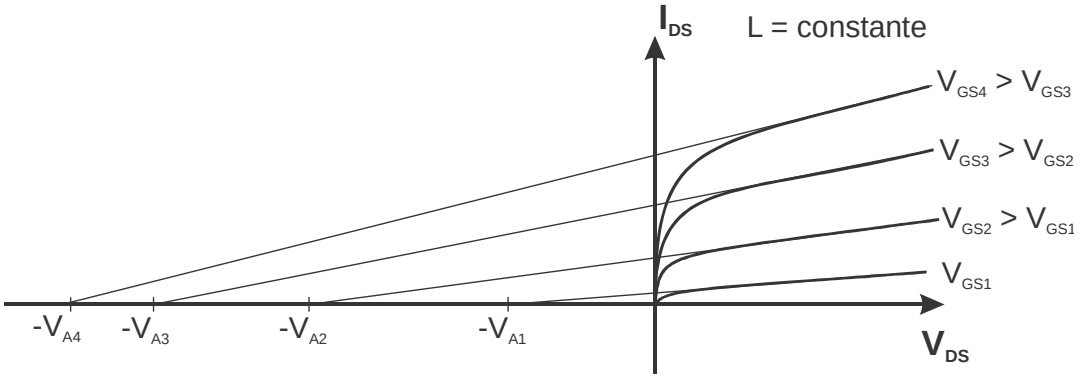


Figura 2.13 – Extração da tensão Early através da curva I_{DS} *x* V_{DS} do nMOSFET, destacando-se o efeito da modulação do comprimento efetivo de canal.

Portanto, para a obtenção dos valores da tensão Early (V_A) para a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9] foi seguido o seguinte procedimento [16]:

- Construção da curva I_{DS} *x* V_{DS}, com valores fixos de V_{GS} = (0,7; 1; 1,5; 2; 3) V e V_{BS} = V_S = 0V, para um nMOSFET de W = 10 µm, para diferentes valores de L (1; 1,5; 2; 2,5; 5; 7,5; 10; 12; 14; 16; 18; 20) µm de acordo com a configuração mostrada na Figura 2.14. A varredura da tensão V_{DS} foi realizada de 0 a 4 V, em passos de 50 mV;
- O valor de V_A é extraído para cada valor de L e V_{GS} através do método ilustrado na Figura 2.13 (prolongamento da curva I_{DS} *x* V_{DS} na região de saturação até encontrar o eixo de V_{DS}).

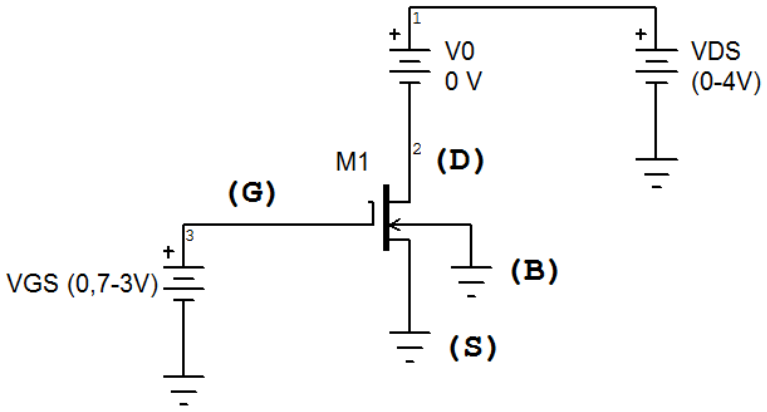


Figura 2.14 – Configuração do nMOSFET para obtenção da curva I_{DS} *x* V_{DS}, para a extração do parâmetro da tensão Early (V_A).

O mesmo procedimento é repetido para o transistor pMOSFET, com as tensões de polarização invertidas.

As Tabelas 2.3 e 2.4 mostram os valores da tensão Early obtidas para os nMOSFETs e pMOSFETs, respectivamente.

As curvas da tensão Early dos transistores nMOSFETs e pMOSFETs estão representadas nas Figuras 2.15 e 2.16, respectivamente.

Tabela 2.3 - Valores extraídos da tensão Early para os nMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor).

Tensão Early					
V_{GS} (V)	**0,7**	**1**	**1,5**	**2**	**3**
L (µm)					
1	5,91	24,52	46,77	58,9	66,51
1,5	6,28	27,07	51,76	69,9	77,56
2	6,68	30,57	60,22	81,64	88,18
2,5	7,18	32,51	68,7	84,31	89,67
5	10,59	43,69	92,9	122,51	131,12
7,5	14,39	55,4	114,45	151,09	155,71
10	18,62	66,01	134,38	177,6	191,83
12	22,19	74,02	147,05	192,91	221,4
14	25,84	81,63	161,38	210,86	250,12
16	29,54	89,05	172,96	226,89	264,11
18	33,24	95,22	185,11	251,34	282,69
20	36,94	101,47	193,06	263,79	307,27

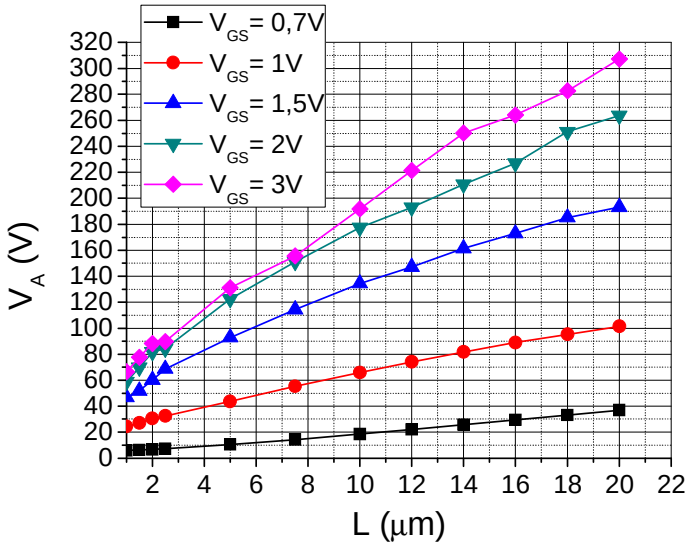


Figura 2.15 – Tensão Early em função de *L* e V_{GS} dos nMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor).

Tabela 2.4 - Valores extraídos da tensão Early para os pMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor).

Tensão Early				
V_{GS} (V)	**-1**	**-1,5**	**-2**	**-3**
L (µm)				
1	6,75	18,06	21,69	22,84
1,5	12,31	31,47	38,78	37,76
2	17,54	43,6	48,84	48,33
2,5	21,4	52,23	62,2	58,77
5	32,89	78,53	97,26	99,72
7,5	42,58	98,49	131,38	140,28
10	51,89	110,75	150,47	167,79
12	59,22	120,85	160,89	185,7
14	66,59	130,16	174,96	205,16
16	73,86	138,37	186,92	227,08
18	81,08	147,02	198,04	239,77
20	88,42	155,13	206,29	255,55

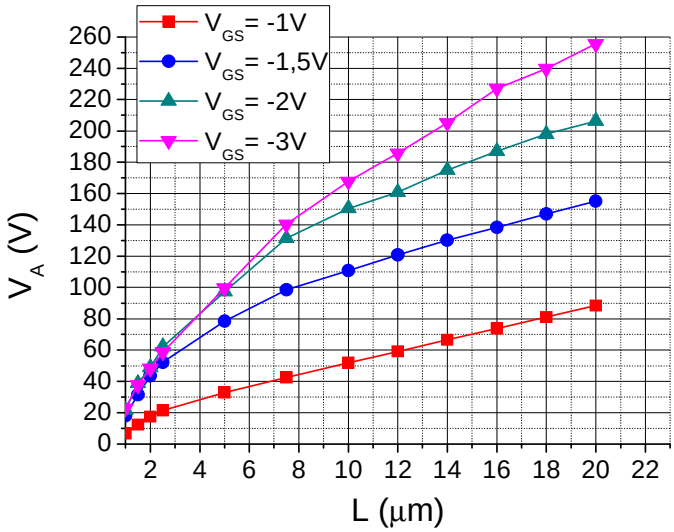


Figura 2.16 – Tensão Early em função de L e V_{GS} dos pMOSFETs (tecnologia CMOS de 0,35 µm da AMIS / ON-Semiconductor).

Como mencionado anteriormente, no caso desta dissertação, o circuito a ser investigado será um amplificador operacional de transcondutância (OTA) e o sistema evolucionário empregado será o AG integrado ao simulador de circuitos Spice Opus [7], denominado de AGSPICE. Nos próximos capítulos, serão apresentados o circuito do amplificador operacional utilizado neste estudo com seus detalhes e seu funcionamento, em seguida, a metodologia e o procedimento utilizado no projeto manual e, em seguida, os detalhes da metodologia e estrutura de dados desenvolvida para o AGSPICE.

3. AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA (OTA)

Amplificadores operacionais são os blocos de construção mais versáteis e largamente utilizados na eletrônica analógica [1]. Consistem de amplificadores diferenciais acoplados, apresentando um alto ganho de tensão, alta impedância de entrada e baixa impedância de saída [1], [8]. A fim de controlar o ganho e banda passante, os amplificadores operacionais freqüentemente empregam realimentação externa [1], [8]. Atualmente, são fabricados em circuitos integrados em diferentes tecnologias, tais como Bipolar, CMOS e BiCMOS (Bipolar e CMOS) [1]. Esses circuitos são empregados em diversos blocos básicos da eletrônica tais como, conversores digitais-analógicos, comparadores, entre outros [1], [8]. Nas seções a seguir, serão apresentadas a arquitetura e o funcionamento do amplificador operacional CMOS aqui investigado, descrevendo as características relevantes a este trabalho.

3.1. Introdução do OTA

Como estudo de caso, utiliza-se neste trabalho o circuito de um amplificador operacional de transcondutância (ou OTA, *Operational Transconductance Amplifier*) de um único estágio e única saída [1], [18], [20]. Os transistores do circuito são MOSFETs (*Metal-Oxide-Semiconductor Field Effect Transistor*) do tipo convencional (*bulk*) e utilizam a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9], cuja arquitetura é apresentada na Figura 3.1 [1], [18], [20].

O terminal de corpo de todos os transistores do circuito estão conectados aos seus respectivos terminais de fonte. Por simplicidade, os terminais de corpo não estão representados na Figura 3.1. Nesta figura, M1, M2, M7, M8, M9 e M10 são nMOSFETs, M3, M4, M5 e M6 são pMOSFETs, C_L é a carga capacitiva, V_{DD} é a tensão de alimentação, GND é o terminal de terra (potencial de referência de 0 V), v_{I+} e v_{I-} são as entradas diferenciais, onde v_{I+} representa o terminal da entrada não inversora e v_{I-} o terminal da entrada inversora [1], [18], [20]. Mais especificamente, os transistores M1 e M2 são definidos como par diferencial; os transistores M3 e M4 são definidos como cargas em espelho de corrente do par diferencial; os transistores M5, M6, M7 e M8 são definidos como transistores do estágio de saída e os transistores M9 e M10 são definidos como transistores do espelho de corrente que define a corrente de polarização do par diferencial. Os pares M3-M5, M4-M6, M7-M8 e M9-M10 formam espelhos de corrente. Aplicando um pequeno sinal diferencial de tensão nas entradas diferenciais, o espelho de corrente pMOSFET formado pelo par M3-M5 espelha a

corrente diferencial da entrada inversora para os transistores do estágio de saída M5 e M7 e o espelho de corrente nMOSFET formado pelo par M7-M8 espelha esta corrente para o transistor de saída M8. O outro espelho de corrente pMOSFET, M4-M6, espelha a corrente diferencial da entrada não inversora para o transistor de saída M6. Uma vez que os transistores de saída M6 e M8 possuem resistências de saída proporcionais às suas respectivas tensões Early e estando conectados ao nó de saída (V_{OUT}) produzem um sinal de tensão amplificado na saída proporcional ao valor da tensão Early destes transistores, conforme será detalhado no item 3.2.5. O espelho de corrente nMOSFET formado pelo par M9-M10 é responsável pela corrente de polarização do par diferencial. Neste projeto, o circuito será considerado simétrico, ou seja, os pares M1-M2, M3-M4, M5-M6 e M7-M8 serão considerados casados (mesmas dimensões e características elétricas). Os transistores M9 e M10 serão considerados casados somente no projeto realizado manualmente, enquanto que, no caso do AGSPICE, não serão obrigatoriamente casados, ou seja, poderão apresentar dimensões *W* e *L* diferentes. Adicionalmente, I_{POL} é a corrente de polarização; I_O é a corrente de saída do espelho de corrente composto dos transistores M9 e M10; I_{DS1} e I_{DS2} são as correntes entre dreno e fonte do par diferencial; I_{DS3} e I_{DS4} são as correntes entre dreno e fonte das cargas ativas do par diferencial; I_{DS5}, I_{DS6}, I_{DS7} e I_{DS8} são as correntes entre dreno e fonte dos transistores do estágio de saída M5, M6, M7 e M8, respectivamente.

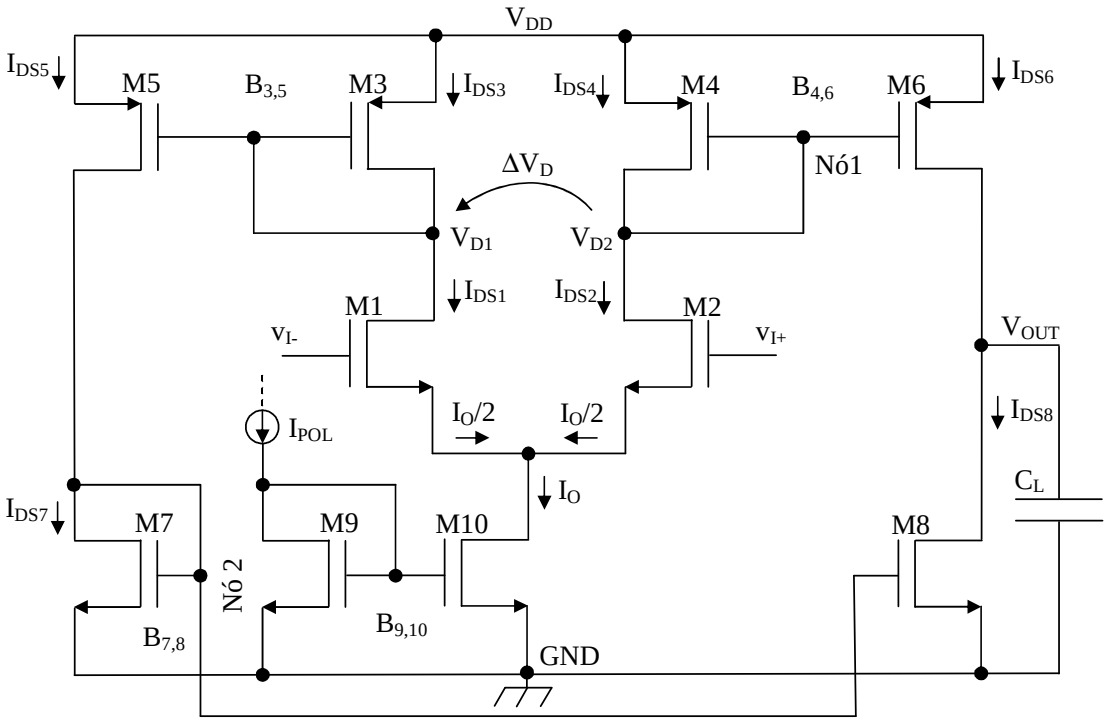


Figura 3.1 – Arquitetura do OTA CMOS de um único estágio e uma única saída.
Fonte: Adaptado de [18].

Algumas aplicações destes tipos de dispositivos eletrônicos são amplificadores controlados por tensão, controle de volume estereofônico, osciladores controlados por tensão (VCO) entre outras [19].

3.2. Funcionamento do OTA de um único estágio e única saída

O funcionamento de cada bloco do OTA CMOS apresentado na Figura 3.1 será detalhado nos itens a seguir.

3.2.1. Funcionamento dos espelhos de corrente do OTA de um único estágio e única saída

O primeiro item a ser considerado no circuito ilustrado na Figura 3.1 é a configuração composta pelos transistores M9 e M10. Esses dois transistores formam um espelho de corrente nMOSFET. Esse circuito é responsável pela polarização em corrente do par diferencial do OTA.

Na Figura 3.2, I_{POL} é a corrente de referência para a polarização do par diferencial. Como o dreno e a porta do transistor M9 estão interligados, pode-se afirmar que M9 está na região de saturação ($V_{DS} \geq V_{GS} - V_{th}$). O transistor M_{10} ligado ao estágio amplificador diferencial é projetado de forma a operar também na região da saturação. Como a tensão entre porta e fonte (V_{GS}) dos transistores M9 e M10 é a mesma e desprezando o efeito da modulação do comprimento de canal na região de saturação, ou seja, que a corrente permanece constante na região de saturação independentemente da tensão entre dreno e fonte (V_{DS}), a relação entre a corrente I_O e I_{POL} pode ser expressa em função das dimensões dos transistores, conforme a equação (3.1) [8] (p. 379), [18]:

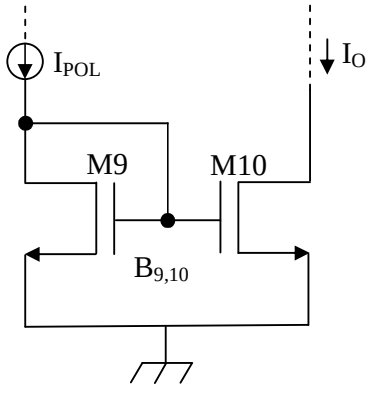


Figura 3.2 – Espelho de corrente de polarização do par diferencial.

$$B_{9,10} = \frac{I_O}{I_{POL}} = \frac{(W/L)_{10}}{(W/L)_9}, \tag{3.1}$$

onde $(W/L)_9$ e $(W/L)_{10}$ correspondem às razões de aspecto, respectivamente dos transistores M9 e M10, conforme circuito ilustrado na Figura 3.2, e $B_{9,10}$ é o valor do ganho do espelho de corrente formado pelos transistores M9 e M10. Como no projeto manual o par de transistores M9-M10 é considerado casado, $B_{9,10}$ será considerado igual a 1 e a corrente espelhada, I_O, será similar a corrente de referência I_{POL}, porém no caso do AGSPICE $B_{9,10}$ poderá ser menor ou maior que 1, pois M9 e M10 não são necessariamente casados, resultando uma corrente espelhada, I_O, menor ou maior que I_{POL}, respectivamente, dependendo da razão entre os fatores geométricos desses transistores.

O fator de ganho do espelho de corrente pMOSFET formado por M4 e M6 ($B_{4,6}$) é dado pela seguinte equação [18]:

$$B_{4,6} = \frac{I_{DS6}}{I_{DS4}} = \frac{(W/L)_6}{(W/L)_4}, \tag{3.2}$$

onde $(W/L)_4$ e $(W/L)_6$ correspondem às razões de aspecto, respectivamente dos transistores M4 e M6. Dada a simetria do circuito, será considerado o ganho do outro espelho de corrente pMOSFET ($B_{3,5}$), formado por M3 e M5, igual a $B_{4,6}$.

Também devido à simetria do circuito, o fator de ganho do espelho de corrente nMOSFET formado por M7 e M8, $B_{7,8}$, correspondente ao par M7-M8, será considerado igual a 1.

3.2.2. Funcionamento do estágio do amplificador diferencial (análise DC)

A corrente I_O do espelho da fonte de corrente, formado pelo par M9-M10, polariza por corrente elétrica o estágio amplificador diferencial. Quando as entradas v_{I-} e v_{I+} do par diferencial são iguais a uma tensão V_{CM} (tensão de modo comum), por simetria, sendo os transistores do par diferencial M1 e M2 casados e o mesmo ocorrendo com as cargas ativas em espelho de corrente M3 e M4, a corrente em cada ramo do estágio amplificador diferencial se divide pela metade do valor da corrente fornecida pelo espelho da fonte de corrente ($I_O/2$).

As tensões de dreno dos transistores M1 e M2 tornam-se iguais e conseqüentemente a diferença de potencial entre esses drenos também se torna igual a zero, considerando transistores de dimensões idealmente iguais. Variando-se na mesma proporção as tensões das entradas v_{I-} e v_{I+}, a corrente do espelho de corrente continua se dividindo igualmente e as tensões dos drenos dos transistores M1 e M2 continuam similares. Portanto, o par diferencial não responde (rejeita) as tensões de entrada de modo comum (V_{CM}) [20].

Considerando que v_{I+} seja aterrado e v_{I-} seja ajustado para +1V, observa-se que M2 fica cortado enquanto que M1 conduz toda a corrente elétrica fornecida pelo espelho de corrente. Assim, a diferença de potencial entre os drenos dos dois transistores $\Delta V_D = (V_{D1}-V_{D2})$ será dada por $-V_{SD3}$. Analogamente, quando v_{I+} é ajustado para +1V e v_{I-} é aterrado, observa-se que M1 fica cortado e M2 conduz toda corrente elétrica fornecida pelo espelho de corrente e a diferença de potencial entre os drenos dos transistores M1 e M2 (ΔV_D) será igual a $+V_{SD4}$, ou seja, o estágio amplificador diferencial responde ao modo diferencial [20].

3.2.3. Funcionamento do estágio do amplificador diferencial (análise AC)

Considerando que a corrente $I_O/2$, fornecida através do espelho de corrente formado pelos transistores M9 e M10, polariza os transistores M1 e M2 na região de saturação. Os transistores M3 e M4 estão operando na região de saturação, desempenhando a função de cargas ativas em espelho de corrente do estágio amplificador diferencial, uma vez que suas portas estão ligadas a seus drenos. Considera-se também a aplicação de um sinal de tensão diferencial (v_{ID}) nas entradas diferenciais, composto pela tensão de entrada em modo comum para polarização do circuito (V_{INPOL}) e pela componente de sinal AC (v_{id}). Conforme será descrito no capítulo 5, a função da tensão de polarização V_{INPOL} é polarizar o circuito e manter todos os transistores do circuito do OTA na região de saturação. O objetivo desse item é estudar o comportamento AC do circuito, ou seja, obter a tensão de saída AC do OTA, v_{out}, em função da componente de tensão AC da entrada diferencial (v_{id}).

Pode-se expressar as correntes entre dreno e fonte dos transistores M1 e M2, considerando as componentes contínua (DC) e alternada (AC) do sinal, como segue [20]:

$$i_{DS1} = \frac{I_O}{2} + \left(\frac{I_O}{V_{GS} - V_{th}}\right) \cdot \left(\frac{v_{id}}{2}\right) = \frac{I_O}{2} + i_{ds1}\,, \tag{3.3}$$

$$i_{DS2} = \frac{I_O}{2} - \left(\frac{I_O}{V_{GS} - V_{th}}\right) . \left(\frac{v_{id}}{2}\right) = \frac{I_O}{2} - i_{ds2} \, , \tag{3.4}$$

$$v_{id} = v_{g1} - v_{g2} = (v_{I-}) - (v_{i+}) \, , \tag{3.5}$$

onde i_{ds1} e i_{ds2} são as correntes diferenciais entre dreno e fonte dos transistores M1 e M2, devido a aplicação de um sinal diferencial de tensão (v_{id}) na entrada do amplificador diferencial, que apresentam os mesmos valores, ou seja, $i_{ds1} = i_{ds2}$. Então esta corrente diferencial, de pequenos sinais, poderá ser designada somente por i_{ds}, sendo equacionada como segue [20]:

$$i_{ds} = \left(\frac{I_O}{V_{GS} - V_{th}}\right) . \left(\frac{v_{id}}{2}\right) . \tag{3.6}$$

Sabendo-se que a transcondutância de um transistor MOSFET polarizado na região de saturação com corrente quiescente I_{DS} é dado pela equação (2.18), confirma-se que cada transistor do par diferencial possui a transcondutância dada pela equação (3.7) [20]:

$$g_m = \frac{2 . \left(\frac{I_O}{2}\right)}{V_{GS} - V_{th}} = \frac{I_O}{V_{GS} - V_{th}} \tag{3.7}$$

As equações (3.3) e (3.4) também mostram que a corrente entre dreno e fonte de polarização do transistor M1 é acrescida da corrente diferencial i_{ds} e a corrente entre dreno e fonte de polarização do transistor M2 é diminuída da corrente diferencial i_{ds} para sinais de entrada diferenciais com $v_{id} << V_{GS} - V_{th}$. Substituindo a equação (3.7) na equação (3.6), tem-se que i_{ds} é dado por [20]:

$$i_{ds} = g_m . \left(\frac{v_{id}}{2}\right) . \tag{3.8}$$

Os pMOSFETs que funcionam como carga ativa do estágio amplificador diferencial (M3 e M4) formam dois espelhos de correntes, M3-M5 e M4-M6. Dessa forma, essas correntes diferenciais são espelhadas através dos transistores M5 (i_{ds5}) e M6 (i_{ds6}), e são dadas por [20]:

$$i_{ds5} = i_{ds6} = B_{3,5}.g_m\left(\frac{v_{id}}{2}\right) = B_{4,6}.g_m\left(\frac{v_{id}}{2}\right), \quad (3.9)$$

Considerando que M5 e M7 estão em série, a corrente diferencial entre dreno e fonte do transistor M5 (i_{ds5}) é igual a corrente diferencial do transistor M7, i_{ds7}. Como M7 e M8 também formam um espelho de corrente, ela também é espelhada para o dreno do transistor M8, e é dada pela equação [20]:

$$i_{ds8} = B_{7,8}.B_{4,6}.g_m\left(\frac{v_{id}}{2}\right). \quad (3.10)$$

Considerando-se M7 e M8 casados, ou seja, $B_{7,8}$ igual a 1, a expressão fica:

$$i_{ds8} = B_{4,6}.g_m\left(\frac{v_{id}}{2}\right) \quad (3.11)$$

3.2.4. Estágio de saída em espelho de corrente (análise DC)

Esse estágio também é polarizado por corrente e apresenta uma corrente quiescente de valor $B_{4,6}.(I_O/2)$, pois o espelho de corrente formado pelos transistores M4 e M6 espelha a corrente quiescente entre dreno e fonte do transistor M2 para os transistores do estágio de saída, M6 e M8. As razões de aspecto *W/L* dos transistores M6 e M8 devem ser ajustadas para que apresentem a mesma tensão entre dreno e fonte (V_{DS}), para que o nó de saída possa ser ajustado para a metade da tensão de alimentação do OTA ($V_{DD}/2$). Nessa condição pode-se obter a máxima excursão do sinal de saída do OTA [20].

3.2.5. Estágio de saída em espelho de corrente (análise AC)

A componente alternada (AC) da tensão de saída do OTA CMOS, v_{out}, pode ser determinada, em função do sinal de tensão de entrada diferencial (v_{id}), utilizando o modelo equivalente de pequenos sinais dos transistores do estágio de saída M6 e M8, onde r_{O6} e r_{O8} são as resistências de saída do modelo de pequenos sinais dos MOSFETs M6 e M8, respectivamente, i_{DS6} e i_{DS8} são as correntes entre dreno e fonte dos transistores M6 e M8, considerando as componentes contínua (DC) e alternada (AC), e i_{ds6} e i_{ds8} são as correntes entre dreno e fonte dos transistores M6 e M8, respectivamente, considerando somente a componente alternada, como mostra a Figura 3.3 [20]:

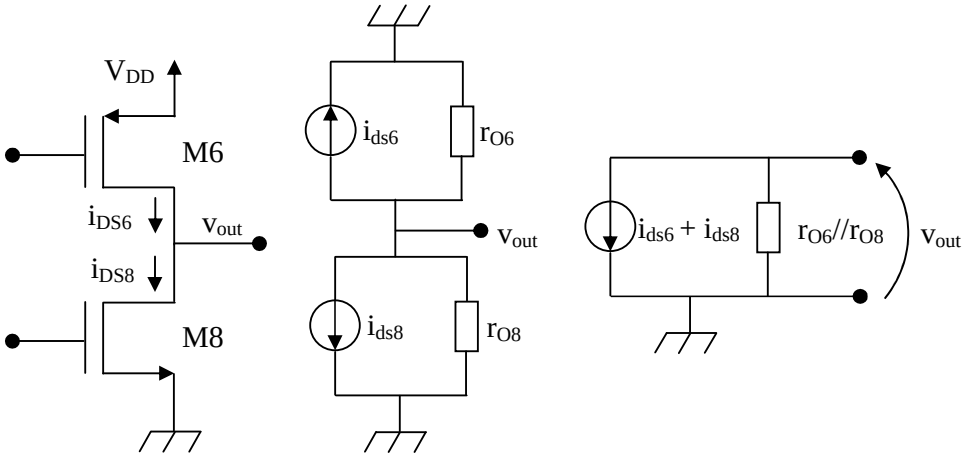


Figura 3.3 – Modelo equivalente de pequenos sinais dos transistores do estágio de saída do OTA para a determinação da tensão de saída (v_{out}) em função do sinal de tensão de entrada diferencial (v_{id}).

$$v_{out} = -(i_{ds6} + i_{ds8}).\left(\frac{r_{O6}.r_{O8}}{r_{O6} + r_{O8}}\right) = -B_{4,6}.g_m.v_{id}.\left(\frac{r_{O6}.r_{O8}}{r_{O6} + r_{O8}}\right) \quad (3.12)$$

As resistências de saída dos transistores estão relacionadas com as correspondentes tensões Early através da equação (2.22). Dessa forma, a equação (3.12) pode ser reescrita, em função da tensão Early, da seguinte forma [20]:

$$v_{out} = -B_{4,6}.\left(\frac{g_m}{I_{DS}}\right)_{1,2}.v_{id}.\left(\frac{V_{A6}.V_{A8}}{V_{A6} + V_{A8}}\right) \quad (3.13)$$

Conforme pode ser observado, a tensão de saída resultou invertida em relação à tensão de entrada diferencial. Isto ocorreu porque o potencial positivo da tensão de entrada diferencial (v_{id}), na equação (3.5), está associado ao terminal da entrada inversora do OTA (v_{I-}) e o potencial negativo está associado ao terminal da entrada não inversora (v_{I+}).

3.3. Equações básicas do OTA CMOS

O ganho de tensão em malha aberta (A_{V0}) do OTA CMOS ilustrado na Figura 3.1 é definido como sendo a razão entre a tensão de saída (v_{OUT}) e a tensão diferencial de entrada (v_{ID}), levando em consideração as componentes contínua e alternada [20]. O valor de A_{V0} do OTA para pequenos sinais pode ser calculado através da equação (3.14) [18], [20]:

$$A_{V0} = \frac{v_{out}}{v_{id}} = B_{4,6}.\left(\frac{g_m}{I_{DS}}\right)_{1,2}.\left(\frac{V_{A6}.V_{A8}}{V_{A6}+V_{A8}}\right), \tag{3.14}$$

onde $B_{4,6}$ é o fator de ganho do espelho de corrente pMOSFET, formado pelos transistores M4 e M6; $(g_m/I_{DS})_{1,2}$ é o valor da razão da transcondutância pela corrente entre dreno e fonte do par diferencial M1-M2; V_{A6} e V_{A8} são as tensões Early dos transistores M6 e M8, respectivamente.

Observa-se uma grande semelhança entre os valores de A_{V0} do OTA CMOS e do estágio de ganho de tensão intrínseco de um único MOSFET, apresentado no item 2.2.4. O ganho de tensão do OTA depende basicamente de três fatores: $B_{4,6}$, $(g_m/I_{DS})_{1,2}$ e da tensão Early equivalente dos transistores de saída M6 e M8 [$(V_{A6}.V_{A8})$ / $(V_{A6}+V_{A8})$]. Analogamente, o ganho de tensão do estágio de ganho de tensão intrínseco de um MOSFET, apresentado na equação (2.23), depende apenas do parâmetro (g_m/I_{DS}) e da tensão Early do MOSFET (V_A).

A freqüência de ganho de tensão unitário (f_T), também denominada freqüência de transição, é a freqüência do sinal em que o ganho de tensão em malha aberta de um circuito ou dispositivo se torna unitário [8]. A freqüência f_{3dB} é a freqüência de corte, onde o ganho de tensão reduz-se em 3 dB do ganho de tensão em malha aberta e baixas frequências [8]. A Figura 3.4 ilustra a curva do ganho de tensão em função da freqüência do sinal aplicado às entradas diferenciais do OTA, onde A_{V0} é o ganho de tensão em malha aberta e baixas frequências.

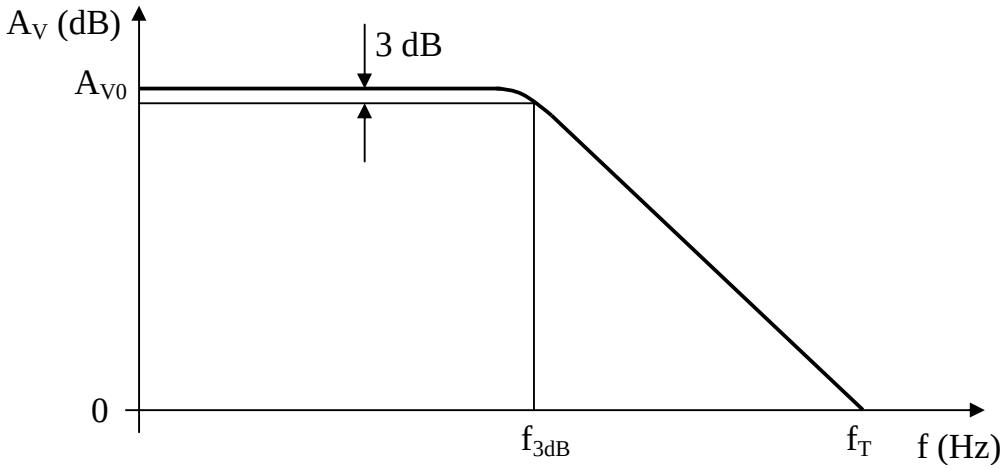


Figura 3.4 – Esboço da curva do ganho de tensão em malha aberta em função da freqüência do sinal de entrada diferencial de um OTA.

Desprezando-se os polos e zeros parasitas, os quais ocorrem devido às capacitâncias intrínsecas dos transistores do circuito, ter-se-á apenas o polo principal do sistema, o qual é devido à capacitância de carga, C_L. Assim, o sistema poderá ser considerado de primeira ordem e a frequência de ganho de tensão unitário é então dada pelo produto do ganho de tensão (A_{V0}) pela frequência de corte (f_{3dB}), também conhecido por GBW (*gain bandwidth product*), dada pela equação (3.15) [18]. Conforme será explicado a seguir este é normalmente o caso, pois estes polos e zeros, que ocorrem devido às capacitâncias intrínsecas localizadas nos nós 1 e 2, devem estar posicionados suficientemente além de f_T para garantir margem de fase positiva e operação estável do OTA [18].

$$f_T = A_{V0}.f_{3dB} = B_{4,6}.\left(\frac{g_m}{I_{DS}}\right)_{1,2}\left(\frac{I_{DS1,2}}{2.\pi.C_L}\right). \tag{3.15}$$

Onde $B_{4,6}$ é o fator de ganho do espelho de corrente pMOSFET, formado pelos transistores M4 e M6; $(g_m/I_{DS})_{1,2}$ é o valor da razão da transcondutância pela corrente entre dreno e fonte do par diferencial M1-M2; $I_{DS1,2}$ é a corrente entre dreno e fonte do par diferencial M1-M2 e C_L é a capacitância da carga conectada ao nó de saída V_{OUT}.

Observa-se também uma grande semelhança entre os valores de f_T do OTA CMOS e do estágio de ganho de tensão intrínseco de um único MOSFET, apresentado no item 2.2.4. A frequência de ganho de tensão unitário do OTA depende basicamente de três fatores: $B_{4,6}$, $(g_m/I_{DS})_{1,2}$ e $[(I_{DS1,2}) / (2.\pi.C_L)]$. Analogamente, o valor de f_T do estágio de ganho de tensão

intrínseco de um MOSFET, apresentado na equação (2.26), depende apenas dos fatores (g_m/I_{DS}) e $[(I_{DS}) / (2.\pi.C_L)]$.

O segundo polo do amplificador operacional (ω_{p1}) é determinado pela razão da transcondutância do transistor M4 (g_{m4}) pela capacitância total interna do nó 1 (C_1) (Figura 3.1), de acordo com a equação (3.16) [18].

$$\omega_{p1} = \frac{g_{m4}}{C_1} . \tag{3.16}$$

A capacitância C_1 é a soma das capacitâncias intrínsecas, de sobreposição e dreno-substrato de M2, M4 e M6 conectados ao nó 1 (Figura 3.1) [18].

Por considerações de estabilidade, este segundo polo deve ser maior que f_T [18]:

$$\omega_{p1} > 2.\pi.f_T . \tag{3.17}$$

O espelho de corrente nMOSFET formado por M7 e M8 introduz um terceiro polo (ω_{p2}) e um zero (ω_{z1}) proximamente espaçados. Este terceiro polo é determinado pela razão da transcondutância do transistor M7 (g_{m7}) pela capacitância total interna do nó 2 (C_2) e é dado pela equação (3.18) [18].

$$\omega_{p2} = \frac{g_{m7}}{C_2} . \tag{3.18}$$

O zero z_1 (ω_{z1}) está situado uma oitava além do terceiro polo (ω_{p2}) e é dado pela equação (3.19) [18].

$$\omega_{z1} = 2.\omega_{p2} . \tag{3.19}$$

Como para o segundo polo, este polo deve estar situado além de f_T [18]:

$$\omega_{p2} > 2.\pi.f_T . \tag{3.20}$$

A capacitância C_2 é a soma das capacitâncias intrínsecas, de sobreposição e dreno-substrato de M5, M7 e M8 conectados ao nó 2 (Figura 3.1).

Por questão de estabilidade, o circuito deve ser projetado de forma a afastar esses polos parasitários. Assim, o valor desses polos devem ser suficientemente maiores que a frequência de ganho unitário, garantindo uma margem de fase suficientemente positiva [18].

Supondo que o polo dominante produz uma variação de fase de 90° na frequência de ganho unitário, a margem de fase (*PM*) pode ser calculada pela seguinte equação [18]:

$$PM = 90° - arctan\left(\frac{\omega_T}{\omega_{p1}}\right) - arctan\left(\frac{\omega_T}{\omega_{p2}}\right) + arctan\left(\frac{\omega_T}{\omega_{z1}}\right), \quad (3.21)$$

onde $\omega_T = 2.\pi.f_T$.

Na região de inversão forte o parâmetro g_m/I_{DS} é equivalente a 2/GVO. Assim, considerando GVO equivalente à tensão de saturação (V_{DSAT}), a tensão de saturação do transistor MOS é igual a [18]:

$$V_{DSAT} = \frac{2}{\left(\frac{g_m}{I_{DS}}\right).n_{si}}, \quad (3.22)$$

onde n_{si} é o fator de corpo e GVO é o valor da sobre tensão aplicada à porta do MOSFET. Através desta equação, observa-se que a tensão de saturação de um transistor MOS é inversamente proporcional ao valor da correspondente eficiência da transcondutância (g_m/I_{DS}). A tensão de saturação (V_{DSAT}) também é equivalente a (V_{GS}-V_{th}), onde V_{GS} é a tensão entre porta e fonte e V_{th} é a tensão de limiar do MOSFET. Dessa forma, o efeito descrito na equação (3.22) também pode ser observado em termos de (V_{GS}-V_{th}), pois quanto maior o valor da tensão de saturação (V_{GS}-V_{th}), maior o nível de inversão do canal do transistor e, consequentemente, menor o valor de (g_m/I_{DS}). Por outro lado, quanto menor o valor da sobre tensão aplicada à porta do transistor, menor o valor da correspondente tensão de saturação (V_{GS}-V_{th}) e maior o valor de (g_m/I_{DS}), pois o transistor tende a ser polarizado na região de inversão fraca.

As equações (3.1), (3.2), (3.14) e (3.15) são de primeira ordem e formam a base do projeto que é realizado manualmente, com a finalidade de comparação com os resultados obtidos através do AGSPICE.

Diferentemente do projeto manual, o AGSPICE obtém os resultados do conjunto de possíveis soluções encontradas através do simulador de circuitos integrados Spice Opus [7], para posteriormente serem avaliados através das equações de avaliação (detalhadas no item 5.3) com o objetivo de quantificar o grau de adequação dos resultados obtidos pelo simulador.

3.4. Considerações finais

Neste capítulo foi apresentada a topologia do OTA utilizada neste trabalho, seu funcionamento, assim como as equações básicas que regem seu funcionamento. Estas equações, juntamente com o mapeamento realizado pelo AGSPICE, possibilitam uma melhor compreensão da correlação das variações das variáveis de entrada do sistema evolucionário, tais como as dimensões W e L dos transistores do OTA e a corrente de polarização (I_{POL}), com as mudanças que ocorrem nas especificações de projeto, tais como A_{V0}, f_T e PM. Na próxima seção, será apresentada a metodologia e o procedimento utilizado no projeto manual.

4. METODOLOGIA DO PROJETO MANUAL UTILIZADA NA SOLUÇÃO DE OBJETIVOS DO OTA CMOS

Uma vez que o procedimento de projeto manual está baseado na metodologia do projeto de circuitos integrados analógicos dada por g_m/I_{DS} *x* $I_{DS}/(W/L)$ [14], primeiramente deve-se caracterizar a tecnologia a ser utilizada para obtenção de parâmetros da tecnologia e as curvas g_m/I_{DS} *x* $I_{DS}/(W/L)$ e V_A *x* L [16]. Nesta dissertação, a metodologia g_m/I_{DS} *x* $I_{DS}/(W/L)$ é apresentada no item 2.2.4. As curvas g_m/I_{DS} *x* $I_{DS}/(W/L)$ e V_A *x* L, dos transistores nMOSFETs e pMOSFETs, são apresentadas nos itens 2.2.5 e 2.2.6, respectivamente, para a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor) [9], a qual é utilizada neste trabalho.

Com as equações básicas do circuito e os parâmetros da tecnologia a ser utilizada devidamente caracterizados, o projetista deve fornecer os objetivos e dados de projeto, tais como A_{V0}; f_T; PM; $B_{4,6}$; $B_{9,10}$; potência total dissipada (P_{TOT}) e tensão de alimentação (V_{DD}).

Foi considerada como premissa para o circuito, a simetria entre os pares de transistores M1-M2, M3-M4, M5-M6 e M7-M8, portanto assumindo-se que são pares casados. Como é aplicada uma tensão de entrada em modo comum (V_{CM}) para polarização do circuito, chamada de V_{INPOL} neste trabalho, a tensão DC aplicada às entradas diferenciais v_{I+} e v_{I-} são exatamente iguais e as correntes I_{DS1} (M1) e I_{DS2} (M2) terão o mesmo valor e cada qual a metade da intensidade de I_O, em primeira aproximação. O valor de I_O é equivalente a $B_{9,10}.I_{POL}$, onde $B_{9,10}$ é o fator de ganho do espelho de corrente formado pelos transistores M9 e M10. Os espelhos de corrente formados pelos pares M4–M6 e M3–M5 espelham a corrente do par diferencial para os transistores de saída (M5-M6 e M7-M8), com um fator de ganho $B_{4,6}$ (ou $B_{3,5}$), ou seja, $I_{DS6} = B_{4,6}.I_{DS2}$ e $I_{DS5} = B_{3,5}.I_{DS1}$. Considerando a simetria do circuito, $I_{DS1} = I_{DS2}$, $I_{DS5} = I_{DS6}$ e $B_{3,5} = B_{4,6}$, então a corrente de dreno de cada transistor do par diferencial será representada por $I_{DS1,2}$ e a corrente de dreno do par de transistores do estágio de saída M5-M6, por $I_{DS5,6}$. Uma vez que M7 está em série com M5 e M8 está em série com M6, $I_{DS7,8} = I_{DS5,6}$. Além disso, o par M7-M8, em espelho de corrente, é assumido casado, ou seja, $B_{7,8}$ é considerado igual a 1 para preservar a simetria do circuito. Porém, é importante observar que o par o par M7-M8 não é obrigatoriamente casado e a consideração do fator de ganho de corrente desse espelho de corrente ($B_{7,8}$) menor ou maior que 1 poderia resultar em soluções ainda inexploradas pela literatura.

Adotam-se valores para os comprimentos de canal dos transistores de saída M6 e M8, *L6* e *L8*, respectivamente. Estes valores podem ser adotados proporcionalmente ao valor de

ganho de tensão desejado, pois definem os valores das tensões Early V_{A6} e V_{A8}, respectivamente. Os valores das tensões Early são obtidos através das curvas V_A *x* L dos transistores pMOSFETs e nMOSFETs, de acordo com o tipo de transistor, conforme indicado na Figura 4.1.

$$L6 \xrightarrow{Curva\ V_A\ x\ L\ (pMOSFET)} V_{A6};\ L8 \xrightarrow{Curva\ V_A\ x\ L\ (nMOSFET)} V_{A8}$$

Figura 4.1 – Obtenção das tensões Early V_{A6} e V_{A8} através das curvas V_A *x* L.

Dessa forma, pode-se obter $(g_m/I_{DS})_{1,2}$, em função de A_{V0}, $B_{4,6}$ e V_{AEQ}, através das equações (4.1) e (4.2):

$$\left(\frac{g_m}{I_{DS}}\right)_{1,2} = \frac{A_{V0}}{B_{4,6}.V_{AEQ}}, \tag{4.1}$$

$$V_{AEQ} = \frac{V_{A6}.V_{A8}}{V_{A6} + V_{A8}}, \tag{4.2}$$

onde V_{AEQ}, definida na equação (4.2), é a tensão Early equivalente dos transistores do estágio de saída, formado por M6 e M8, em volts (V) e A_{V0} é o ganho de tensão em malha aberta em (V/V).

Deseja-se calcular o valor de $I_{DS1,2}$, corrente entre dreno e fonte do par diferencial (M1-M2). Assim, calcula-se inicialmente o valor da corrente total (I_{TOT}) drenada pelo circuito através da equação (4.3):

$$I_{TOT} = \frac{P_{TOT}}{V_{DD}}, \tag{4.3}$$

onde I_{TOT} é a corrente total drenada pelo OTA da fonte de alimentação, em ampères (*A*), V_{DD} é a tensão de alimentação do circuito em volts (*V*) e P_{TOT} é a potência total dissipada pelo circuito em watts (*W*).

O valor da corrente total do circuito pode ser calculado pela lei dos nós, conforme a equação (4.4):

$$I_{TOT} = 2.I_{DS1,2} + 2.I_{DS5,6} + I_{POL}\,. \tag{4.4}$$

O valor de I_{TOT}, em função da corrente de polarização (I_{POL}), conforme a equação (4.7), pode ser calculado substituindo as equações (4.5) e (4.6) na equação (4.4):

$$I_{DS1,2} = \frac{B_{9,10}.I_{POL}}{2}, \tag{4.5}$$

$$I_{DS5,6} = B_{4,6}.\left(\frac{B_{9,10}.I_{POL}}{2}\right), \tag{4.6}$$

$$I_{TOT} = B_{9,10}.I_{POL} + B_{4,6}.B_{9,10}.I_{POL} + I_{POL} = \left(B_{9,10} + B_{4,6}.B_{9,10} + 1\right).I_{POL}. \tag{4.7}$$

Pode-se estabelecer a seguinte relação entre o valor de I_{POL} e o valor de $I_{DS1,2}$:

$$B_{9,10}.I_{POL} = 2.I_{DS1,2} = I_O. \tag{4.8}$$

O valor de $I_{DS1,2}$ em função de P_{TOT}, V_{DD}, $B_{4,6}$ e $B_{9,10}$, é obtido substituindo-se I_{POL} por $(2.I_{DS1,2})/B_{9,10}$, obtido da equação (4.8), na equação (4.7) e esta última, na equação (4.3), ou seja,

$$I_{DS1,2} = \frac{P_{TOT}}{V_{DD}.\left(2 + 2.B_{4,6} + 2/B_{9,10}\right)}. \tag{4.9}$$

Devido à dificuldade do projeto manual foram adotados $B_{4,6}$ e $B_{9,10}$ iguais a 1. Substituindo estes valores na equação (4.9) resulta na seguinte equação simplificada:

$$I_{DS1,2} = \frac{P_{TOT}}{6.V_{DD}}. \tag{4.10}$$

Pode-se calcular também o valor de $I_{DS1,2}$ em função de f_T, C_L, $B_{4,6}$ e $(g_m/I_{DS})_{1,2}$ através da equação (4.11):

$$I_{DS1,2}{}' = \frac{2.\pi.C_L.f_T}{B_{4,6}.\left(\frac{g_m}{I_{DS}}\right)_{1,2}}. \tag{4.11}$$

Através das equações (4.9) e (4.11), obtém-se uma faixa de valores de corrente de dreno do par diferencial que pode ser adotada para $I_{DS1,2}''$, de forma a atender os requisitos de

potência dissipada e resposta em frequência, respectivamente. Considerando-se, por exemplo, que $I_{DS1,2}'$, para atender os requisitos de resposta em freqüência, seja maior que o valor de $I_{DS1,2}$ para atender os requisitos de potência dissipada pelo OTA, pode-se adotar $I_{DS1,2}''$ dentro da seguinte faixa:

$$I_{DS1,2} \leq I_{DS1,2}'' \leq I_{DS1,2}' \tag{4.12}$$

Dado o valor $(g_m/I_{DS})_x$ de um determinado transistor M_x do OTA, a correspondente corrente entre dreno e fonte normalizada em função de W/L (I_{DSnx}), equivalente a $(I_{DS}/(W/L))_x$, x $\in$ [1, 10], pode ser obtida através da curva g_m/I_{DS} x $I_{DS}/(W/L)$ dos transistores nMOSFETs ou pMOSFETs, de acordo com o tipo de transistor, conforme a Figura 4.2.

$$\left(\frac{g_m}{I_{DS}}\right)_x \xrightarrow{Curva\left(\frac{g_m}{I_{DS}}\right) x \frac{I_{DS}}{\left(\frac{W}{L}\right)}} \left(\frac{I_{DS}}{\left(\frac{W}{L}\right)}\right)_x = I_{DSnx}, \qquad \text{x} \in [1, 10]$$

Figura 4.2 – Obtenção da corrente normalizada através da curva g_m/I_{DS} x $I_{DS}/(W/L)$.

Com a corrente entre dreno e fonte e a respectiva corrente normalizada, a razão de aspecto de um determinado transistor [$(W/L)_x$] pode ser calculada por:

$$\left(\frac{W}{L}\right)_x = \left(\frac{I_{DS}}{I_{DSn}}\right)_x, \qquad \text{x} \in [1, 10] \tag{4.13}$$

A largura de canal de um determinado transistor (W_x) pode ser obtida através da razão de aspecto e também pelo comprimento de canal adotado pelo projetista (L_x), conforme equação (4.14).

$$W_x = \left(\frac{W}{L}\right)_x . L_x, \qquad \text{x} \in [1, 10] \tag{4.14}$$

Com os valores de $(g_m/I_{DS})_{1,2}$, calculado na equação (4.1), obtém-se a corrente normalizada do par diferencial ($I_{DSn1,2}$) através da curva g_m/I_{DS} x $I_{DS}/(W/L)$ dos transistores nMOSFETs. A razão de aspecto do par diferencial $(W/L)_{1,2}$ é então calculada através da razão

da corrente entre dreno e fonte do par diferencial ($I_{DS1,2}''$), que foi estimada na faixa dada pela equação (4.12), pela correspondente corrente normalizada ($I_{DSn1,2}$), conforme a equação (4.13). Dessa forma, a largura de canal, $W_{1,2}$, pode ser obtida conforme a equação (4.14), adotando-se o comprimento de canal do par diferencial, $L_{1,2}$. O critério para a escolha de $L_{1,2}$ pode ser aquele que produz a menor área.

Adota-se o valor da eficiência da transcondutância das cargas ativas do par diferencial [$(g_m/I_{DS})_{3,4}$], que são formadas pelo par M3-M4, para operação em uma das três regiões de operação: inversão fraca, inversão moderada ou inversão forte. Estes transistores devem operar, preferencialmente, na região de inversão forte, por motivo de casamento e ruído do espelho de corrente. Por outro lado, como a tensão de saturação de um transistor MOSFET é inversamente proporcional ao valor da correspondente eficiência da transcondutância, segundo a equação (3.22), o valor de $(g_m/I_{DS})_{3,4}$ deve ser alto o suficiente para manter baixo o valor da tensão de saturação dos transistores do espelho de corrente formado pelo par M4-M6 ($V_{DSAT4,6}$) de forma a manter alto o valor da faixa dinâmica de saída, ou seja, a tensão de saturação do transistor de saída M6 deve ser mantida com o valor mais baixo possível. Isto é importante, considerando que os transistores devem operar na região de saturação [18]. Assim pode-se obter a correspondente corrente normalizada ($I_{DSn3,4}$) através da curva g_m/I_{DS} x $I_{DS}/(W/L)$ dos transistores pMOSFETs. A corrente entre dreno e fonte do par casado M3-M4 ($I_{DS3,4}$) é igual a corrente do par diferencial ($I_{DS1,2}$), pois os transistores M3 e M4 estão em série com M1 e M2, respectivamente. A razão de aspecto do par M3-M4, $(W/L)_{3,4}$, é então calculada pela equação (4.13). Dessa forma, a largura de canal do par M3-M4, $W_{3,4}$, pode ser obtida conforme a equação (4.14), adotando-se o comprimento de canal, $L_{3,4}$. O critério para a escolha de $L_{3,4}$ pode ser o mesmo que foi adotado para $L_{1,2}$.

A corrente do par de transistores pMOSFETs de saída M5-M6, $I_{DS5,6}$, é igual à corrente do par diferencial multiplicada pelo fator de ganho $B_{4,6}$, ou seja, $I_{DS5,6} = B_{4,6}.I_{DS1,2}$. De forma análoga ao procedimento realizado em [18], para todos os projetos realizados manualmente são adotados $B_{4,6} = 1$, $I_{DS5,6} = I_{DS1,2}$. Os valores de *L6* e *L8* foram adotados no início do projeto para a determinação de V_{AEQ}, no cálculo de $(g_m/I_{DS})_{1,2}$. Dessa forma resta determinar apenas o valor da largura de canal do par M5-M6, $W_{5,6}$, conforme equação (4.15):

$$\frac{(W/L)_{5,6}}{(W/L)_{3,4}} = B_{4,6} \Rightarrow W_{5,6} = L_{5,6}.\left(\frac{W}{L}\right)_{3,4}; L_6 = f(V_A). \qquad (4.15)$$

O dimensionamento do espelho nMOSFET (transistores M7 e M8) é realizado da seguinte forma: adota-se $(g_m/I_{DS})_{7,8}$ e obtém-se $I_{DSn7,8}$ através da curva g_m/I_{DS} x $I_{DS}/(W/L)$ dos transistores nMOSFETs. A corrente entre dreno e fonte do par de transistores M7-M8, $I_{DS7,8}$, é igual à corrente do par M5-M6, pois os transistores M5 e M7 estão em série. Dessa forma $I_{DS7,8} = I_{DS5,6} = I_{DS1,2}$. A razão de aspecto do par de transistores M7-M8, $(W/L)_{7,8}$, é então calculada pela equação (4.13). O valor de $L8$ foi adotado no início do projeto para a determinação de V_{AEQ}, no cálculo de $(g_m/I_{DS})_{1,2}$. Dessa forma, determina-se a largura de canal do par $W_{7,8}$ conforme a equação (4.16).

$$W_{7,8} = \left(\frac{W}{L}\right)_{7,8} . L_{7,8};\ L_8 = f(V_A)\,. \tag{4.16}$$

Por simplicidade, os transistores da fonte de corrente, M9 e M10, são considerados casados, assim, $B_{9,10} = 1$ e $I_O = I_{POL}$. Então, adota-se o valor da eficiência da transcondutância desses transistores [$(g_m/I_{DS})_{9,10}$] de forma que operem, preferencialmente, na região de inversão forte, por motivo de casamento e ruído do espelho de corrente [18]. Dessa forma pode-se obter a correspondente corrente normalizada ($I_{DSn9,10}$) através da curva g_m/I_{DS} x $I_{DS}/(W/L)$ dos transistores nMOSFETs. A corrente entre dreno e fonte do par de transistores M9-M10, $I_{DS9,10}$, é o dobro da corrente estimada para o par diferencial, conforme mostra a equação (4.17):

$$I_{DS9,10} = I_{POL} = 2.I_{DS1,2}{}''\,. \tag{4.17}$$

A razão de aspecto do par de transistores M9-M10, $(W/L)_{9,10}$, é então calculada pela equação (4.13). Dessa forma, a largura de canal, $W_{9,10}$, pode ser obtida conforme a equação (4.14), adotando-se o comprimento de canal do par M9-M10, $L_{9,10}$. O critério para a escolha de $L_{9,10}$ pode ser o mesmo daquele que foi considerado para $L_{1,2}$ e $L_{3,4}$.

A etapa de dimensionamento dos transistores (primeira tentativa) baseada na metodologia g_m/I_{DS} x $I_{DS}/(W/L)$ e nas equações básicas do circuito de primeira ordem é realizada. Os resultados obtidos devem ser avaliados pelo SPICE procedendo-se iterativamente e repetitivamente com o simulador até que as especificações de projeto possam ser alcançadas. Esse processo é lento, pois o projetista geralmente ajusta um único parâmetro do circuito em cada nova tentativa de simulação do circuito no SPICE, para então reavaliar os resultados obtidos. Caso os resultados não sejam satisfatórios devem ser alterados valores de

g_m/I_{DS}; $B_{4,6}$; $B_{9,10}$; W e L a fim de realizar uma nova iteração com o simulador SPICE na tentativa de obter soluções satisfatórias para todos os objetivos de projeto. Por exemplo, a fim de ajustar a tensão de saída DC (V_{OUT}) pode-se alterar a largura de canal do par de transistores de saída M7-M8, $W_{7,8}$. Considerando que existem diversas especificações de projeto concorrentes, o ajuste adequado de uma determinada especificação de projeto acarreta em prejuízo de outras especificações, de forma que o ajuste do conjunto das variáveis de entrada do circuito para obter um bom compromisso entre diversas especificações de projeto também demanda muita experiência do projetista.

4.1. Considerações finais

Neste capítulo, foram descritas as etapas de dimensionamento dos transistores, baseadas na metodologia g_m/I_{DS} x $I_{DS}/(W/L)$ e nas equações básicas do circuito de primeira ordem e também o processo iterativo e repetitivo com o simulador SPICE na tentativa de obter resultados satisfatórios para diversas especificações de projeto. Na próxima seção, será apresentada a metodologia evolucionária e o funcionamento do programa AGSPICE na busca das especificações de projeto.

5. A METODOLOGIA EVOLUCIONÁRIA

Algoritmo Genético (AG) é uma técnica de otimização de Inteligência Artificial bastante conhecida idealizada por John Holland em 1975 e baseada nos princípios da seleção natural e evolução proposto por Charles Darwin [3]. Este trabalho utiliza um programa de computador que usa este algoritmo, que integrado ao simulador de circuitos Spice Opus [7] constitui o sistema evolucionário intitulado de AGSPICE.

O AG é basicamente composto de um conjunto de soluções iniciais (ou indivíduos), também denominado população inicial, geradas randomicamente e combinadas pelo processo denominado *crossover*, análogo ao da reprodução natural [3]. Após o *crossover*, os indivíduos da população do AG sofrem modificações aleatórias pelo processo denominado mutação, de maneira iterativa e em frequências pré-fixadas por parâmetros, até tornarem-se soluções satisfatórias para o problema em questão, ou até atingirem um determinado número de ciclos, denominados gerações [3]. Através de uma função denominada função de avaliação, quantifica-se o grau de proximidade de cada solução (ou indivíduo), em relação aos objetivos requeridos no processo de busca do AG [3]. Devido às suas características, o AG é amplamente aplicado em problemas de busca complexos, com grande número de variáveis e um ou mais objetivos a serem atingidos [3].

Existem diversos trabalhos que aplicam AG na otimização de circuitos integrados analógicos, tais como [2], [21], [22], [23]. Por exemplo, o trabalho descrito em [23] aplica AG no projeto de filtros complexos, tais como filtros assimétricos, utilizando análise da resposta em frequência para avaliar o circuito. Em [22], um trabalho similar a este é apresentado, onde os autores aplicam AG no projeto de um amplificador operacional de transcondutância, mas com função de avaliação e circuito diferentes. Porém este estudo é inovador no sentido de utilizar o AG não somente para determinar os melhores parâmetros para atingir os objetivos específicos de projeto do OTA, mas também para mapear e compreender o comportamento do processo de busca e otimização dos parâmetros de entrada para alcançar os múltiplos objetivos ao mesmo tempo.

O objetivo desta dissertação é estudar e investigar um caso de Eletrônica Evolucionária, aplicando-se um sistema evolucionário baseado em Algoritmos Genéticos (AG) integrado computacionalmente ao simulador de circuitos SPICE, denominado de AGSPICE, no processo da busca de diversas especificações de projeto de um circuito integrado analógico denominado Amplificador Operacional de Transcondutância (OTA) de único estágio e única saída. Durante este processo, as variáveis livres de projeto, tais como as

dimensões de largura (W) e comprimento de canal (L) dos MOSFETs, a corrente de polarização (I_{POL}) e a tensão de entrada em modo comum para polarização do circuito (V_{INPOL}) são mapeadas e as especificações de projeto, tais como o ganho de tensão em malha aberta (A_{V0}), a frequência de ganho de tensão unitário (f_T), a margem de fase (PM), a potência total dissipada (P_{TOT}) e a área total de todos os transistores do circuito ($AREA$) são monitoradas. São dados de entrada para o AGSPICE: dados de projeto como o valor da tensão de alimentação (V_{DD}), a capacitância de carga (C_L), as especificações de projeto e as restrições de projeto, tais como as larguras de canal mínimas e máximas dos transistores (W_{xmin} e W_{xmax}), os comprimentos de canal mínimos e máximos dos transistores (L_{xmin} e L_{xmax}), as correntes de polarização mínima e máxima (I_{POLmin} e I_{POLmax}), as tensões de entrada em modo comum mínima e máxima ($V_{INPOLmin}$ e $V_{INPOLmax}$), a faixa de tolerância admissível para a tensão de saída DC do OTA ($Tol_{VOUT}\%$) e a faixa de tolerância admissível para a potência total dissipada pelo OTA ($Tol_{PTOT}\%$). São considerados também dados da tecnologia dos transistores do OTA (parâmetros do simulador de circuitos SPICE). Estes dados são pré-estabelecidos pelo projetista, conforme ilustrado na Figura 5.1.

Estuda-se aqui a aplicação do AGSPICE, no projeto de um amplificador operacional, devido à importância desse componente na eletrônica. Amplificadores operacionais são os componentes mais versáteis da eletrônica analógica. Esses componentes são empregados em diversos blocos básicos da eletrônica tais como conversores digitais-analógicos, comparadores, amplificadores, entre outros [1].

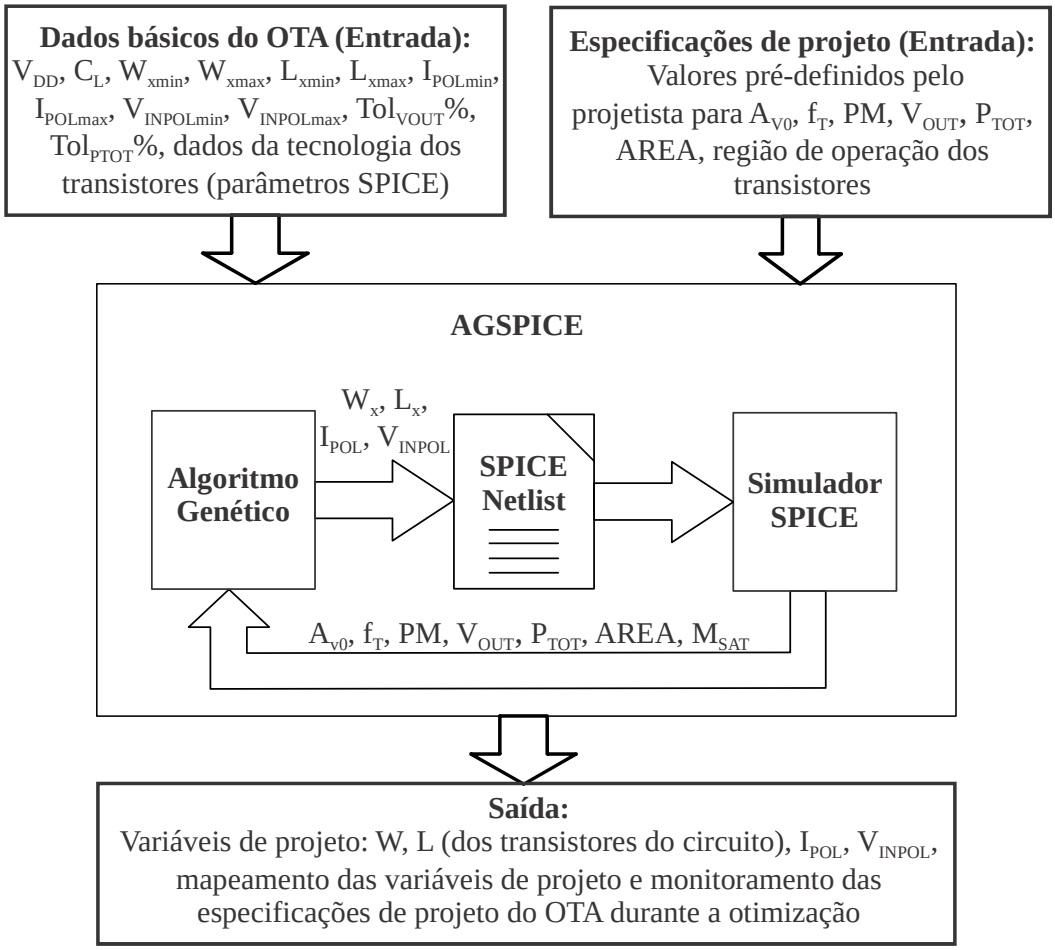


Figura 5.1 – Diagrama simplificado dos dados de entrada e saída do AGSPICE.

O AGSPICE modifica simultaneamente as dimensões *W* e *L* de todos os transistores do OTA, assim como a corrente de polarização (I_{POL}) e a tensão de entrada em modo comum de polarização (V_{INPOL}) das soluções potenciais, pelos processos de seleção, reprodução e mutação, que serão explicados em detalhes nos próximos itens. Com o objetivo de observar essas modificações e a tendência de determinação das dimensões *W* e *L* dos transistores, a corrente de polarização (I_{POL}) e a tensão de entrada em modo comum de polarização (V_{INPOL}) durante o processo de otimização, realiza-se nessa dissertação um mapeamento dessas variáveis de entrada, junto com o monitoramento das especificações do projeto do OTA, com o objetivo de compreender como essas modificações estão relacionadas com as diversas especificações de projeto pré-definidas pelo projetista. O mapeamento consiste no registro seqüencial das variáveis livres de projeto (W_x, L_x, I_{POL}, V_{INPOL}) e também das correspondentes especificações de projeto das melhores soluções de uma população, a cada nova geração do AGSPICE, que são dados de saída do AGSPICE, como ilustrado na Figura 5.1. A análise desse mapeamento, em modos de operação com diferentes valores de A_{V0}, f_T, *PM*, P_{TOT}, *AREA*,

requeridos pelo projetista, proporciona uma melhor compreensão do comportamento do OTA. Com o mapeamento das variáveis livres de projeto, junto com o monitoramento das especificações do projeto, podem ser definidas novas regras de projeto associadas aos modos de operação do OTA, possibilitando uma significativa redução no tempo de desenvolvimento desse tipo de circuito integrado analógico.

A seguir serão apresentadas em detalhes a estrutura de dados e a metodologia utilizadas no AGSPICE desenvolvido neste estudo.

5.1. Processo de busca dos objetivos através do AGSPICE

A Figura 5.2 ilustra o fluxograma de execução do AGSPICE, onde são detalhados os processos que o compõem. O simulador SPICE atua gerando os resultados das simulações das soluções potenciais geradas pelo algoritmo genético para posteriormente serem avaliados pelo AGSPICE, conforme mostra a Figura 5.1. O fluxograma da Figura 5.2 mostra os blocos nos quais o simulador SPICE atua destacados com linha tracejada vermelha.

O AGSPICE empregado nos experimentos realiza a busca em duas etapas, a etapa DC e a etapa AC. A etapa DC permite aumentar a velocidade de busca do AGSPICE. Este procedimento é baseado na técnica que é utilizada para fazer a análise da resposta em frequência de um amplificador por um projetista de CI analógico, ou seja, primeiro realiza-se a etapa DC para depois ser realizada a etapa AC (análise de pequenos sinais). A etapa AC no AGSPICE é definida como o processo de busca de soluções no qual são avaliados todos os objetivos de projeto, ou seja, A_{V0}, f_T, *PM*, V_{OUT}, P_{TOT}, *AREA* e M_{SAT} (região de operação de todos os transistores do circuito). A evolução da etapa DC ocorre de maneira similar à etapa AC. A única diferença é que na etapa DC somente são avaliados os objetivos relacionados ao ponto de operação do OTA, ou seja, $V_{OUT} = V_{DD}/2$, P_{TOT}, *AREA* e todos os transistores do circuito operando na região de saturação. Dessa forma, a etapa DC é representada de forma simplificada no fluxograma da Figura 5.2.

O processamento do AGSPICE ocorre da seguinte forma: inicialmente gera-se soluções DC, representadas por W_x, L_x, I_{POL} e V_{INPOL}, $x \in [1, 10]$, que são as variáveis de entrada (variáveis livres) do circuito, através dos operadores genéticos de seleção, reprodução e mutação (de forma análoga à etapa AC). Os operadores genéticos de seleção, reprodução e mutação são detalhados nos itens 5.5, 5.6 e 5.7. Esta etapa é indicada no processo (A) do fluxograma (Figura 5.2), sendo que o número de soluções DC apresentadas ao final deste processo é igual ao número de rodadas DC, configurado no programa AGSPICE. Então, o

sistema evolucionário seleciona a melhor solução DC gerada na etapa anterior, conforme indicado no processo (B) do fluxograma. Inicia-se, então, a etapa AC com uma população gerada com valores randômicos, conforme indicado no processo (C) do fluxograma.

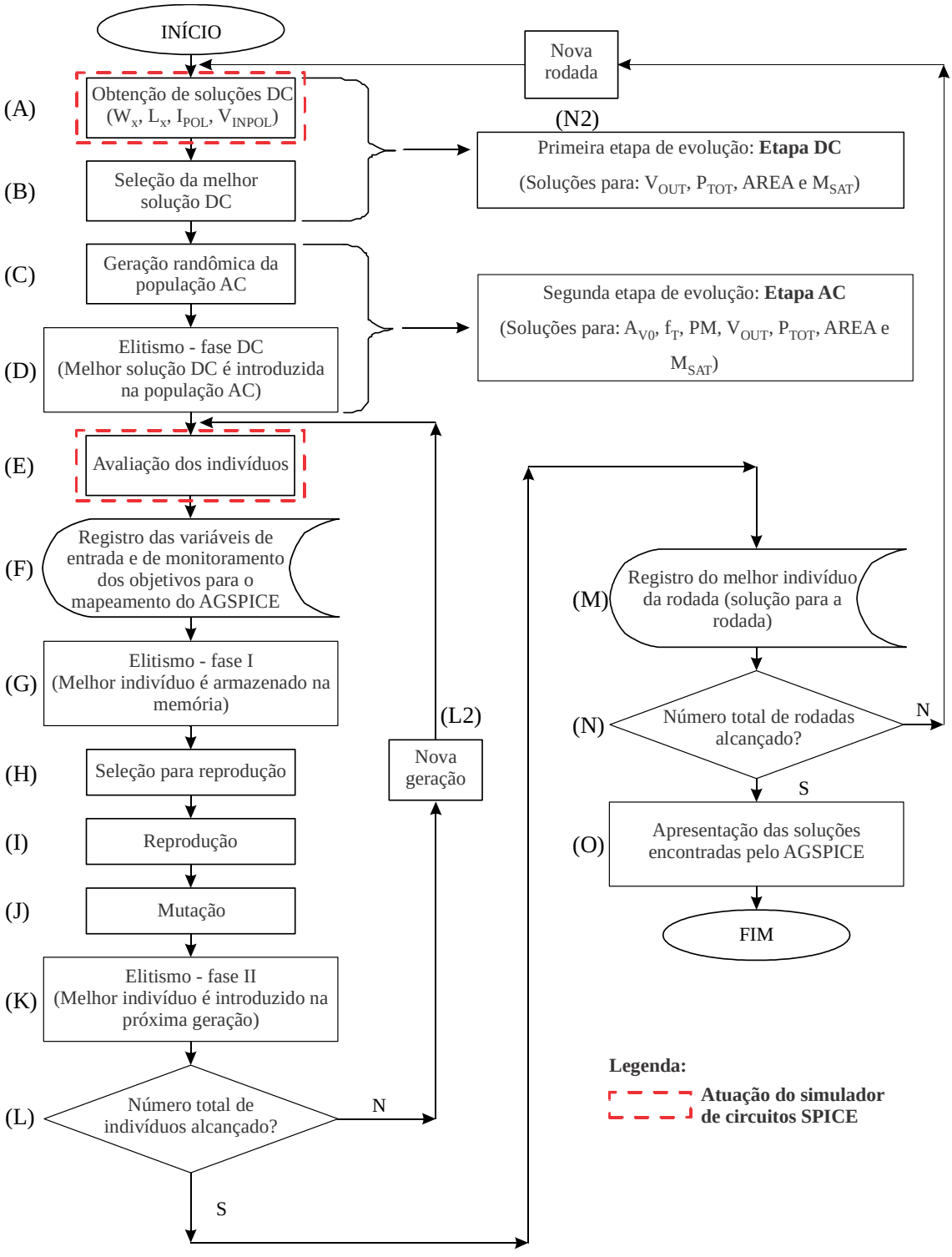


Figura 5.2 – Fluxograma do AGSPICE.

O passo seguinte é a etapa do elitismo DC. Nesta etapa, a melhor solução DC do OTA, selecionada no processo (B), substitui um indivíduo da população AC inicial, o qual é sorteado aleatoriamente, conforme indicado no processo (D) do fluxograma. A etapa do elitismo DC é ilustrada na Figura 5.3. A representação das soluções (cromossomas) no AGSPICE é detalhada no item 5.2.

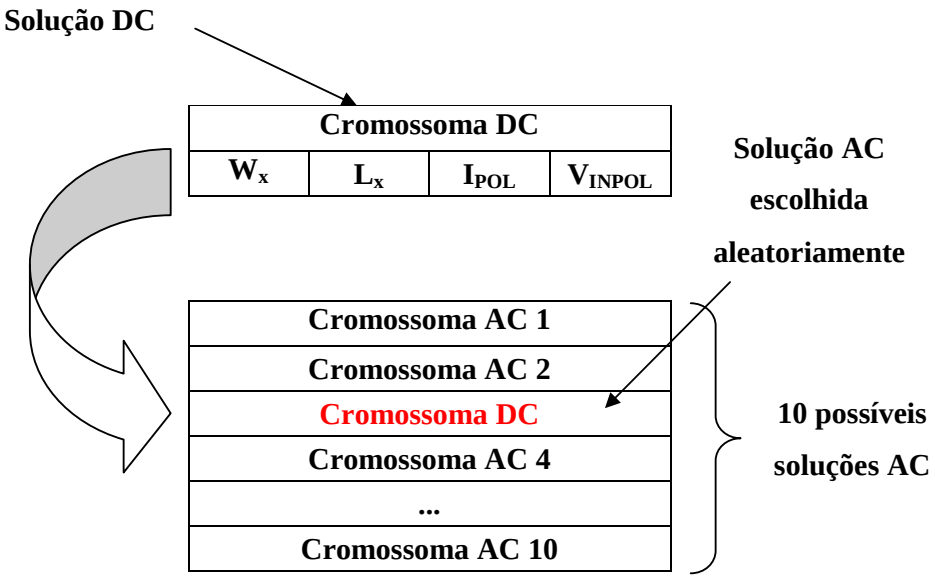


Figura 5.3 – Elitismo DC.

Com a população AC inicial gerada, os valores de W_x, L_x, I_{POL} e V_{INPOL} de cada indivíduo são incluídos em arquivos *netlist* do Spice Opus [7]. *Netlist* é um arquivo texto que contém a descrição do circuito do OTA, juntamente com os parâmetros dos nMOSFETs e pMOSFETs do modelo BSIM3 versão 3.1 disponibilizado pelo MOSIS [9], para a tecnologia CMOS de 0,35 µm da AMIS (ON-Semiconductor). Dessa forma, o AGSPICE cria um arquivo *netlist* com as variáveis de entrada do circuito para cada indivíduo dessa população, juntamente com os valores de V_{DD} e C_L, configurados pelo projetista no programa AGSPICE, os quais são mantidos fixos durante o processo de busca (vide exemplo de um arquivo *netlist* do Spice Opus [7] no APÊNDICE A). Então são realizadas simulações no simulador Spice Opus [7], para cada indivíduo da população. Com os resultados gerados através do simulador, cada indivíduo é avaliado utilizando equações de avaliação, conforme indicado no processo (E) do fluxograma. As funções de avaliação são apresentadas no item 5.3.

As variáveis de entrada e de monitoramento das especificações de projeto, tais como A_{V0}, f_T, *PM*, V_{OUT}, P_{TOT} e *AREA* correspondente ao indivíduo com o maior valor de avaliação, obtido na etapa anterior, são registradas em arquivo com a finalidade de realizar o

mapeamento do processo de otimização do AGSPICE, conforme indicado no processo (F) do fluxograma.

Na próxima etapa, ocorre a primeira fase do elitismo, indicado no processo (G) do fluxograma, em que o melhor indivíduo avaliado é armazenado na memória para ser utilizado futuramente, no processo do elitismo. Este processo de elitismo é detalhado no item 5.4.

Em seguida, o processo de seleção é realizado, conforme indicado no processo (H) do fluxograma. Este processo seleciona pares de indivíduos, que são usados no processo de reprodução (*crossover*). Os indivíduos são selecionados através do método da roleta [3], o qual é apresentado no item 5.5. Neste método, as soluções com melhores avaliações possuem maiores chances de serem selecionados para reprodução que os outros. Embora os indivíduos com melhores valores de avaliação tenham maior probabilidade de serem escolhidos, os indivíduos com menores valores de avaliação também podem ser escolhidos, garantindo a diversidade de soluções apresentadas pelo AGSPICE.

Na etapa da reprodução do sistema evolucionário, indicada no processo (I) do fluxograma, grupos de *bits* dos genes W_x, L_x, I_{POL} e V_{INPOL} dos indivíduos selecionados são trocados utilizando o *crossover* de um ponto [3], conforme detalhado no item 5.6. A taxa do processo de reprodução (taxa de *crossover*) é um parâmetro de entrada do algoritmo e deve ser selecionado pelo projetista no programa AGSPICE, sendo utilizada uma faixa de 65% a 70% para este parâmetro nos projetos realizados. Então, ocorre a mutação de alguns indivíduos, conforme indicado no processo (J) do fluxograma. O processo de mutação é detalhado no item 5.7. Como a representação do cromossoma é realizada em números binários, a etapa da mutação essencialmente inverte alguns *bits* que compõem os genes W_x, L_x, I_{POL} e V_{INPOL}. Analogamente à taxa de *crossover*, a taxa de mutação também é um parâmetro de entrada e deve ser configurado pelo projetista no programa AGSPICE, sendo utilizada uma taxa de 3% em todos os projetos realizados neste trabalho.

Após as etapas de seleção, reprodução e mutação, uma nova geração é criada. A fim de garantir que esta nova população gerada tenha avaliação no mínimo igual à geração anterior aplica-se a segunda etapa do elitismo, indicada no processo (K) do fluxograma, em que o sistema evolucionário escolhe aleatoriamente um indivíduo desta nova geração, substituindo pelo indivíduo com o melhor valor de avaliação da geração anterior.

O AGSPICE continua processando novas gerações até alcançar o número total de indivíduos definido pelo projetista, conforme indicado nos processos (L) e (L2) do fluxograma. O número total de indivíduos é um parâmetro de entrada do AGSPICE e representa o total de indivíduos que deve ser gerado pelo algoritmo, considerando que cada

geração cria *N* novos indivíduos, ou seja, uma nova população. Por exemplo, neste trabalho, foi considerado um número total de 10000 indivíduos, onde *N*=10. Consequentemente, o AGSPICE precisa avaliar 1000 gerações de 10 indivíduos para alcançar o final do processo de evolução. No final destas 1000 gerações, uma rodada do algoritmo é finalizada e a melhor solução encontrada representa a melhor solução do AGSPICE para esta rodada particular. A solução e os resultados de desempenho obtidos para a rodada são, então, registrados em arquivo, conforme indicado no processo (M) do fluxograma. Uma nova rodada significa começar o processo de evolução do AGSPICE novamente, ou seja, inicia-se uma nova etapa DC e, em seguida, uma nova etapa AC é iniciada com uma população gerada randomicamente, conforme indicado nos processos (N) e (N2) do fluxograma. O projetista deve escolher o número de rodadas e, quanto maior for o número de rodadas, maior será o número de possíveis soluções apresentadas no final do processo de busca do AGSPICE, indicado no processo (O) do fluxograma.

5.2. Representação do Cromossoma do AGSPICE

No programa AGSPICE todas as possíveis soluções do projeto do OTA estão codificadas em estruturas chamadas cromossomas. Dentro de cada cromossoma estão localizados os genes, sendo que cada gene codifica uma variável de projeto. Dessa forma, os genes do cromossoma codificam as dimensões de todos os transistores, a corrente e a tensão de polarização do circuito do OTA. A Figura 5.4 mostra a representação do cromossoma das soluções potenciais do AGSPICE. Todos os genes alelos W_x, L_x, I_{POL} e V_{INPOL}, $x \in [1, 10]$, são números binários. Cada um destes genes possui um determinado número de *bits* especificado em função da faixa de números reais que representam e também da precisão desejada para a grandeza correspondente (dimensões *W*, *L*, corrente de polarização e tensão de entrada em modo comum de polarização). Uma vez que M1=M2, M3=M4, M5=M6 e M7=M8, os alelos de número ímpar das dimensões *W* e *L* destes transistores não foram incluídos no cromossoma, pois são iguais aos respectivos alelos de número par devido à simetria do circuito. É importante notar que os transistores M9 e M10, que formam o espelho de corrente que polariza o par diferencial, não são casados. Dessa forma, as dimensões *W* e *L* destes transistores podem variar livremente durante o processo de busca para atender os múltiplos objetivos do OTA.

Quando o valor do ganho do espelho de corrente pMOSFET ($B_{4,6}$), assim como o ganho do espelho nMOSFET da fonte de corrente ($B_{9,10}$) são unitários, ou seja, $B_{4,6} = B_{9,10} = 1$,

dado P_{TOT} e V_{DD}, temos uma corrente de polarização fixa igual a 1/3 do valor da corrente total drenada pelo circuito (I_{TOT}). Como os valores de $B_{4,6}$ e $B_{9,10}$ não são pré-fixados pode-se obter valores maiores ou menores que este valor de referência para I_{POL}. A faixa de valores assumida pelo gene I_{POL} pode ser estimada com base na potência dissipada pelo circuito, com valores em torno de $I_{TOT}/3$, podendo ser adotado o valor de I_{POLmin} menor e o valor de I_{POLmax} maior que este valor de referência, a fim de possibilitar que os valores de $B_{4,6}$ e de $B_{9,10}$ sejam maiores ou menores do que 1, no processo de busca dos múltiplos objetivos do OTA pelo AGSPICE.

O gene V_{INPOL} (tensão de entrada em modo comum para polarização do circuito do OTA) foi incluído no cromossoma do AGSPICE, podendo variar de uma faixa de 0,7 V (aproximadamente a tensão de limiar do transistor nMOSFET) até V_{DD} (tensão de alimentação do circuito) a fim de garantir que todos os transistores do circuito do OTA operem na região de saturação, especialmente o transistor da fonte de corrente M10 [10].

Cromossoma					
W_2	**W_4**	**W_6**	**W_8**	**W_9**	**W_{10}**
L_2	**L_4**	**L_6**	**L_8**	**L_9**	**L_{10}**
I_{POL}					
V_{INPOL}					

Figura 5.4 – Representação do Cromossoma do AGSPICE.

5.2.1. Decodificação do cromossoma

A fim de obter o valor real dos alelos W_x, L_x, I_{POL} e V_{INPOL}, representados em números binários no cromossoma, o AGSPICE realiza dois tipos de conversões de dados: conversão de número binário em número inteiro e de número inteiro para número real dentro dos limites máximo e mínimo estabelecidos pelo projetista.

A

Figura 5.5 mostra a estrutura interna de um gene do AGSPICE (alelos W_x, L_x, I_{POL} e V_{INPOL}). A conversão de número binário em número inteiro é realizada conforme mostra a equação (5.1):

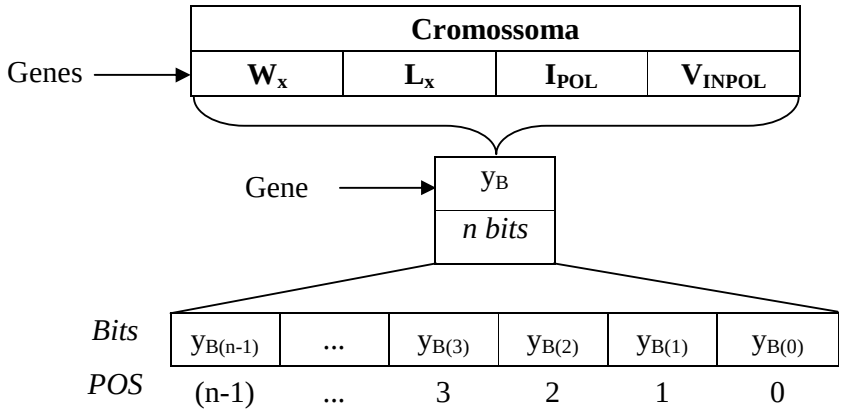


Figura 5.5 – Estrutura de um gene do AGSPICE (alelos W_x, L_x, I_{POL} e V_{INPOL}).

$$y_I = \sum_{POS=0}^{n-1} y_{B(POS)} . 2^{POS} , \tag{5.1}$$

onde y_B representa um gene do cromossoma, *n* representa o número de *bits* do número binário y_B, $y_{B(POS)}$ é o valor do *bit* na posição de índice *POS* no número y_B e y_I é um número inteiro na faixa de 0 a (2^n-1), resultante da conversão do número binário y_B no valor inteiro correspondente. A conversão do número inteiro y_I para o correspondente número real é realizado conforme as equações (5.2) e (5.3):

$$P = \frac{(y_{R_{max}} - y_{R_{min}})}{2^n - 1} , \tag{5.2}$$

$$y_R = y_I . P + y_{R_{min}} , \tag{5.3}$$

onde y_R é o número real decodificado do gene do cromossoma na faixa de y_{Rmin} a y_{Rmax}, onde y_{Rmax} e y_{Rmin}, representam os valores máximo e mínimo, respectivamente, de uma grandeza representada por um gene do cromossoma, por exemplo W_{xmax} e W_{xmin}, onde W_{xmax} e W_{xmin} representam o valor máximo e o valor mínimo, respectivamente, da largura de canal de um MOSFET M_x do circuito do OTA, x $\in$ [1, 10], especificados no programa AGSPICE em [µm] e *P* é a precisão da conversão do número inteiro em número real, ou seja, representa o valor do passo de incremento, por exemplo 0,01 µm. Os valores máximo e mínimo dos genes W_x, L_x, I_{POL} e V_{INPOL} são especificados no programa AGSPICE.

Todos os cromossomas (indivíduos) do AGSPICE são decodificados em números reais para serem incluídos em arquivos *netlist* do simulador SPICE. Após a simulação do circuito com estes valores, o simulador SPICE gera os correspondentes arquivos de saída com os resultados obtidos para cada especificação de projeto estabelecida. Estes resultados são aplicados em equações de avaliação desses indivíduos, para a solução do problema, levando em consideração os objetivos a serem atingidos.

O número de *bits* dos genes W_x, L_x, I_{POL} e V_{INPOL} são calculados conforme mostra a equação (5.4):

$$n = \frac{log\left[\frac{\left(y_{R_{max}} - y_{R_{min}}\right)}{P} + 1\right]}{log(2)}. \tag{5.4}$$

5.3. Função de avaliação do AGSPICE

Neste trabalho, é realizada uma busca por soluções que atendam a objetivos pré-estabelecidos pelo projetista. Por esta razão a função de avaliação do AGSPICE deve retornar um índice de afinidade entre o valor obtido pelo indivíduo e o valor objetivado pelo projetista. Dessa maneira, o valor de avaliação para a solução do problema no AGSPICE será esse índice de afinidade, priorizando soluções que se aproximem mais dos objetivos pré-estabelecidos pelo projetista.

Para solucionar esse problema é necessária uma função monotonicamente decrescente, de maneira a avaliar os indivíduos (soluções) do AGSPICE de forma gradual, tendo como valor máximo de avaliação, soluções que atendam plenamente os objetivos pré-estabelecidos pelo projetista. Assim, uma função Gaussiana é empregada na avaliação dos objetivos [24], [25], exceto para a avaliação da região de operação dos transistores do circuito, que é utilizada uma função do tipo degrau.

A função Gaussiana retorna um valor de avaliação entre 0 e 100, sendo que quanto mais próximo de 100 for o resultado da avaliação, maior é a proximidade entre o valor obtido pelo indivíduo e o valor objetivado pelo projetista. A equação geral de avaliação dos objetivos é definida da seguinte maneira [24], [25]:

$$Eval\big(Obj(i)\big) = 100.exp\left(-\frac{Desvio\ Relativo^2}{2.\sigma^2}\right), \tag{5.5}$$

onde:

$$Desvio\ Relativo = \left(\frac{Obj(i) - Obj_Des}{Obj_Des}\right), \tag{5.6}$$

onde, *Eval(Obj(i))* representa o valor de avaliação obtido por um indivíduo, com relação a um determinado objetivo (A_{V0}, f_T, *PM*, etc.); *Obj(i)* representa o valor de um objetivo obtido por um determinado indivíduo, índice *i*, do AGSPICE; *Obj_Des* representa o valor desejado de um determinado objetivo estabelecido pelo projetista e σ^2 é a variância da curva Gaussiana. A variância modifica o espalhamento desta curva e, no caso deste trabalho, essa variável pode ser configurada no programa AGSPICE a critério do projetista. Esse valor pode ser ajustado experimentalmente por uma análise de desempenho do AGSPICE, através da análise do tempo de convergência do AGSPICE na busca de soluções satisfatórias e também da proximidade das soluções obtidas em relação ao objetivo.

Na equação de avaliação (5.5), observa-se que no numerador da exponencial decrescente é calculado o quadrado do *Desvio Relativo* entre o valor obtido para um determinado objetivo e o valor desejado para este objetivo, em vez de ser calculado o quadrado do desvio absoluto, em que os valores obtidos e desejados seriam subtraídos diretamente. O significado dessa operação é a normalização dos valores objetivo e obtido pelo indivíduo, independentemente de sua grandeza. Assim o valor de avaliação de um objetivo é calculado de acordo com o valor do *Desvio Relativo* do valor obtido em relação ao valor desejado para este objetivo.

Observou-se que valores de σ muito menores que 0,3 resultam numa curva Gaussiana de abertura muito estreita, tendo por conseqüência, o aumento do tempo do processamento do AGSPICE na busca por soluções satisfatórias, pois menos soluções recebem valores de avaliação próximos de 100, influenciando negativamente os processos de reprodução e mutação do AGSPICE. Por outro lado, valores muito maiores que 0,3 para σ fazem com que as soluções apresentadas pelo AGSPICE, ao final do processamento, estejam distantes do valor objetivado pelo projetista. A Figura 5.6 ilustra graficamente a equação de avaliação (5.5), para diferentes valores da variável σ, em função do *Desvio Relativo* de um determinado objetivo relacionado a um indivíduo em avaliação. Na Figura 5.6, *Desvio Relativo* é dado pela equação (5.6). Este gráfico é uma ferramenta importante para configurar corretamente o valor da variável σ, pois relaciona o valor de avaliação associado a um determinado objetivo com o valor do *Desvio Relativo*, para uma faixa do valor da variável σ de 0,1 a 0,5. Por exemplo, se

σ for igual a 0,2 e o *Desvio Relativo* de um objetivo for de ± 20%, o valor de avaliação estará em torno de 60, porém, se σ for igual a 0,3, para o mesmo *Desvio Relativo*, o valor de avaliação estará em torno de 80.

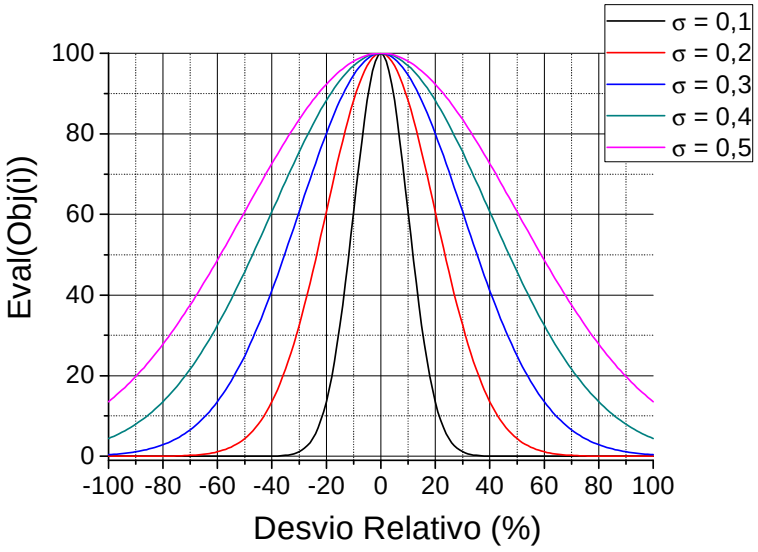


Figura 5.6 – Curva *Eval(Obj(i))* em função do *Desvio Relativo* (%).

A seguir serão apresentadas as funções de avaliação utilizadas para cada especificação de projeto:

$$Eval\left(A_{V0}(i)\right) = 100.exp\left(-\frac{\left(\frac{A_{V0}(i) - A_{V0_{obj}}}{A_{V0_{obj}}}\right)^2}{2.{\sigma_{AC}}^2}\right), \tag{5.7}$$

onde $Eval(A_{V0}(i))$ é o valor de avaliação obtido por um indivíduo, com relação à A_{V0}; $A_{V0}(i)$ é o valor de A_{V0} obtido pelo indivíduo do AGSPICE; A_{V0_obj} é o valor de A_{V0} estabelecido como objetivo pelo projetista e ${\sigma_{AC}}^2$ é a variância da curva Gaussiana, especificada no programa AGSPICE. De forma análoga,

$$Eval\left(f_T(i)\right) = 100.exp\left(-\frac{\left(\frac{f_T(i) - f_{T_{obj}}}{f_{T_{obj}}}\right)^2}{2.{\sigma_{AC}}^2}\right), \tag{5.8}$$

onde *Eval(f_T(i))* é o valor de avaliação obtido por um indivíduo, com relação à f_T; f_T*(i)* é o valor de f_T obtido pelo indivíduo do AGSPICE; f_{T_obj} é o valor de f_T estabelecido como objetivo pelo projetista.

Se a margem de fase correspondente a um determinado indivíduo resultar maior ou igual a zero, a avaliação deste objetivo será através de uma função Gaussiana, caso contrário, o valor da avaliação será igual a zero, conforme mostrado abaixo:

Se $PM \geq 0$:

$$Eval\big(PM(i)\big) = 100.exp\left(-\frac{\left(\frac{PM(i) - PM_obj}{PM_{obj}}\right)^2}{2.{\sigma_{AC}}^2}\right), \tag{5.9}$$

caso contrário:

$$Eval\big(PM(i)\big) = 0\,, \tag{5.10}$$

onde *Eval(PM(i))* é o valor de avaliação obtido por um indivíduo, com relação à margem de fase; *PM(i)* é o valor de *PM* obtido pelo indivíduo do AGSPICE; $PM_{_obj}$ é o valor de *PM* estabelecido como objetivo pelo projetista.

Se a tensão de saída DC correspondente a um determinado indivíduo estiver dentro de uma faixa de tolerância admissível, designada por $Tol_{VOUT}\%$, especificada no programa AGSPICE, ou seja, $V_{OUT} = V_{DD}/2 \pm (Tol_{VOUT}\%)$, a avaliação deste objetivo será através de uma função Gaussiana, caso contrário, o valor da avaliação será igual a zero, conforme mostrado abaixo:

Se $V_{OUT(MIN)} \leq V_{OUT}(i) \leq V_{OUT(MAX)}$:

$$Eval(V_{OUT}(i)) = 100.exp\left(-\frac{\left(\frac{V_{OUT}(i) - (V_{DD}/2)}{V_{DD}/2}\right)^2}{2.{\sigma_{DC}}^2}\right), \tag{5.11}$$

caso contrário:

$$Eval\left(V_{OUT}(i)\right) = 0\,, \tag{5.12}$$

onde *Eval(V_{OUT}(i))* é o valor da avaliação obtido por um indivíduo, com relação à tensão de saída DC (V_{OUT}); *V_{OUT}(i)* é o valor de V_{OUT} obtido pelo indivíduo do AGSPICE. O valor da tensão no nó de saída do OTA estabelecido como objetivo para o AGSPICE é sempre considerado igual a $V_{DD}/2$, a fim de maximizar a excursão do sinal de saída. Finalmente, σ_{DC}^2 é a variância da curva Gaussiana, especificada no programa AGSPICE.

Se a potência dissipada pelo circuito correspondente a um determinado indivíduo estiver dentro de uma faixa de tolerância admissível, designada por Tol_{PTOT}%, especificada no programa AGSPICE, ou seja, $P_{TOT} = P_{TOT} \pm (Tol_{PTOT}\%)$, a avaliação deste objetivo será através de uma função Gaussiana, caso contrário, o valor da avaliação será igual a zero, conforme mostrado abaixo:

Se $P_{TOT(MIN)} \leq P_{TOT}(i) \leq P_{TOT(MAX)}$:

$$Eval(P_{TOT}(i)) = 100.exp\left(-\frac{\left(\frac{P_{TOT}(i) - P_{TOT_obj}}{P_{TOT_obj}}\right)^2}{2.{\sigma_{DC}}^2}\right), \tag{5.13}$$

caso contrário:

$$Eval\left(P_{TOT}(i)\right) = 0\,, \tag{5.14}$$

onde *Eval(P_{TOT}(i))* é o valor da avaliação obtido por um indivíduo, com relação à potência dissipada pelo circuito (P_{TOT}); *P_{TOT}(i)* é o valor de P_{TOT} obtido pelo indivíduo do AGSPICE; P_{TOT_obj} é o valor de P_{TOT} estabelecido como objetivo pelo projetista. Para a avaliação da *AREA*,

$$Eval(AREA(i)) = 100.exp\left(-\frac{\left(\frac{AREA(i) - AREA_obj}{AREA_obj}\right)^2}{2.{\sigma_{DC}}^2}\right), \tag{5.15}$$

onde *Eval(AREA(i))* é o valor de avaliação obtido por um indivíduo, com relação à área total ocupada pelos transistores do circuito (*AREA*); *AREA(i)* é o valor da somatória do produto *W* x *L* de todos os transistores do circuito obtido pelo indivíduo do AGSPICE; $AREA_{obj}$ é o valor da área total dos transistores do circuito estabelecida como objetivo pelo projetista.

Por último, se um determinado transistor do circuito do OTA, designado genericamente por M_x, estiver operando na região de saturação:

$$M_{x(SAT)}(i) = 10, \qquad \mathrm{x} \in [1, 10]\,, \tag{5.16}$$

caso contrário, o transistor estiver operando na região de triodo:

$$M_{x(SAT)}(i) = 0, \qquad \mathrm{x} \in [1, 10]\,, \tag{5.17}$$

assim, avalia-se a região de operação de todos os transistores do circuito da seguinte forma:

$$Eval\big(M_{SAT}(i)\big) = \sum_{\mathrm{x}=1}^{10} M_{x(SAT)}(i)\,, \tag{5.18}$$

onde $Eval(M_{SAT}(i))$ é o valor de avaliação obtido por um indivíduo, com relação à região de operação de todos os transistores do circuito (M1 a M10); $M_{x(SAT)}(i)$ representa a região de operação de um determinado transistor do circuito (x ∈ [1, 10]), para um determinado indivíduo *i* do AGSPICE, relacionada pelas equações (5.16) e (5.17).

A função de avaliação global da solução, ou função de avaliação dos múltiplos objetivos de um indivíduo *i* [$Eval_{AG}(i)$] é uma soma ponderada dos valores obtidos pelas equações (5.7), (5.8), (5.9), (5.10), (5.11), (5.12), (5.13), (5.14), (5.15) e (5.18), ou seja:

$$\begin{aligned} Eval_{AG}(i) = {} & P_{AV0}.Eval\big(A_{V0}(i)\big) + P_{fT}.Eval\big(f_T(i)\big) + P_{PM}.Eval\big(PM(i)\big) \\ & + P_{VOUT}.Eval\big(V_{OUT}(i)\big) + P_{PTOT}.Eval\big(P_{TOT}(i)\big) \\ & + P_{AREA}.Eval\big(AREA(i)\big) + P_{MSAT}.Eval\big(M_{SAT}(i)\big)\,, \end{aligned} \tag{5.19}$$

onde $Eval_{AG}(i)$ é a avaliação dos múltiplos objetivos, de um indivíduo *i* da população do AGSPICE e, P_{AV0}, P_{fT}, P_{PM}, P_{VOUT}, P_{PTOT}, P_{AREA}, P_{MSAT}, são, respectivamente, os pesos atribuídos pelo projetista para A_{V0}, f_T, *PM*, V_{OUT}, P_{TOT}, *AREA* e M_{SAT} (transistores do circuito

operando na região de saturação), sendo que a soma de todos os pesos deve totalizar 100%. O peso da avaliação da região de operação dos transistores do OTA, P_{MSAT}, é complementar ao peso designado aos demais objetivos. Assim, o AGSPICE calcula automaticamente o peso associado à região de operação dos transistores, a partir dos demais objetivos, conforme a equação (5.20):

$$P_{MSat}\ (\%) = (100 - P_{AV0} - P_{fT} - P_{PM} - P_{VOUT} - P_{PTOT} - P_{AREA}) \qquad (5.20)$$

Os pesos relacionados a cada item em avaliação podem ser adotados de acordo com a relevância dos objetivos a serem alcançados em um determinado projeto ou podem ser ajustados experimentalmente de forma a balancear os resultados obtidos de forma a alcançar resultados satisfatórios para todos os objetivos. Assim, por exemplo, se a área ocupada pelos transistores (AREA) não for relevante para um determinado projeto, pode-se adotar peso de 0% para a AREA e aumentar o peso referente a outros objetivos relevantes ao projeto. Se a margem de fase obtida resultar abaixo do valor especificado ou resultar negativa, pode-se adotar o peso referente a este objetivo maior que os demais objetivos, como no caso dos experimentos realizados neste trabalho (com valores em torno de 30%).

Portanto, o AGSPICE realizará a busca das melhores soluções através dos maiores valores da função de avaliação, dada pela equação (5.19), que tentam atender aos valores pré-definidos para cada uma das sete especificações do OTA estabelecidas neste trabalho.

5.4. Elitismo

A cada nova geração do AGSPICE, os indivíduos são avaliados e como forma de conduzir o AGSPICE de maneira a produzir sempre indivíduos de avaliação igual ou superior a avaliação do melhor indivíduo da geração anterior, é aplicado o Elitismo. O Elitismo é uma técnica que copia o melhor indivíduo da geração atual [realizado na fase I, processo (G) no fluxograma da Figura 5.2] e o introduz na próxima geração [realizado na fase II, processo (K)], substituindo um indivíduo aleatoriamente escolhido. Dessa maneira, a avaliação da geração futura terá um indivíduo com avaliação no mínimo igual à melhor avaliação obtida na geração anterior. A Figura 5.7 ilustra o processo de Elitismo.

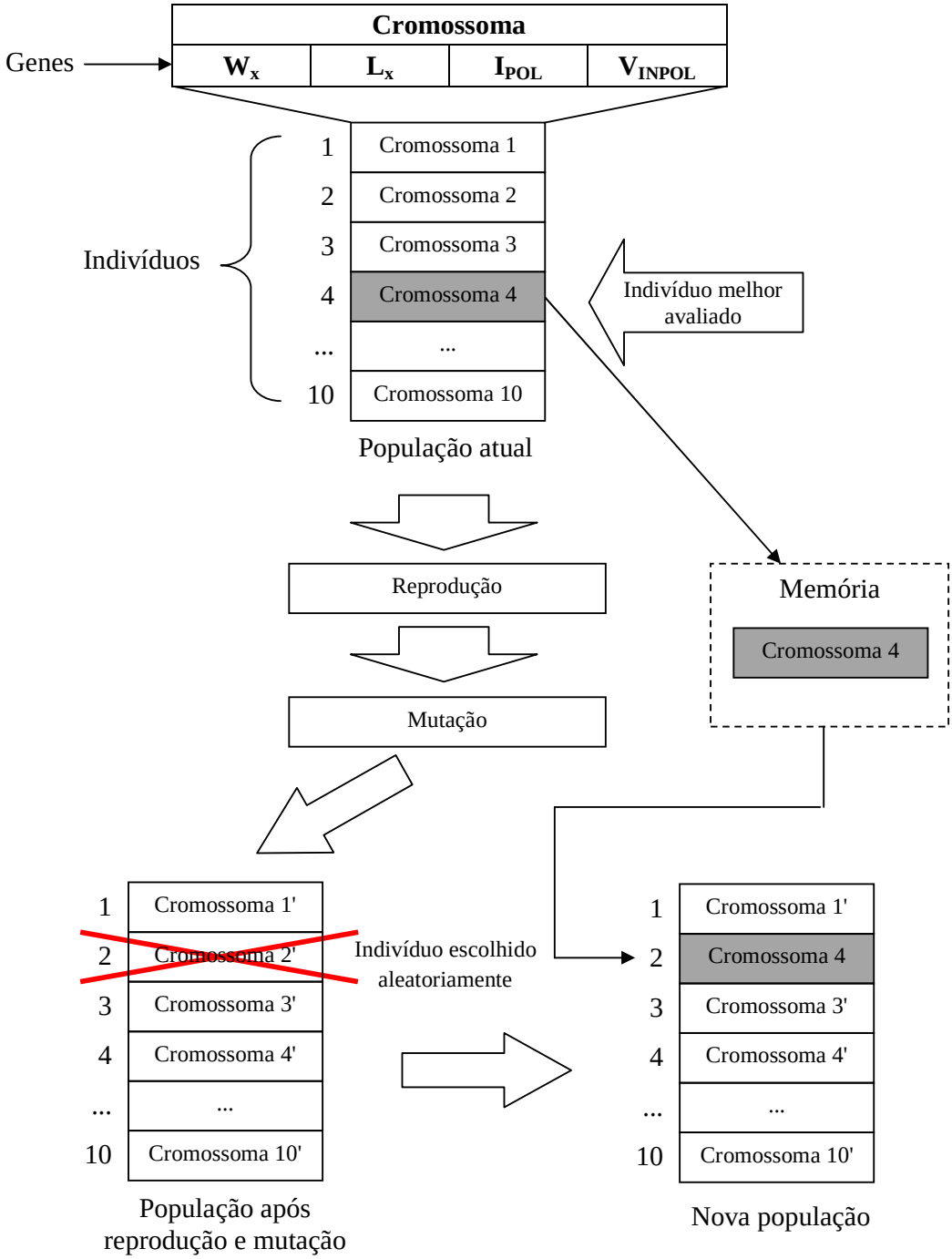


Figura 5.7 – Processo de Elitismo no AGSPICE.

5.5. Seleção para reprodução

A seleção é o processo do AG que tem como correspondente na genética biológica o fundamento de que apenas os indivíduos mais fortes sobrevivem para as próximas gerações. Para realizar a seleção, nesse trabalho, utiliza-se o método da roleta [3]. Esse método pode ser descrito da seguinte maneira: considere um círculo dividido em setores, em que cada setor representa um indivíduo da população. A área de cada setor será proporcional à avaliação do indivíduo representado por esse setor. Assim, quanto maior a avaliação obtida por um indivíduo em particular, maior será a área do setor que o representa na roleta, conforme ilustrado na Figura 5.8.

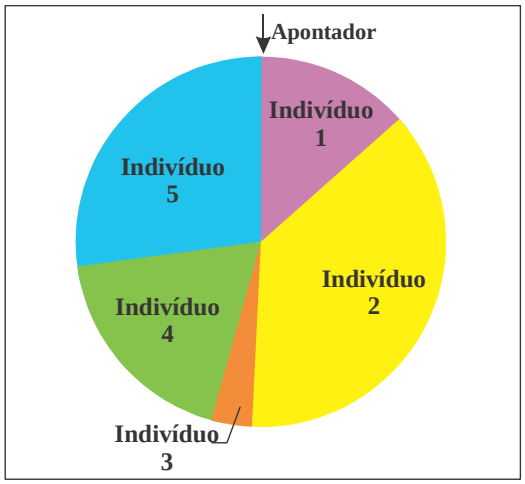


Figura 5.8 – Exemplo de distribuição de setores na roleta de seleção.

Na Figura 5.8 é ilustrado um exemplo de roleta com cinco indivíduos. Notoriamente, o indivíduo 2 é o indivíduo que obteve melhor avaliação, uma vez que possui a maior área entre todos os setores representados no círculo da roleta. A flecha na parte superior do círculo representa o apontador da roleta. Girando-se essa roleta, o apontador indicará um setor que representa um indivíduo a ser incluído nos selecionados para a reprodução. Repare que o indivíduo com melhor avaliação é aquele que possui a maior fatia e, portanto, tem maior probabilidade de ser escolhido para a reprodução.

No algoritmo utilizado nesse trabalho, a roleta é girada em quantidade de vezes igual ao número de indivíduos da população e em cada giro da roleta, um indivíduo é selecionado para compor o conjunto de indivíduos para a reprodução. A seleção é realizada no processo marcado pela letra (H) do fluxograma exibido anteriormente na Figura 5.2.

5.6. Reprodução

Com os indivíduos selecionados no processo (H), a reprodução é executada no processo (I), conforme indica o fluxograma da Figura 5.2. A reprodução é realizada entre dois indivíduos consecutivos, no vetor de indivíduos selecionados pelo processo (H) e sua incidência é determinada por um valor denominado taxa de incidência de reprodução ($\%_{CROSSOVER}$), configurado no programa AGSPICE, sendo que na etapa de obtenção de soluções DC este parâmetro é identificado por $\%_{CROSSOVER(DC)}$ e na etapa de obtenção de soluções AC este parâmetro é identificado por $\%_{CROSSOVER(AC)}$. Para determinar a incidência ou não da reprodução entre dois indivíduos, dada $\%_{CROSSOVER}$, um número real aleatório entre 0 e 1 é gerado por *software*, para cada dois indivíduos selecionados no processo (H). Esse número aleatório é então comparado com $\%_{CROSSOVER}$. Se o número aleatório for menor que ou igual a $\%_{CROSSOVER}$, a reprodução entre os dois indivíduos ocorre. Se o número aleatório for maior que $\%_{CROSSOVER}$, a reprodução entre os dois indivíduos não ocorre [3]. A Figura 5.9 ilustra o processo de incidência da reprodução descrito supondo, por exemplo, taxa de incidência igual a 70%.

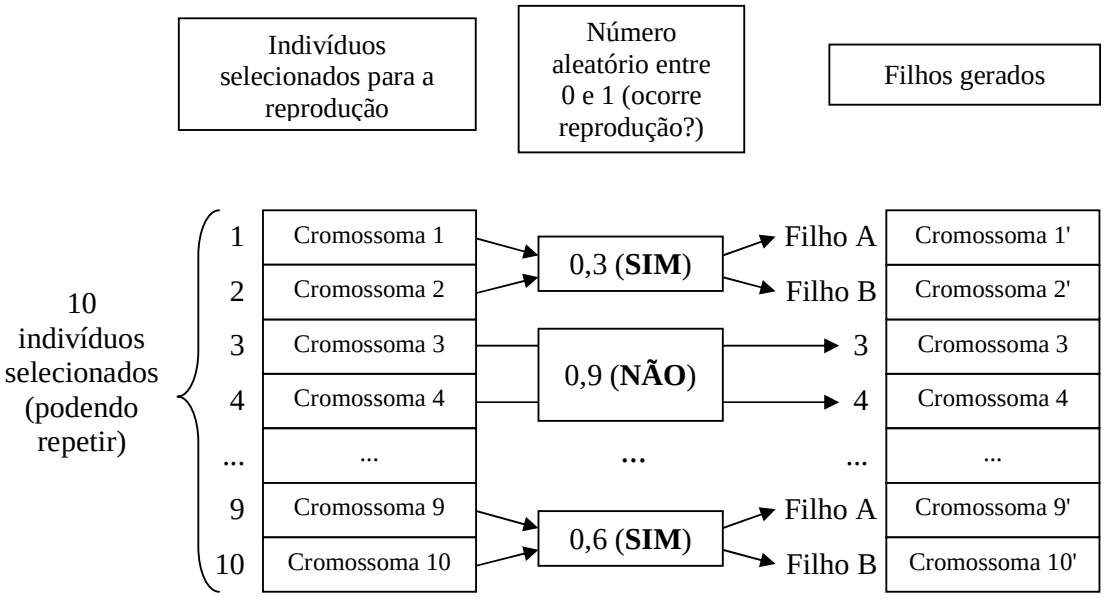


Figura 5.9 – Processo de decisão da reprodução entre indivíduos selecionados.

Analogamente ao processo que ocorre na reprodução natural, os genes de dois cromossomas, nesse caso representados pela estrutura de dados mostrada na Figura 5.10, são partidos e recombinados por meio de um processo denominado *crossover*.

Há diversos tipos de *crossover*, sendo que aqui a reprodução é realizada por meio de *crossover* binário entre os genes alelos W_x, L_x, I_{POL} e V_{INPOL} de dois cromossomas, que consiste na partição desses genes em posição aleatória e a recombinação alternada desses, gerando dois novos cromossomas (filhos). Uma vez que os genes alelos possuem tamanhos diferentes são definidos quatro pontos de cortes para cada par de cromossomas envolvidos no processo da reprodução, ou seja, é definido um único ponto de corte para cada par de genes alelos desses cromossomas.

Na Figura 5.10, supondo que o Gene A codifique a largura do canal do par diferencial ($W_{1,2}$), o Gene A1 codifica $W_{1,2}$ do Cromossoma1 e o Gene A2 codifica $W_{1,2}$ do Cromossoma2. Após a troca dos *bits* menos significativos, determinados pela posição de corte aleatório, são produzidos dois novos genes, identificados pelos Genes A3 e A4, ou seja, são produzidos dois novos valores para a largura do par diferencial. O mesmo processo ocorre para os demais genes do cromossoma. Após esse processo de reprodução ser realizado em todos os genes dos Cromossomas 1 e 2 obtém-se dois novos cromossomas, identificados pelos Cromossomas filho A e B.

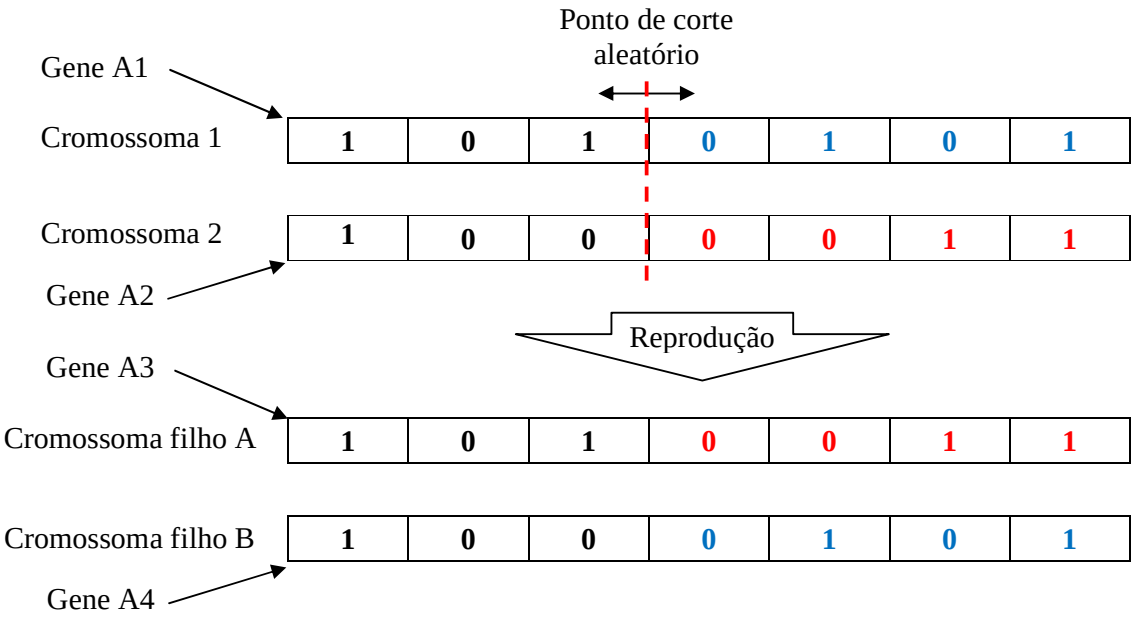


Figura 5.10 – Processo de reprodução por *crossover* para os alelos de dois cromossomas.

5.7. Mutação

A mutação é o processo que permite que o AGSPICE explore novas soluções, diferentes daquelas existentes no conjunto representado pelos indivíduos atuais da população. A mutação está indicada pelo processo (J) no fluxograma da Figura 5.2. Esse processo é realizado através de alterações aleatórias no conteúdo dos genes do cromossoma como, por exemplo, alterando o estado de um *bit* de uma palavra. No caso do AGSPICE, a mutação é realizada por *bit flip* (inversão do estado de um *bit*) nos *bits* que compõem os genes W_x, L_x, I_{POL} e V_{INPOL}, com taxa de incidência em porcentagem ajustada previamente no programa AGSPICE ($\%_{MUTAÇÃO}$), sendo que na etapa de obtenção de soluções DC este parâmetro é identificado por $\%_{MUTAÇÃO(DC)}$ e na etapa de obtenção de soluções AC este parâmetro é identificado por $\%_{MUTAÇÃO(AC)}$. Para determinar a incidência ou não da mutação de um *bit* do gene de um indivíduo, dada $\%_{MUTAÇÃO}$, um número real aleatório entre 0 e 1 é gerado por *software*, para cada *bit* do gene do cromossoma que está sob processo de mutação. Esse valor aleatório é então comparado com $\%_{MUTAÇÃO}$. Se o valor aleatório for menor que ou igual a $\%_{MUTAÇÃO}$, a inversão do *bit* ocorre. Se o valor aleatório for maior que $\%_{MUTAÇÃO}$, a inversão do *bit* não ocorre [3]. O processo de mutação é realizado para todos os genes presentes no cromossoma. A Figura 5.11 ilustra o processo de incidência da mutação descrito, supondo, por exemplo, taxa de incidência igual a 5%.

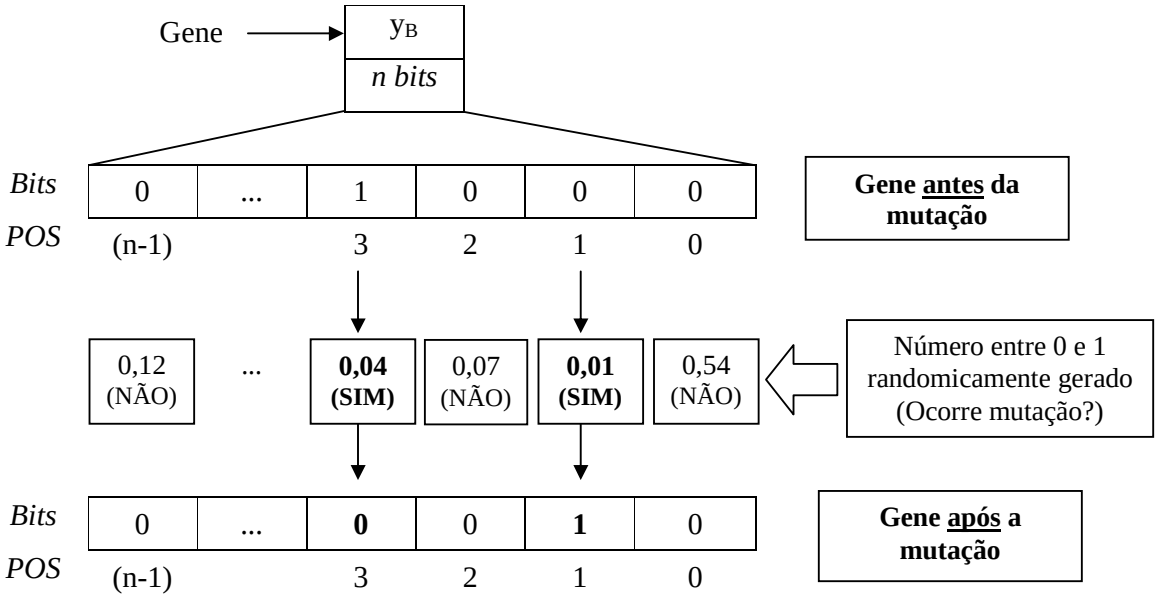


Figura 5.11 – Processo de mutação no AGSPICE.

5.8. Considerações finais

Neste capítulo foi detalhada a metodologia do processo de busca utilizada pelo programa AGSPICE. No capítulo 6 serão apresentados e discutidos os resultados obtidos nos experimentos realizados através do AGSPICE, assim como os resultados obtidos de forma manual, sendo realizada uma comparação entre os dois métodos utilizados. Serão analisados os resultados gerados através do mapeamento das variáveis de entrada e do monitoramento das especificações de projeto dos OTAs. Após a apresentação destes resultados, serão apresentadas recomendações de projeto para as variáveis de projeto dos OTAs projetados.

6. EXPERIMENTOS DO PROJETO MANUAL E AGSPICE

Na seção 6.1 são apresentados o ambiente de programação e as especificações do computador utilizado nos experimentos realizados através do AGSPICE.

Foram realizados experimentos levando-se em conta que o OTA está operando em quatro formas diferentes de operação, descritas em detalhes na seção 6.2 deste capítulo. Algumas das diferenças entre esses quatro modos são os valores dos objetivos de projeto do A_{V0_obj}, f_{T_obj}, $PM_{_obj}$ e P_{TOT_obj}, além do valor da tensão de alimentação (V_{DD}), os quais são especificados pelo projetista no programa AGSPICE. Esta seção também mostra os valores atribuídos aos diversos parâmetros do AGSPICE, para cada experimento descrito neste capítulo.

Na seção 6.3 são apresentados os resultados obtidos pelo projeto Manual e pelo AGSPICE. Em seguida, na seção 6.4, é apresentada uma comparação dos resultados obtidos pelo método manual com os resultados obtidos através do AGSPICE.

Na seção 6.5 é realizada a validação da resposta em frequência dos OTAs projetados através do diagrama de Bode (curvas de ganho de tensão e de fase em função da frequência).

Na seção 6.6, são apresentados os gráficos de monitoramento das especificações de projeto, os gráficos do mapeamento das variáveis de entrada e da região de polarização dos transistores do OTA, durante o processo de otimização do AGSPICE, para os quatro modos de operação do OTA investigados. Essa seção apresenta também uma análise desses gráficos em função do modo de operação desejado. Através desse mapeamento e das soluções encontradas pelo AGSPICE são extraídas recomendações de projeto para as variáveis de entrada e para os regimes de inversão do canal dos transistores do circuito, em função do modo de operação desejado e validados com a literatura. Novas recomendações de projeto são extraídas através desse estudo.

6.1. Descrição da ferramenta de auxílio no desenvolvimento de CIs analógicos (AGSPICE)

Para os testes experimentais, a metodologia descrita no capítulo 5 foi desenvolvida em linguagem C++, utilizando-se o ambiente de programação Microsoft Visual Studio 2008 [26]. A execução do código compilado foi realizado em uma máquina de arquitetura IBM-PC, equipada com processador AMD Athlon(tm) 64 3000+ com 2,00 GHz de clock e 1,5 GB de

memória RAM instalada. O sistema operacional utilizado foi o Windows 7 Ultimate (64 bits). Vide ilustração das janelas do AGSPICE no APÊNDICE B.

6.2. Modos de operação dos OTAs e as configurações dos parâmetros de busca do AGSPICE

Com o objetivo de mapear as dimensões *W* e *L* dos transistores, a corrente de polarização (I_{POL}), a tensão de entrada em modo comum (V_{INPOL}) e ainda monitorar a evolução dos diferentes objetivos de projeto para o OTA, durante o processamento do AGSPICE, quatro modos de operação foram investigados, sendo denominados como Micropotência1, Micropotência2, HG e HF. O OTA Micropotência1 opera em micropotência, com ganho de tensão mediano e com baixa frequência de ganho unitário em comparação aos demais OTAs. O OTA Micropotência2 opera em micropotência, com alto ganho de tensão e com baixa frequência de ganho unitário em comparação aos demais aos demais OTAs. O OTA HG opera em média potência, com alto ganho de tensão e com média frequência de ganho unitário em comparação aos demais OTAs analisados. E, por último, o amplificador HF opera em alta potência, com baixo ganho de tensão e com alta frequência de ganho unitário em relação aos demais OTAs aqui estudados. Esses modos e suas características são descritos na Tabela 6.1 itens (a) e (b), respectivamente. Os amplificadores Micropotência1, HG e HF foram adaptados de [18] e o OTA Micropotência2 foi adaptado de [1].

Tabela 6.1 - Objetivos desejados para os OTAs Micropotência1 e Micropotência2 (a), Alto Ganho (HG) e Alta Frequência (HF) (b).

(a)

Especificações de projeto	**Micropotência1**	**Micropotência2**
C_L	10 pF (fixo)	3 pF (fixo)
V_{DD}	2,5 (V) (fixo)	3 (V) (fixo)
A_{V0}	44 (dB)	80 (dB)
f_T	0,35 (MHz)	0,20 (MHz)
Margem de Fase (PM)	87°	70°
V_{OUT}	V_{DD}/2 (1,25 V)	V_{DD}/2 (1,5 V)
Potência Dissipada (P_{TOT})	5 (µW)	10 (µW)
Área	9500 µm^2	5000 µm^2
Tecnologia	CMOS (0,35 µm)	CMOS (0,35 µm)

(b)

Especificações de projeto	**Alto Ganho (HG)**	**Alta Frequência (HF)**
C_L	10 pF (fixo)	10 pF (fixo)
V_{DD}	3 (V) (fixo)	4 (V) (fixo)
A_{V0}	65 (dB)	35 (dB)
f_T	1,8 (MHz)	93 (MHz)
Margem de Fase (PM)	66°	55°
V_{OUT}	V_{DD}/2 (1,5 V)	V_{DD}/2 (2 V)
Potência Dissipada (P_{TOT})	100 (µW)	29000 (µW)
Área	96000 μm^2	82800 μm^2
Tecnologia	CMOS (0,35 µm)	CMOS (0,35 µm)

Uma vez que o modo Micropotência2 foi inserido neste trabalho para verificar a efetividade do programa AGSPICE na busca de soluções de projeto, pois o ganho de tensão objetivo deste modo é muito maior que o valor possibilitado pela tecnologia, topologia e restrições de projeto consideradas, conforme demonstrado no item 6.3, o projeto realizado manualmente, baseado nas equações básicas do OTA de primeira ordem, foi realizado somente para os amplificadores Micropotência1, HG e HF.

As especificações de projeto e as configurações dos parâmetros do AGSPICE são necessários para a execução da busca dos objetivos dos OTAs. É importante ressaltar que a maioria dos parâmetros variam de um projeto para o outro. Por exemplo, o número de *bits* das variáveis de projeto depende da faixa de valores e da precisão adotados em cada projeto. Os valores dos pesos adotados para os objetivos em cada projeto dependem dos objetivos que devem ser priorizados em cada projeto, em detrimento dos demais objetivos. Assim, para os modos Micropotência1 e Micropotência2 deve-se priorizar a potência dissipada, para o modo HG deve-se priorizar o ganho de tensão e para o modo HF deve-se priorizar a frequência de ganho de tensão unitário. Porém, os valores dos pesos dos objetivos em um determinado projeto são determinados de forma experimental, de forma a obter o melhor compromisso entre todos os objetivos do projeto. Além disso, existem objetivos que são mais fáceis de serem obtidos que outros. Por exemplo, P_{AREA} e P_{MSAT} são baixos em todos os projetos (no máximo 10%), embora sejam obtidas soluções satisfatórias para praticamente todas as soluções obtidas.

A Tabela 6.2 mostra as restrições de projeto, assim como os valores atribuídos para cada restrição no programa AGSPICE nos experimentos dos projetos dos OTAs.

As faixas de valores de W_x, L_x, I_{POL}, V_{INPOL} e demais restrições do AGSPICE foram limitadas dentro das faixas especificadas pela Tabela 6.2 a fim de limitar o espaço de busca de soluções do AGSPICE e evitar soluções impraticáveis (exemplo, dimensões menores que as

dimensões mínimas da tecnologia investigada ou dimensões extremamente grandes). Além dessas restrições, existe também a restrição da margem de fase, a qual deve ser sempre positiva, a fim de garantir a estabilidade dos OTAs projetados. Dessa forma, soluções que apresentam margem de fase negativa são penalizadas com valor igual a zero para a avaliação correspondente a este objetivo, conforme descrito no item 5.3.

Vale ressaltar também que, no programa AGSPICE, foram adotadas as restrições de V_{OUT} igual a $V_{DD}/2$ ± 5% e P_{TOT} ± 20%. Conforme detalhado no item 5.3, estas restrições são aplicadas somente nas funções de avaliação correspondentes a estes objetivos, no sentido de penalizar as soluções que apresentam valores fora dessas faixas de tolerâncias especificadas com valores iguais a zero, o que não impede dessas soluções serem escolhidas, caso a soma ponderada de todos os objetivos resultar em um valor significativo. Dessa forma, como sugestão para trabalhos futuros, poderia ser incluído no programa AGSPICE uma opção para descartar as soluções finais que resultarem fora das faixas de tolerâncias especificadas, embora esta opção possa acarretar em um aumento significativo no tempo de processamento.

Tabela 6.2 - Restrições de projeto utilizadas no processo de busca do OTA Micropotência1 (a), Micropotência2 (b), HG (c) e HF (d).

(a)

Restrição de projeto	**Valor atribuído**	**Unidade**
$\mathbf{W_{xmin}}$	1	µm
$\mathbf{W_{xmax}}$	1000	µm
$\mathbf{L_{xmin}}$	1	µm
$\mathbf{L_{xmax}}$	20	µm
$\mathbf{I_{POLmin}}$	0,01	µA
$\mathbf{I_{POLmax}}$	1	µA
$\mathbf{V_{INPOLmin}}$	0,7	V
$\mathbf{V_{INPOLmax}}$	2,5	V
Faixa de tolerância de $\mathbf{V_{OUT}}$	5	%
Faixa de tolerância de $\mathbf{P_{TOT}}$	20	%

(b)

Restrição de projeto	Valor atribuído	Unidade
W_{xmin}	1	µm
W_{xmax}	100	µm
L_{xmin}	1	µm
L_{xmax}	20	µm
I_{POLmin}	0,01	µA
I_{POLmax}	1	µA
$V_{INPOLmin}$	0,7	V
$V_{INPOLmax}$	3	V
Faixa de tolerância de V_{OUT}	5	%
Faixa de tolerância de P_{TOT}	20	%

(c)

Restrição de projeto	Valor atribuído	Unidade
W_{xmin}	1	µm
W_{xmax}	1000	µm
L_{xmin}	1	µm
L_{xmax}	20	µm
I_{POLmin}	1	µA
I_{POLmax}	20	µA
$V_{INPOLmin}$	0,7	V
$V_{INPOLmax}$	3	V
Faixa de tolerância de V_{OUT}	5	%
Faixa de tolerância de P_{TOT}	20	%

(d)

Restrição de projeto	Valor atribuído	Unidade
W_{xmin}	1	µm
W_{xmax}	1000	µm
L_{xmin}	1	µm
L_{xmax}	20	µm
I_{POLmin}	1000	µA
I_{POLmax}	3000	µA
$V_{INPOLmin}$	0,7	V
$V_{INPOLmax}$	4	V
Faixa de tolerância de V_{OUT}	5	%
Faixa de tolerância de P_{TOT}	20	%

Observe na tabela acima que o modo Micropotência2 apresenta uma faixa de valores para as larguras de canal (W_{xmin} a W_{xmax}) diferente dos outros modos, devido a estes valores estarem baseados em literaturas diferentes. Enquanto os modos Micropotência1, HG e HF estão baseados em [18], o modo Micropotência2 está baseado em [1].

A Tabela 6.3 mostra os valores atribuídos para o tamanho de cada gene que constitui a estrutura dos cromossomas no programa AGSPICE nos experimentos dos projetos dos OTAs.

O número de *bits* utilizado para cada gene do cromossoma foi calculado conforme a equação (5.4), em função dos valores máximo e mínimo de cada gene do cromossoma, assim como da precisão adotada para a representação desses genes.

Tabela 6.3 - Configuração do tamanho dos genes *W*, *L*, I_{POL} e V_{INPOL} para o modo Micropotência1 (a), Micropotência2 (b), HG (c) e HF (d).

(a)

Parâmetro	**Tamanho**	**Precisão**
Gene W	17 *bits*	0,01 µm
Gene L	11 *bits*	0,01 µm
Gene I_{POL}	7 *bits*	0,01 µA
Gene V_{INPOL}	8 *bits*	0,01 V

(b)

Parâmetro	**Tamanho**	**Precisão**
Gene W	8 *bits*	0,5 µm
Gene L	6 *bits*	0,5 µm
Gene I_{POL}	7 *bits*	0,01 µA
Gene V_{INPOL}	8 *bits*	0,01 V

(c)

Parâmetro	**Tamanho**	**Precisão**
Gene W	17 *bits*	0,01 µm
Gene L	11 *bits*	0,01 µm
Gene I_{POL}	8 *bits*	0,1 µA
Gene V_{INPOL}	8 *bits*	0,01 V

(d)

Parâmetro	**Tamanho**	**Precisão**
Gene W	17 *bits*	0,01 µm
Gene L	11 *bits*	0,01 µm
Gene I_{POL}	11 *bits*	1 µA
Gene V_{INPOL}	9 *bits*	0,01 V

A Tabela 6.4 mostra os valores atribuídos para os parâmetros do algoritmo genético utilizados no programa AGSPICE nos experimentos dos projetos dos OTAs para a etapa DC. Esses parâmetros são descritos no capítulo 5. Visto que na etapa DC somente são avaliados os valores de V_{OUT}, P_{TOT}, *AREA* e M_{SAT} das soluções obtidas e como na etapa AC são avaliados todos os objetivos da etapa DC, além dos valores de A_{V0}, f_T e *PM*, a etapa DC compartilha os

mesmos pesos da etapa AC, consequentemente a soma total dos pesos da etapa DC resulta menor que 100%.

Tabela 6.4 - Configuração dos parâmetros referentes aos objetivos da etapa DC do AGSPICE para o modo Micropotência1 (a), Micropotência2 (b), HG (c) e HF(d).

(a)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	1	Rodada
$\%_{CROSSOVER(DC)}$	70	%
$\%_{MUTAÇÃO(DC)}$	3	%
Sigma da Gaussiana (σ_{DC})	0,3	Adimensional
Peso Eval(V_{OUT})	25	%
Peso Eval(P_{TOT})	24	%
Peso Eval(Area)	5	%
Peso Eval(M_{SAT})	**3**	%

(b)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	1	Rodada
$\%_{CROSSOVER(DC)}$	70	%
$\%_{MUTAÇÃO(DC)}$	3	%
Sigma da Gaussiana (σ_{DC})	0,3	Adimensional
Peso Eval(V_{OUT})	10	%
Peso Eval(P_{TOT})	10	%
Peso Eval(Area)	10	%
Peso Eval(M_{SAT})	**5**	%

(c)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	1	Rodada
$\%_{CROSSOVER(DC)}$	70	%
$\%_{MUTAÇÃO(DC)}$	3	%
Sigma da Gaussiana (σ_{DC})	0,3	Adimensional
Peso Eval(V_{OUT})	15	%
Peso Eval(P_{TOT})	10	%
Peso Eval(Area)	0	%
Peso Eval(M_{SAT})	**5**	%

(d)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	1	Rodada
$\%_{CROSSOVER(DC)}$	65	%
$\%_{MUTAÇÃO(DC)}$	3	%
Sigma da Gaussiana (σ_{DC})	0,3	Adimensional
Peso Eval(V_{OUT})	16	%
Peso Eval(P_{TOT})	15	%
Peso Eval(Area)	0	%
Peso Eval(M_{SAT})	**8**	%

A Tabela 6.5 mostra os valores atribuídos para os parâmetros do algoritmo genético utilizados no programa AGSPICE nos experimentos dos projetos dos OTAs para a etapa AC. Esses parâmetros são descritos no capítulo 5.

Note que existem valores de pesos muito baixos, próximos de zero. Este é o caso dos pesos de A_{V0}, *AREA* e M_{SAT} do modo Micropotência1; M_{SAT} dos modos Micropotência2 e HG e A_{V0} do modo HF. Estes valores foram determinados experimentalmente da seguinte forma: Inicialmente foram adotados pesos iguais para todos os objetivos de projeto. Ao final do processamento do AGSPICE foram obtidos um número total de soluções dado pelo número de rodadas configurado no AGSPICE. Observou-se que enquanto alguns objetivos de projeto foram atendidos de forma satisfatória por todas as soluções obtidas, a maioria das soluções não atendiam determinados outros objetivos. Então, os valores dos pesos dos objetivos melhores satisfeitos foram reduzidos de forma a possibilitar o aumento dos pesos dos objetivos menos satisfeitos. Durante esse processo foi observado que alguns objetivos eram pouco sensíveis ao valor do peso, os quais foram reduzidos aos menores valores possíveis, mas que ainda possibilitaram o AGSPICE obter um grande número de soluções satisfatórias para os objetivos correspondentes.

Observe também que para os modos HG e HF o peso da *AREA* é igual a zero. Este valor de peso está baseado no conhecimento prévio do processo de otimização desses modos, pois foi observado que embora o valor baixo do peso da *AREA* atribuído aos modos HG e HF tenha sido o fator predominante na obtenção de diferentes valores para *AREA*, todas as soluções obtidas apresentaram valores de *AREA* significativamente menores em relação aos respectivos valores objetivos, ou seja, o próprio processo de busca dos demais objetivos de

projeto levaram à obtenção de valores de *AREA* menores do que os respectivos valores objetivos, o que normalmente é desejado pelo projetista de circuito integrado analógico.

Tabela 6.5 - Configuração dos parâmetros referentes aos objetivos da etapa AC do AGSPICE para o modo Micropotência1 (a), Micropotência2 (b), HG (c) e HF(d).

(a)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	40	Rodadas
$\%_{CROSSOVER(AC)}$	70	%
$\%_{MUTAÇÃO(AC)}$	3	%
Sigma da Gaussiana (σ_{AC})	0,3	Adimensional
Peso Eval(A_{V0})	2	%
Peso Eval(f_T)	26	%
Peso Eval(PM)	15	%
Peso Eval(V_{OUT})	25	%
Peso Eval(P_{TOT})	24	%
Peso Eval(Area)	5	%
Peso Eval(M_{SAT})	**3**	%

(b)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	20	Rodadas
$\%_{CROSSOVER(AC)}$	70	%
$\%_{MUTAÇÃO(AC)}$	3	%
Sigma da Gaussiana (σ_{AC})	0,3	Adimensional
Peso Eval(A_{V0})	25	%
Peso Eval(f_T)	10	%
Peso Eval(PM)	30	%
Peso Eval(V_{OUT})	10	%
Peso Eval(P_{TOT})	10	%
Peso Eval(Area)	10	%
Peso Eval(M_{SAT})	**5**	%

(c)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	20	Rodadas
$\%_{CROSSOVER(AC)}$	70	%
$\%_{MUTAÇÃO(AC)}$	3	%
Sigma da Gaussiana (σ_{AC})	0,3	Adimensional
Peso Eval(A_{V0})	20	%
Peso Eval(f_T)	20	%
Peso Eval(PM)	30	%
Peso Eval(V_{OUT})	15	%
Peso Eval(P_{TOT})	10	%
Peso Eval(Area)	0	%
Peso Eval(M_{SAT})	**5**	%

(d)

Parâmetro	**Valor atribuído**	**Unidade**
Tamanho da população	10	Indivíduos/geração
Total de indivíduos	10000	Indivíduos
Número de rodadas	30	Rodadas
$\%_{CROSSOVER(AC)}$	65	%
$\%_{MUTAÇÃO(AC)}$	3	%
Sigma da Gaussiana (σ_{AC})	0,3	Adimensional
Peso Eval(A_{V0})	1	%
Peso Eval(f_T)	31	%
Peso Eval(PM)	29	%
Peso Eval(V_{OUT})	16	%
Peso Eval(P_{TOT})	15	%
Peso Eval(Area)	0	%
Peso Eval(M_{SAT})	**8**	%

A Figura 6.1 ilustra o fluxograma de execução simplificado do AGSPICE. Trata-se do mesmo fluxograma da Figura 5.2 exemplificado com dados numéricos, baseados nos parâmetros e dados de entrada reais utilizados no projeto dos OTAs.

O processamento do AGSPICE é iniciado com uma população de 10 indivíduos (soluções) gerados com valores randômicos, porém uma dessas 10 soluções é substituída por uma solução que atende os requisitos DC (V_{OUT}, P_{TOT}, *AREA* e M_{SAT}) no processo denominado de elitismo DC, com o objetivo de aumentar a velocidade de busca. Esta é a primeira geração do AGSPICE. Esta etapa é indicada no processo (A) do fluxograma da Figura 6.1.

Com os resultados gerados através do simulador Spice Opus [7], cada indivíduo da primeira geração é avaliado utilizando a equação (5.19), conforme indicado no processo (B) do fluxograma.

As variáveis de entrada e de monitoramento das especificações de projeto correspondente ao indivíduo com o maior valor de avaliação são registradas em arquivo com a finalidade de realizar o mapeamento do processo de otimização do AGSPICE, conforme indicado no processo (C) do fluxograma.

Na próxima etapa, ocorre a primeira fase do elitismo, indicado no processo (D) do fluxograma, em que o melhor indivíduo avaliado é armazenado na memória para ser utilizado futuramente, no processo do elitismo.

Em seguida, são aplicados os operadores genéticos de seleção, reprodução e mutação nesta primeira geração, indicados nos processos (E), (F) e (G), respectivamente. Após a aplicação dos operadores genéticos são gerados 10 novos indivíduos, os quais constituem a segunda geração. A fim de garantir que esta segunda geração tenha avaliação no mínimo igual à primeira geração aplica-se a segunda etapa do elitismo, indicada no processo (H) do fluxograma, em que o sistema evolucionário escolhe aleatoriamente um indivíduo desta nova geração, substituindo pelo indivíduo com o melhor valor de avaliação da primeira geração.

O AGSPICE continua avaliando novas gerações de 10 indivíduos até alcançar o número total de 10000 indivíduos, ou seja, o AGSPICE avalia 1000 gerações de 10 indivíduos para alcançar o final do processo de evolução, conforme indicado nos processos (I) e (I2) do fluxograma.

Após a avaliação de 1000 gerações, a solução que apresenta o maior valor de avaliação entre as 1000 gerações avaliadas é selecionada como solução da rodada. A solução e os resultados de desempenho obtidos para a rodada são, então, registrados em arquivo, conforme indicado no processo (J) do fluxograma. Como neste exemplo são geradas 20 soluções ao final do processamento do AGSPICE são realizadas, no total, 20 rodadas, sendo que cada rodada significa começar o processo de evolução do AGSPICE novamente, conforme indicado nos processos (K) e (K2) do fluxograma. No final do processo de busca o AGSPICE apresenta as 20 soluções obtidas, indicado no processo (L) do fluxograma.

O tamanho da população e o número total de indivíduos são parâmetros de entrada do AGSPICE ajustados experimentalmente. Inicialmente havia sido adotado uma população de 100 indivíduos e um número total de 100000 indivíduos. Então o tamanho da população foi reduzido para 75 indivíduos e um total de 75000 indivíduos. Logo após, o tamanho da população foi reduzido para 50 indivíduos e um total de 50000 indivíduos, sempre mantendo

o número total de 1000 gerações e 20 rodadas. Dessa forma, o tamanho da população foi sendo gradativamente reduzido até que foi adotado um número reduzido de 10 indivíduos e um total de 10000 indivíduos em todos os experimentos dos OTAs projetados, pois foi observado, durante o procedimento de ajuste do tamanho da população, que a população de 10 indivíduos permitiu ao AGSPICE produzir soluções com valores de avaliação tão altos quanto a população de 100 indivíduos. Então optou-se por adotar uma população de 10 indivíduos, de forma a priorizar a análise do circuito em relação ao tempo de simulação.

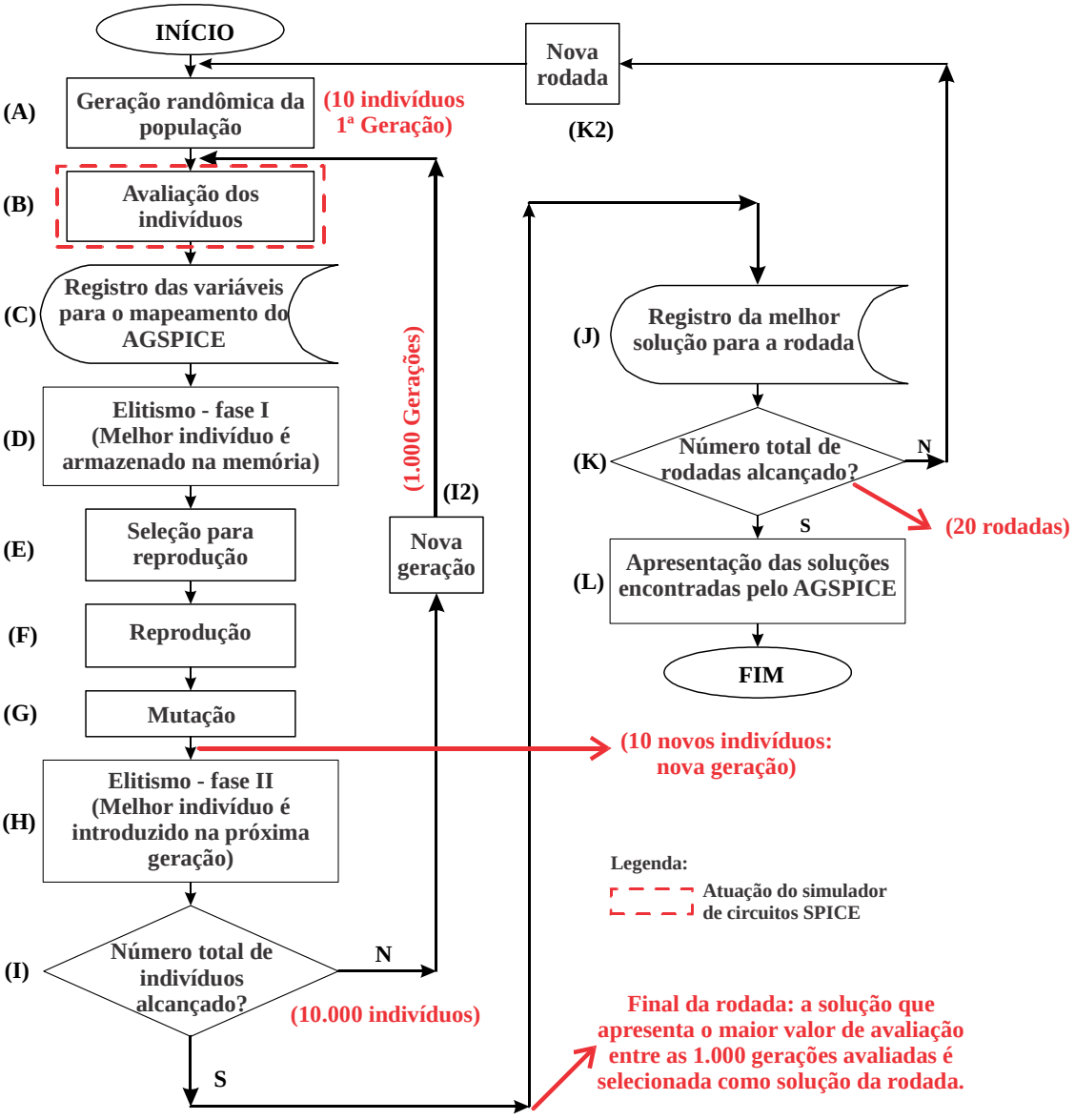


Figura 6.1 – Fluxograma simplificado do AGSPICE.

6.3. Resultados obtidos pelo projeto Manual e pelo AGSPICE

A Tabela 6.6 mostra os resultados de desempenho e também das variáveis de projeto dos amplificadores, tais como a corrente de polarização (I_{POL}) e a tensão de entrada em modo comum (V_{INPOL}), obtidos pelo AGSPICE. Os resultados obtidos para as demais variáveis de projeto, que são as dimensões *W* e *L* de todos os transistores do circuito (M1 a M10), são apresentados na Tabela 6.7.

Tabela 6.6 - Resumo dos resultados de desempenho obtidos pelo AGSPICE.

Busca pelo AGSPICE				
Especificações	**Micropotência1**	**Micropotência2**	**HG**	**HF**
A_{V0} (V/V)	43,33	61,38	60,08	38,10
f_T (MHz)	0,33	0,28	1,81	93,81
PM (°)	79,19	73,24	66,50	54,97
f_{3dB} (Hz)	$2,28x10^3$	$2,39x10^2$	$1,83x10^3$	$1,27x10^6$
V_{OUT} (V)	1,21	1,43	1,50	2,00
P_{TOT} (µW)	5,13	9,66	104,04	29376,56
Área (µm²)	9217,07	4566,83	6498,29	31109,51
I_{POL} (µA)	0,06	0,91	4,05	2409,87
V_{INPOL} (V)	1,48	1,09	2,03	2,91
$B_{4,6}$	5,46	0,26	0,50	0,92
$B_{9,10}$	4,32	2,02	4,50	1,00

Tabela 6.7 - Dimensões dos transistores dos OTAs obtidas pelo AGSPICE para os modos Micropotência1 e Micropotência2 (a), HG e HF (b).

(a)

Busca pelo AGSPICE						
Transistor	**Micropotência1**			**Micropotência2**		
	W (µm)	**L (µm)**	**W/L**	**W (µm)**	**L (µm)**	**W/L**
M_1, M_2	209,56	1,86	112,67	88,35	6,13	14,41
M_3, M_4	33,32	2,43	13,71	21,96	9,14	2,40
M_5, M_6	77,93	1,04	74,93	11,48	18,49	0,62
M_7, M_8	1,40	6,48	0,22	1,00	20,00	0,05
M_9	146,73	10,72	13,69	98,06	17,89	5,48
M_{10}	621,18	10,50	59,16	97,67	8,84	11,05

(b)

Busca pelo AGSPICE						
Transistor	**HG**			**HF**		
	W (µm)	**L (µm)**	**W/L**	**W (µm)**	**L (µm)**	**W/L**
M_1, M_2	423,72	1,44	294,25	444,66	2,65	167,80
M_3, M_4	99,15	8,84	11,22	919,44	2,18	421,76
M_5, M_6	45,64	8,22	5,55	438,03	1,13	387,64
M_7, M_8	3,32	16,01	0,21	58,59	3,93	14,91
M_9	23,79	19,16	1,24	686,70	13,70	50,12
M_{10}	111,24	19,89	5,59	835,99	16,61	50,33

Para o OTA Micropotência1 projetado foram obtidas 40 soluções ao final do processo de busca do AGSPICE, pois foram realizadas 40 rodadas. Para o OTA Micropotência2 e HG foram obtidas 20 soluções e para o OTA HF foram obtidas 30 soluções. Dessa forma, os resultados apresentados nas Tabelas 6.6 e 6.7 representam a melhor solução obtida pelo AGSPICE, entre todas as soluções apresentadas pelo AGSPICE ao final do processo de busca. Como o objetivo deste trabalho é a obtenção de soluções adequadas para as especificações de projeto pré-estabelecidas, a melhor solução obtida para modos de operação Micropotência1, HG e HF são dadas pelo maior valor da função geral de avaliação, dada pela equação (5.19). No caso do modo Micropotência2 foi adotada a solução com os maiores valores de A_{V0}, f_T, *PM* e menores valores para P_{TOT} e *AREA*, embora esta solução não tenha apresentado o maior valor de avaliação, que resultou em torno de 86,57. Neste caso, a solução que obteve o maior valor de avaliação, recebeu o valor de avaliação em torno de 91,33. Vide ilustração desta solução apresentada pelo *software* desenvolvido neste trabalho para o OTA Micropotência2 no APÊNDICE C.

A Tabela 6.8 mostra os resultados de desempenho e também das variáveis de projeto dos amplificadores, tais como a corrente de polarização (I_{POL}) e a tensão de entrada em modo comum (V_{INPOL}), obtidos através do método manual. Os resultados obtidos para as demais variáveis de projeto, que são as dimensões *W* e *L* de todos os transistores do circuito (M1 a M10), são apresentados na Tabela 6.9. Essas tabelas apresentam os resultados que foram obtidos após a realização da metodologia descrita no capítulo 4, procedendo iterativamente com o simulador SPICE para a obtenção dos resultados.

Tabela 6.8 - Resumo dos resultados de desempenho obtidos pelo projeto Manual.

Projeto Manual			
Especificações	**Micropotência1**	**HG**	**HF**
A_{V0} (V/V)	45,02	63,05	32,77
f_T (MHz)	0,31	1,64	73,82
PM (°)	89,79	32,31	59,04
f_{3dB} (Hz)	$1{,}74x10^3$	$1{,}36x10^3$	$1{,}78x10^6$
V_{OUT} (V)	1,23	1,50	1,99
P_{TOT} (µW)	27,85	102,70	72023,71
Área (µm²)	159,62	2945,14	9900,54
I_{POL} (µA)	3,907	11,111	6714,600
V_{INPOL} (V)	1,25	1,50	2,00
$B_{4,6}$	1,00	1,00	1,00
$B_{9,10}$	1,00	1,00	1,00

Tabela 6.9 - Dimensões dos transistores dos OTAs obtidas pelo projeto Manual para os modos Micropotência1 e HG (a), HF (b).

(a)

Projeto Manual						
Transistor	**Micropotência1**			**HG**		
	W (µm)	**L (µm)**	**W/L**	**W (µm)**	**L (µm)**	**W/L**
M_1, M_2	2,83	3,00	0,94	73,75	3,00	24,58
M_3, M_4	2,62	3,00	0,87	7,44	3,00	2,48
M_5, M_6	2,62	3,00	0,87	49,60	20,00	2,48
M_7, M_8	1,30	3,00	0,43	4,50	20,00	0,23
M_9	5,17	10,00	0,52	14,70	10,00	1,47
M_{10}	5,17	10,00	0,52	14,70	10,00	1,47

(b)

Projeto Manual			
Transistor	**HF**		
	W (µm)	**L (µm)**	**W/L**
M_1, M_2	200,05	3,00	66,68
M_3, M_4	274,72	3,00	91,57
M_5, M_6	274,72	3,00	91,57
M_7, M_8	100,00	3,00	33,33
M_9	800,60	3,00	266,87
M_{10}	800,60	3,00	266,87

As Tabelas 6.10 a 6.15 ilustram os resultados obtidos pelas melhores soluções encontradas pelo AGSPICE, comparados com os objetivos estabelecidos para o processo de busca. Os valores das diferenças encontradas estão expressos em porcentagem. Dessa forma, para o cálculo desses valores, adota-se como referência o valor desejado para os objetivos de projeto. Visto que a maximização dos valores de A_{V0}, f_T, *PM* é desejada, enquanto que se

deseja a minimização da potência dissipada (P_{TOT}) e da área (*AREA*), as comparações dos resultados obtidos com os valores estabelecidos como objetivo consideram o sinal da diferença. Assim, os sinais positivo e negativo indicam se o valor obtido é maior ou menor que o valor estabelecido como objetivo, respectivamente. A consideração do sinal permite uma melhor análise e escolha dos resultados obtidos.

Tabela 6.10 - Valores de A_{V0} obtidos pelo AGSPICE e de seus objetivos.

Busca pelo AGSPICE			
Modo	**A_{V0_obj} (dB)**	**A_{V0} obtido (dB)**	**Diferença (%)**
Micropotência1	44,00	43,33	-1,5
Micropotência2	80,00	61,38	-23,3
HG	65,00	60,08	-7,6
HF	35,00	38,10	+8,9

Tabela 6.11 - Valores de f_T obtidos pelo AGSPICE e de seus objetivos.

Busca pelo AGSPICE			
Modo	**f_{T_obj} (MHz)**	**f_T obtido (MHz)**	**Diferença (%)**
Micropotência1	0,35	0,33	-5,7
Micropotência2	0,20	0,28	+40,0
HG	1,80	1,81	+0,6
HF	93,00	93,81	+0,9

Tabela 6.12 - Valores da margem de fase (*PM*) obtidos pelo AGSPICE e de seus objetivos.

Busca pelo AGSPICE			
Modo	**$PM_{_obj}$ (°)**	**PM obtido (°)**	**Diferença (%)**
Micropotência1	87,00	79,19	-9,0
Micropotência2	70,00	73,24	+4,6
HG	66,00	66,50	+0,8
HF	55,00	54,97	-0,1

Tabela 6.13 - Valores da tensão de saída DC (V_{OUT}) obtidos pelo AGSPICE e de seus objetivos.

Busca pelo AGSPICE			
Modo	**V_{OUT_obj} (V)**	**V_{OUT} obtido (V)**	**Diferença (%)**
Micropotência1	1,25	1,21	-3,2
Micropotência2	1,50	1,43	-4,7
HG	1,50	1,50	0,0
HF	2,00	2,00	0,0

Tabela 6.14 - Valores da Potência dissipada DC (P_{TOT}) obtidos pelo AGSPICE e de seus objetivos.

Busca pelo AGSPICE			
Modo	**P_{TOT_obj} (µW)**	**P_{TOT} obtido (µW)**	**Diferença (%)**
Micropotência1	5,00	5,13	+2,6
Micropotência2	10,00	9,66	-3,4
HG	100,00	104,04	+4,0
HF	29000,00	29376,56	+1,3

Tabela 6.15 - Valores da área total dos transistores (*AREA*) obtidos pelo AGSPICE e de seus objetivos.

Busca pelo AGSPICE			
Modo	**$AREA_{obj}$ (µm^2)**	**AREA obtida (µm^2)**	**Diferença (%)**
Micropotência1	9500,00	9217,07	-3,0
Micropotência2	5000,00	4566,83	-8,7
HG	96000,00	6498,29	-93,2
HF	82800,00	31109,51	-62,4

Observa-se que o pior resultado obtido foi o valor do ganho de tensão A_{V0} do OTA Micropotência2, cujo valor apresentado é 23,3 % abaixo do valor estabelecido como objetivo. Embora o valor de A_{V0} obtido pelo AGSPICE seja inferior ao valor estabelecido como objetivo é comparável ao valor obtido na literatura [1]. Comprova-se através das equações (4.1) e (4.2) que o valor de 80 dB é muito maior que a possibilidade do ganho de tensão que a topologia oferece, considerando as restrições de projeto e os múltiplos objetivos. Adotando-se o valor máximo de g_m/I_{DS} que a tecnologia oferece 26,16 V^{-1}, $B_{4,6}$= 1 e escolhendo-se o maior valor possível para a tensão Early, considerando $L6 = L8$ = 20µm; V_{GS6} = -1V; V_{GS8} =1 V; V_{DS6} = -1,5V; V_{DS8} = 1,5V, resulta em V_{AEQ} em torno de 47,25V. Portanto a limitação teórica para o valor de A_{V0} é em torno de 61,84 dB. O valor de A_{V0} encontrado pelo AGSPICE para o OTA Micropotência2 é de 61,38 dB, próximo do limite máximo teórico. Dessa forma, este modo foi inserido neste trabalho propositalmente com o valor de A_{V0_obj} igual a 80 dB para verificar a efetividade do programa AGSPICE na busca de soluções de projeto.

Pode-se observar que o AGSPICE obteve um valor A_{V0} muito próximo do valor máximo teórico para modo OTA HG (60,08 dB), tendo como objetivo o valor de 65 dB, o qual ainda é superior ao valor máximo teórico.

Desconsiderando o valor de A_{V0} do OTA Micropotência2, comentado no parágrafo anterior, os resultados obtidos pelo AGSPICE para as especificações de projeto requeridas para todos os modos investigados nas Tabelas 6.10 a 6.15 foram satisfatórios para os objetivos propostos, uma vez que ou as diferenças entre os resultados obtidos e os valores estabelecidos como objetivos são pequenas e inferiores a 9%, ou os valores obtidos são superiores aos objetivos estabelecidos. Por exemplo, o valor do f_T obtido para o modo

Micropotência2 é de 0,28 MHz. Dado o valor objetivo de 0,20 MHz, o valor obtido para o f_T do OTA Micropotência2 é 40,0 % maior que o valor objetivo. Portanto o valor obtido é superior ao objetivo, pois busca-se sempre a maximização deste valor.

Verificou-se durante os experimentos dos modos HG e HF que os valores de área especificados como objetivo ($AREA_{obj}$) no programa AGSPICE, com pesos entre 5% a 10%, não permitiram ao AGSPICE apresentar resultados satisfatórios para o conjunto de especificações do projeto ao final do processo de busca dos múltiplos objetivos do projeto. Porém, constatou-se que atribuindo peso igual a zero para *AREA* ($P_{AREA} = 0$), para os modos HG e HF, possibilitou o AGSPICE encontrar melhores resultados para o conjunto de especificações do projeto, inclusive reduzir significativamente o valor da área dos transistores. Comparando-se o valor da especificação da área para o modo HG (96000 μm^2) com o valor da área obtida pelo AGSPICE (6498,29), observa-se que o AGSPICE obteve área 14,8 vezes menor que o valor estabelecido como objetivo. Analogamente para o modo HF, uma vez que o valor da especificação da área é igual a 82800 μm^2 e o AGSPICE obteve um valor de área igual a 31109,51 μm^2, verifica-se que o AGSPICE obteve área 2,7 vezes menor que o valor estabelecido como objetivo.

Neste trabalho, as funções de avaliação dos objetivos são do tipo Gaussiana que privilegiam os resultados mais próximos dos objetivos e devido à grande eficiência demonstrada por esse tipo de função de avaliação na busca de soluções satisfatórias para os projetos dos OTAs desenvolvidos não foram investigados novas formas de avaliação neste trabalho. Porém seria importante considerar, em trabalhos futuros, a inclusão de outros tipos de funções de avaliação diferentes da Gaussiana no AGSPICE que privilegiem a maximização ou a minimização de determinadas variáveis de projeto. Por exemplo quando a maximização dos valores de A_{V0}, f_T, e *PM* e minimização dos valores de P_{TOT} e da *AREA* forem desejados.

As Tabelas 6.16 a 6.21 ilustram os resultados obtidos manualmente, baseado em equações de primeira ordem, comparados com os objetivos estabelecidos para o processo de busca.

No projeto realizado manualmente para o OTA HG, com o valor A_{V0_obj} igual a 65 dB, $B_{4,6} = B_{9,10} = 1$ e escolhendo-se o maior valor possível para a tensão Early, considerando $L6 = L8 = 20\mu m$; $V_{GS6} = -1V$; $V_{GS8} = 1V$; $V_{DS6} = -1,5V$; $V_{DS8} = 1,5V$, resulta em V_{AEQ} em torno de 47,25V. Dessa forma o valor de $(g_m/I_{DS})_{1,2}$ do par diferencial deveria ser de 37,64 V^{-1}, enquanto que o valor máximo de g_m/I_{DS} que a tecnologia oferece está situado em torno de 26,16 V^{-1}. Assim foi adotado o valor de 60,08 dB (valor obtido pelo AGSPICE) para o valor

de A_{V0} para o cálculo de $(g_m/I_{DS})_{1,2}$ do par diferencial, conforme equação (4.1). O restante do projeto foi dimensionado normalmente seguindo metodologia apresentada no capítulo 4.

Observa-se nas Tabelas 6.16 e 6.17 que as diferenças entre os resultados obtidos pelo projeto manual para A_{V0} e f_T, em relação aos valores estabelecidos como objetivos são relativamente pequenas. O pior resultado obtido foi o valor de f_T para o modo HF, o qual é 20,6% menor que o valor desejado. Isto se deve ao fato de A_{V0} e f_T terem sido considerados diretamente nas equações da metodologia do projeto manual descrita anteriormente.

Tabela 6.16 - Valores de A_{V0} obtidos pelo projeto manual e de seus objetivos.

Projeto Manual			
Modo	**A_{V0_obj} (dB)**	**A_{V0} obtido (dB)**	**Diferença (%)**
Micropotência1	44,00	45,02	+2,3
HG	65,00	63,05	-3,0
HF	35,00	32,77	-6,4

Tabela 6.17 - Valores de *fT* obtidos pelo projeto manual e de seus objetivos.

Projeto Manual			
Modo	**f_{T_obj} (MHz)**	**f_T obtido (MHz)**	**Diferença (%)**
Micropotência1	0,35	0,31	-11,4
HG	1,80	1,64	-8,9
HF	93,00	73,82	-20,6

Apesar da margem de fase não ter sido calculada através de equações de primeira ordem, a Tabela 6.18 mostra que os resultados obtidos para os modos Micropotência1 e HF atendem plenamente os requisitos de estabilidade estabelecidos, pois apresentam margens de fase superiores aos valores estabelecidos como objetivo. O modo HG embora não tenha alcançado o valor desejado para a margem de fase, o valor obtido é positivo (32,31°) assegurando operação em malha fechada estável, porém este valor é um pouco inferior aos valores típicos adotados em projeto de CIs analógicos, ou seja, valores entre 35° e 65°.

Tabela 6.18 - Valores da margem de fase (*PM*) obtidos pelo projeto manual e de seus objetivos.

Projeto Manual			
Modo	**$PM_{_obj}$ (°)**	**PM obtido (°)**	**Diferença (%)**
Micropotência1	87,00	89,79	+3,2
HG	66,00	32,31	-51,0
HF	55,00	59,04	+7,3

A Tabela 6.19 mostra que os valores das tensões de saída DC obtidas estão muito próximos a $V_{DD}/2$, conforme o esperado, pois a largura de canal $W_{7,8}$ do par de transistores de

saída casados M7-M8 foi modificada após a finalização da primeira etapa de dimensionamento dos transistores, baseada na metodologia g_m/I_{DS} x $I_{DS}/(W/L)$ e nas equações de primeira ordem descritas no capítulo 4, de forma a ajustar o nível DC da tensão de saída.

Tabela 6.19 - Valores da tensão de saída DC (V_{OUT}) obtidos pelo projeto manual e de seus objetivos.

Projeto Manual			
Modo	**V_{OUT_obj} (V)**	**V_{OUT} obtido (V)**	**Diferença (%)**
Micropotência1	1,25	1,23	-1,6
HG	1,50	1,50	0,0
HF	2,00	1,99	-0,5

Este procedimento de ajuste pode ser realizado da seguinte forma: as dimensões *W* e *L* de todos os transistores, dimensionados na primeira etapa, são incluídos no arquivo *netlist* do simulador SPICE, o qual contém a descrição do circuito. Então, realiza-se a primeira simulação do circuito. Verifica-se os resultados gerados pelo simulador, caso a tensão de saída não estiver em torno de $V_{DD}/2$, deve-se modificar o valor da largura de canal $W_{7,8}$, simular novamente o circuito e avaliar os resultados obtidos. Este processo iterativo com o simulador SPICE deve continuar até que o valor da tensão de saída seja ajustado em torno de $V_{DD}/2$. Por exemplo, para o modo HF, o valor da largura de canal $W_{7,8}$ obtida na primeira etapa de dimensionamento foi de 400,30 µm, produzindo V_{OUT} igual a 1,27 V. Com a finalidade de ajustar este valor em torno de $V_{DD}/2$ (2,00 V), o valor da largura de canal $W_{7,8}$ foi sendo gradativamente reduzida, sendo que para cada novo valor deste parâmetro, uma nova simulação SPICE foi realizada com a finalidade de reavaliar os resultados. Este processo continuou até a obtenção de $W_{7,8}$ igual a 100 µm, produzindo uma tensão de saída igual a 1,99 V.

A Tabela 6.20 mostra que os modos Micropotência1 e HF dissipam potência muito maior que os valores estabelecidos como objetivos. Isto ocorre porque foi adotado o valor da corrente $I_{DS1,2}$ do par diferencial de forma a obter a frequência de ganho unitário (f_T) segundo a equação (4.11), a qual é significativamente maior que a corrente necessária para obter o valor de potência dissipada de acordo com o objetivo estabelecido, conforme a equação (4.9).

Tabela 6.20 - Valores da Potência dissipada DC (P_{TOT}) obtidos pelo projeto manual e de seus objetivos.

Projeto Manual			
Modo	**P_{TOT_obj} (µW)**	**P_{TOT} obtido (µW)**	**Diferença (%)**
Micropotência1	5,00	27,85	+457,0
HG	100,00	102,70	+2,7
HF	29000,00	72023,71	+148,4

A Tabela 6.21 mostra que todos os OTAs projetados pela metodologia do projeto manual obtiveram áreas muito inferiores aos valores estabelecidos como objetivo. Isto se deve ao fato de ter sido adotado o critério de redução de área, durante a fase de escolha das dimensões dos comprimentos de canal dos transistores, na metodologia de projeto descrita no capítulo 4, ou seja, foi adotado o valor mínimo de comprimento de canal considerado neste trabalho, que é de 3 µm no caso do projeto manual. Como o cálculo da diferença em porcentagem considera como referência o valor desejado para os objetivos de projeto e como os valores de área estabelecidos como objetivo são muito maiores que os valores de área obtidos através da metodologia do projeto manual, resulta uma diferença sempre menor do que 100%. Então para se ter uma idéia da elevada magnitude dessa diferença, basta calcular diretamente a razão da área especificada como objetivo pela área obtida pelo processo manual. Seguindo este procedimento, pode-se observar que o modo Micropotência1 obtido pelo procedimento manual possui área 59,5 vezes menor que o valor estabelecido como objetivo; o modo HG obtido pelo procedimento manual possui área 32,6 vezes menor e o modo HF obtido pelo procedimento manual possui área 8,4 vezes menor.

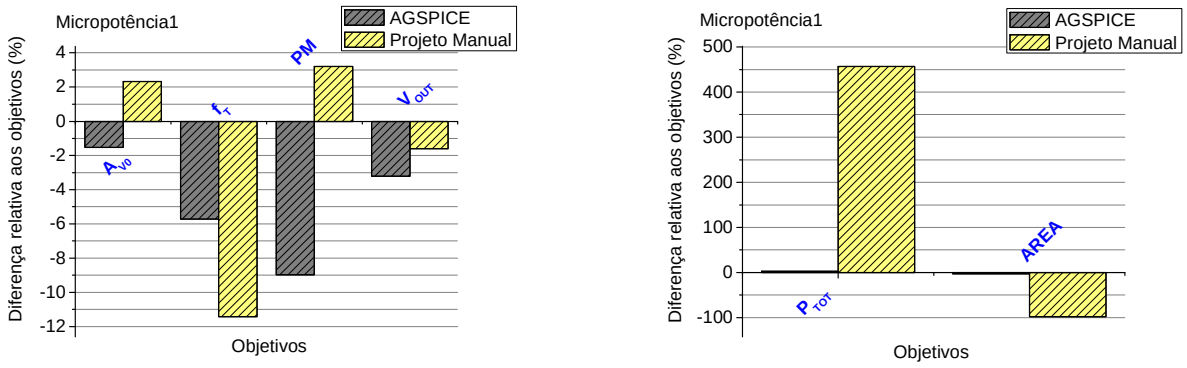
Tabela 6.21 - Valores da área total dos transistores (*AREA*) obtidos pelo projeto manual e de seus objetivos.

Projeto Manual			
Modo	**AREA_obj (µm²)**	**AREA obtida (µm²)**	**Diferença (%)**
Micropotência1	9500,00	159,62	-98,3
HG	96000,00	2945,14	-96,9
HF	82800,00	9900,54	-88,0

6.4. Comparação entre o projeto Manual e o AGSPICE

Os gráficos de barras das Figuras 6.2 a 6.4 mostram as diferenças dos resultados obtidos pelo AGSPICE e pelo projeto manual em relação aos objetivos de projeto estabelecidos.

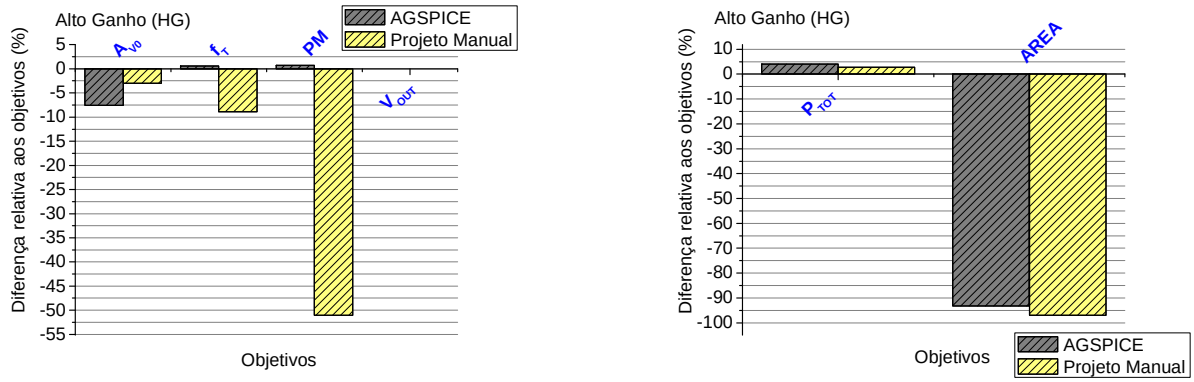
No caso do modo Micropotência1 o AGSPICE obteve, em relação ao projeto manual, um menor A_{V0}, uma maior f_T, uma menor margem de fase, um pior V_{OUT}, pois a diferença em relação a $V_{DD}/2$ é maior e uma área significativamente maior. Porém o projeto manual obteve potência dissipada muito acima do valor desejado, mais de 450%, enquanto que o AGSPICE obteve potência dissipada apenas 2,6% acima do valor desejado [Figura 6.2 (a) e (b)].



(a) (b)

Figura 6.2 – Comparação dos objetivos A_{V0}, f_T, *PM* e V_{OUT} (a), P_{TOT} e *AREA* (b) para o modo Micropotência1.

No caso do modo HG o AGSPICE obteve, em relação ao projeto manual, um menor A_{V0}, uma maior f_T, uma maior margem de fase, similar valor para a tensão de saída DC, uma maior área e uma maior potência dissipada. Como o projeto manual e o AGSPICE obtiveram exatamente o valor desejado para V_{OUT} ($V_{DD}/2$) a diferença em relação ao valor objetivo é igual a zero, assim estas barras não aparecem no gráfico da Figura 6.3 (a). Nesse caso, a grande dificuldade do projeto manual é a obtenção de uma margem de fase adequada, uma vez que a margem de fase do OTA HG no projeto manual resultou mais de 50% abaixo do valor desejado, enquanto que o AGSPICE obteve uma margem de fase muito próxima do valor objetivo, nesse caso, um valor apenas 0,76% acima do valor desejado [Figura 6.3 (a) e (b)].



(a) (b)

Figura 6.3 – Comparação dos objetivos A_{V0}, f_T, *PM* e V_{OUT} (a), P_{TOT} e *AREA* (b) para o modo HG.

No caso do modo HF o AGSPICE obteve, em relação ao projeto manual, um maior A_{V0}, uma maior f_T, uma menor margem de fase, um melhor V_{OUT}, pois o AGSPICE obteve exatamente o valor desejado, ou seja, $V_{DD}/2$, uma maior área e uma menor potência dissipada. Como no caso do modo Micropotência1, o projeto manual obteve potência dissipada muito acima do valor desejado, quase 150%, enquanto que o AGSPICE obteve potência dissipada apenas 1,3% acima do valor desejado [Figura 6.4 (a) e (b)].

No caso do AGSPICE, com exceção da AREA, cujo peso é igual a zero, a maior diferença é o valor de A_{V0}, que resultou 8,86% superior ao respectivo objetivo, pois o peso adotado foi de apenas 1%.

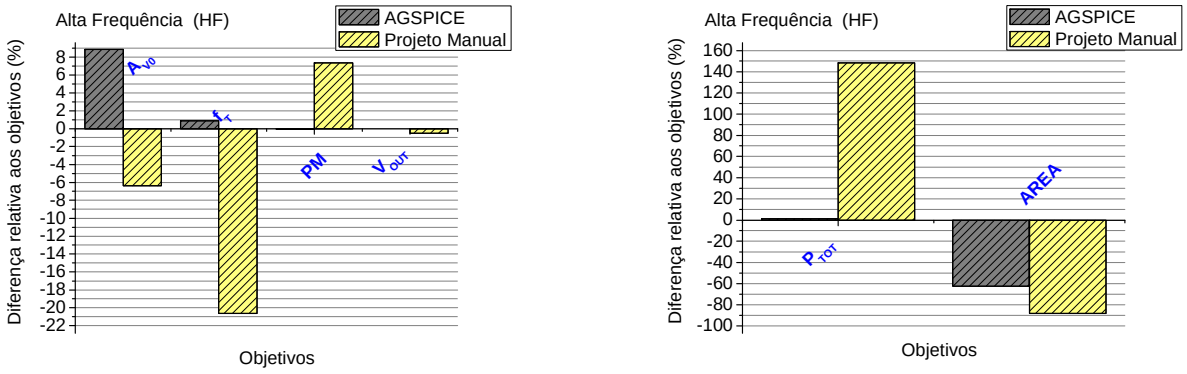


Figura 6.4 – Comparação dos objetivos A_{V0}, f_T, *PM* e V_{OUT} (a), P_{TOT} e *AREA* (b) para o modo HF.

O resultado mais importante observado nas comparações acima é de verificar que o AGSPICE obteve uma menor dispersão entre os objetivos de projeto e os resultados obtidos que o projeto manual, pois nenhum resultado obtido apresentou uma diferença muito elevada em relação ao valor desejado, com exceção do valor da área para os modos HG e HF, pois como os valores de área estabelecidos como objetivos para estes modos são muito elevados, a área não foi avaliada pelo AGSPICE, conforme descrito no item 6.3, permitindo assim sua redução significativamente. Conforme descrito no capítulo 4, no projeto desenvolvido manualmente há uma grande dificuldade de se obter resultados satisfatórios para vários objetivos de projeto ao mesmo tempo, pois quando uma determinada solução manual atende uma determinada especificação, deixa de atender adequadamente uma determinada outra especificação, o contrário do AGSPICE que, na média, procura atender todas as especificações ao mesmo tempo de forma adequada.

No caso do projeto manual a grande dificuldade é o compromisso entre a potência dissipada e a resposta em frequência, uma vez que para obter o valor de f_T desejado para os modos Micropotência1 e HF houve necessidade de um aumento muito grande no consumo de potência. Portanto, devido ao grande número de variáveis envolvidas, tais como dimensões W e L dos transistores, corrente de polarização (I_{POL}) e tensão de entrada em modo comum de polarização (V_{INPOL}), encontrar soluções satisfatórias para um grande número de objetivos, a grande maioria das vezes exige muito tempo de simulação e grande experiência do projetista.

O erro máximo encontrado entre os valores desejados para os objetivos de projeto e os resultados obtidos pelo AGSPICE para os OTAs Micropotência1, Micropotência2, HG e HF não ultrapassou 9,0%, com exceção do objetivo AREA, enquanto que o processo manual apresentou quase sempre valores superiores a 20% de erro. Isso mostra que o processo automático alcançou melhores resultados em relação àqueles obtidos pelo processo manual, baseado nas equações de primeira ordem do OTA.

Além da comparação dos resultados obtidos pelo método manual com os resultados obtidos pelo AGSPICE, comentado anteriormente, é importante salientar o tempo de desenvolvimento das duas metodologias projeto utilizadas. A Tabela 6.22 mostra uma estimativa do tempo total de desenvolvimento do OTA HF no projeto Manual e o tempo de desenvolvimento no AGSPICE. No caso do projeto manual a estimativa do tempo de desenvolvimento foi baseada na minha experiência de projeto de CIs analógicos. Porém, o tempo de desenvolvimento do projeto manual pode variar com a experiência do projetista e com a dificuldade de cada projeto. No caso do AGSPICE o tempo foi medido através do registro do tempo nos arquivos de mapeamento desse programa, que leva em consideração somente o tempo do processo de busca. Nesse caso, o tempo de ajuste dos pesos e parâmetros do AGSPICE para o modo HF levou em torno de 72 horas (3 dias).

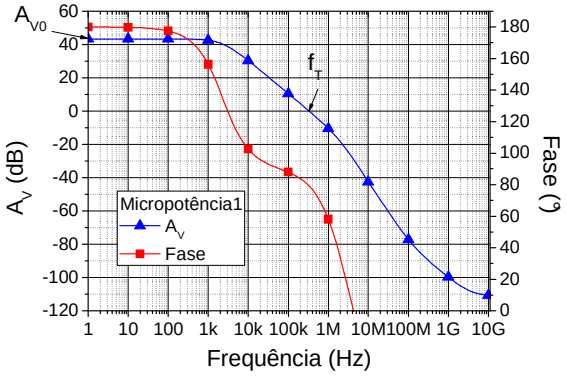
Tabela 6.22 - Tempo total de desenvolvimento do OTA HF em função da metodologia de projeto utilizada.

Tempo de projeto (Modo HF)	
Tipo de projeto	**Tempo**
Manual	336 horas
AGSPICE	16 horas e 45 minutos

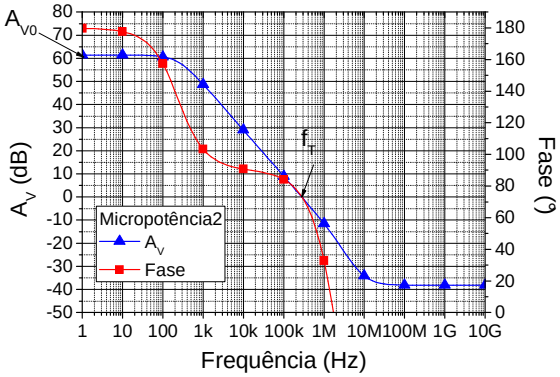
Conforme pode-se observar, o tempo de desenvolvimento do projeto mencionado através do AGSPICE é significativamente menor, em relação ao método manual. Além disso, o tempo de busca do AGSPICE é factível e promissor, pois utilizou-se uma máquina básica de arquitetura IBM-PC, conforme descrito no item 6.1.

6.5. As respostas em frequência dos OTAs

A Figura 6.5 apresenta os diagramas de Bode (curvas de ganho de tensão e de fase em função da frequência), obtidos através do simulador SPICE, com a finalidade de validar o comportamento da resposta em frequência dos amplificadores projetados pelo AGSPICE, pois os resultados obtidos para a resposta em frequência, apresentados na seção 6.3, foram obtidos de forma automática no simulador SPICE. Conforme pode ser observado, em baixas frequências a fase é igual a 180°. Isto ocorre porque o sinal AC foi aplicado no terminal de entrada inversor do amplificador (v_{I-}), assim a tensão de saída apresenta uma diferença de fase de 180° em relação ao sinal de entrada. Observa-se também que todos os amplificadores obtiveram margem de fase positiva, ou seja, a diferença de fase entre os pontos onde $A_V = A_{V0}$ e A_V = 0dB (correspondente a f_T) é inferior a 180°. Pode-se observar também que a curva de ganho de tensão, entre estes pontos, apresenta uma queda de 20 dB/década, para todos os modos analisados. Conforme mencionado no item 3.3 esta característica é fundamental para garantir margem de fase positiva e operação estável dos OTAs projetados.



(a)



(b)

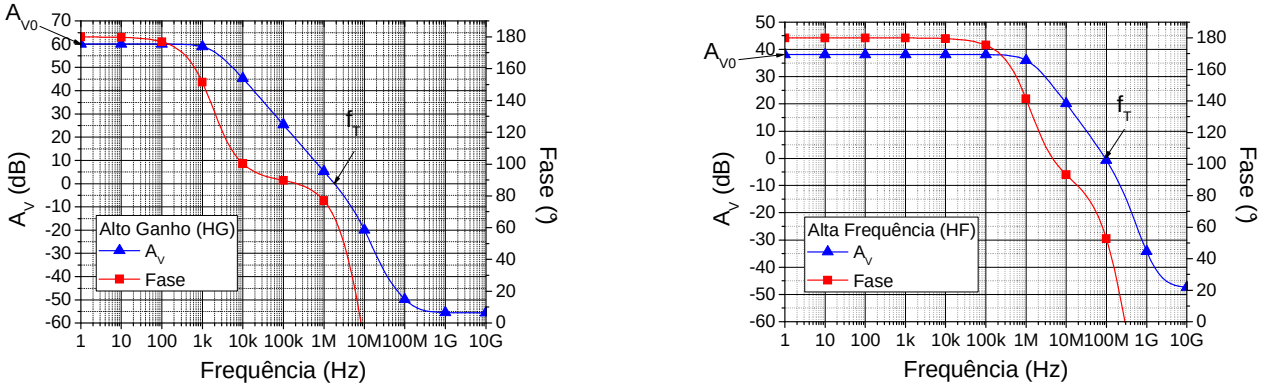


Figura 6.5 – Desempenho de ganho de tensão e fase do OTA Micropotência1 (a), Micropotência2 (b), HG (c) e HF (d) obtido através do AGSPICE.

Deve ser observado também que quanto maior a margem de fase positiva (limitada na faixa de 54,7° a 79,5° na Figura 6.5 acima), maior a estabilidade de um amplificador e maior a margem de segurança que garante operação estável deste amplificador. Dessa forma, não pode haver inversão de fase do sinal de saída quando a frequência do sinal de entrada atinge o valor de f_T, quando A_V = 0 dB, em relação ao ponto de operação em baixas frequências, quando $A_V = A_{V0}$.

A Figura 6.6 apresenta os diagramas de Bode, obtidos através do simulador SPICE, com a finalidade de validar o comportamento da resposta em frequência dos amplificadores projetados através da metodologia do projeto manual. De forma análoga aos diagramas obtidos no projeto desenvolvido pelo AGSPICE, observa-se que todos os amplificadores obtiveram margem de fase positiva. Pode-se observar também que as curvas de ganho de tensão apresentam uma queda de 20 dB/década para todos os modos analisados, garantindo, dessa forma, margem de fase positiva e operação estável do OTA. Assim, o sistema pode ser considerado de primeira ordem. Esta é uma constatação importante, pois as equações básicas do OTA, utilizadas no projeto manual, estão baseadas na premissa de que o sistema seja de primeira ordem.

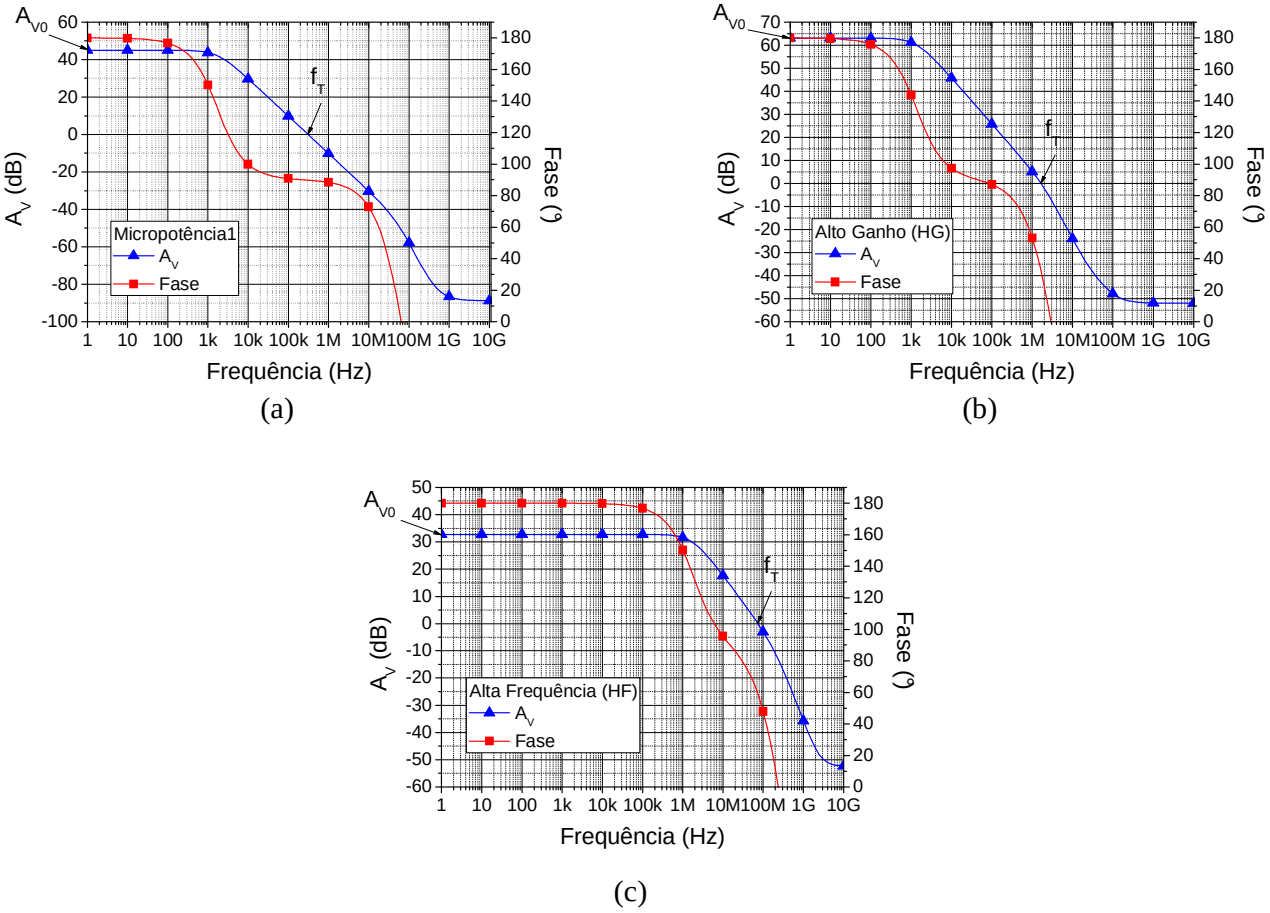


Figura 6.6 – Desempenho de ganho de tensão e fase do OTA Micropotência1 (a), HG (b) e HF (c) obtido através do projeto Manual.

6.6. Mapeamento das variáveis de entrada e análise das soluções encontradas pelo AGSPICE

Neste trabalho, o valor da corrente de polarização (I_{POL}), a tensão de entrada de polarização do circuito (V_{INPOL}), as dimensões *W* e *L* dos transistores do OTA são consideradas variáveis livres e são mapeadas durante o processo de busca do AGSPICE. A análise desse mapeamento, associada a diferentes modos de operação do OTA, permite uma compreensão das tendências de determinação do ponto de operação e das dimensões *W* e *L* dos transistores, em função de diferentes características elétricas do OTA, tais como A_{V0}, f_T, *PM* e potência dissipada objetivados pelo projetista. Além do mapeamento do ponto de operação e das dimensões dos transistores é importante também apresentar o monitoramento da evolução dos objetivos durante o processamento desse sistema evolucionário, pois a

evolução do ponto de operação e das dimensões *W* e *L* dos transistores representam um compromisso existente entre vários objetivos a serem alcançados.

O mapeamento das mudanças dos parâmetros I_{POL}, V_{INPOL}, *W*, *L*, *W/L*, e $I_{DS}/(W/L)$ do OTA durante o processo de busca, para todos os modos operacionais considerados em função do número de gerações permitem compreender o processo de convergência dos objetivos de projeto e, consequentemente da função de avaliação do sistema evolucionário.

A principal contribuição do parâmetro V_{INPOL} (tensão de entrada em modo comum) é garantir que todos os transistores operem na região de saturação, especialmente o transistor M10 da fonte de corrente. Todos os transistores operando na região de saturação garantem que sejam alcançados os valores de A_{V0} e da excursão do sinal de saída [10].

A Figura 6.7 (a) mostra as curvas de avaliação média dos objetivos em função do número de gerações, para cada modo de operação desejado. Neste caso, o valor médio é calculado para as 10 melhores soluções apresentadas pelo AGSPICE, selecionadas pelo critério do maior valor de avaliação. Além disso, foi adotado o seguinte critério de aceitação para cada solução que compõe o conjunto das 10 melhores soluções:

- Os valores de A_{V0}, f_T e *PM*, obtidos por uma determinada solução, não podem ser inferiores a 20% dos respectivos valores objetivos, A_{V0_obj}, f_{T_obj} e $PM_{_obj}$. Devido ao alto valor de A_{V0_obj} para o modo Micropotência2, foi adotado como referência de cálculo, o valor de A_{V0_obj} do modo HG, ou seja, 65 dB;
- Os valores de V_{OUT}, P_{TOT} e *AREA*, obtidos por uma determinada solução, não podem apresentar um desvio superior a 20% dos respectivos valores objetivos, V_{OUT_obj}, P_{TOT_obj} e $AREA_{_obj}$. Como foi atribuído peso igual a zero para a avaliação da *AREA* nos modos HG e HF, pois os valores de *AREA* tendem a ser minimizados durante a otimização dos demais objetivos, foi considerado como critério de aceitação valores de *AREA* menores que $AREA_{_obj}$, nos modos HG e HF.
- Todos os transistores do circuito devem estar operando na região de saturação.

De forma a obter 10 soluções que atendam aos requisitos acima, para o OTA Micropotência1 projetado foram necessárias 40 soluções. Para o OTA Micropotência2 e HG foram necessárias 20 soluções e para o OTA HF foram necessárias 30 soluções, obtidas pelo AGSPICE. Nesse caso, o tempo do processo de busca do AGSPICE por rodada, ou seja, o tempo total do processo de busca normalizado em função do número de rodadas, necessário para obtenção das soluções de cada modo de operação analisado é mostrado na Tabela 6.23.

Tabela 6.23 - Tempo do processo de busca do AGSPICE por rodada para cada modo de operação.

Modo	Tempo de busca do AGSPICE por rodada
Micropotência1	1 hora e 3 minutos
Micropotência2	43 minutos
HG	1 hora e 1 minuto
HF	34 minutos

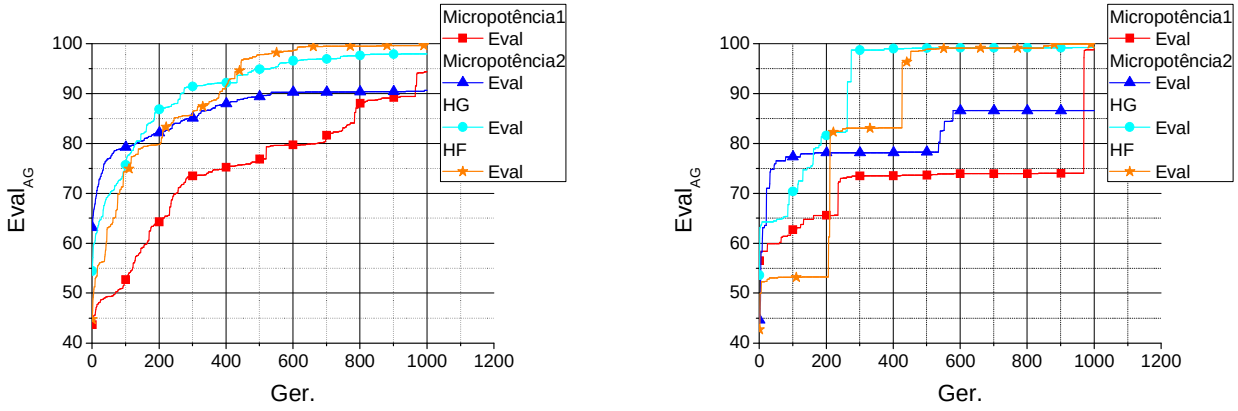


Figura 6.7 – Curvas de avaliação dos objetivos em função do número de gerações: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções obtidas pelo AGSPICE (b) para cada modo de operação.

Na Figura 6.7 (a) observa-se que, na média, a função de avaliação consegue atingir praticamente na sua plenitude os objetivos de projeto para os OTAs Micropotência1, HG e HF, com valores de avaliação próximos de 100% e satisfatoriamente os objetivos com relação ao OTA Micropotência2, o qual atinge avaliação média de 90,63. O modo Micropotência2 obteve o menor valor de avaliação devido ao valor utópico de A_{V0_obj} estabelecido em 80 dB. Porém o projeto de maior dificuldade de obtenção de soluções satisfatórias pelo AGSPICE é o projeto do OTA Micropotência1, o qual obteve soluções com avaliação média superior a 90 somente após 966 gerações, enquanto que o modo Micropotência2 após 535 gerações, o modo HG após 267 gerações e o modo HF após 381 gerações. Além disso, o tempo do processo de busca do AGSPICE por rodada para o OTA Micropotência1 é maior em relação aos demais OTAs analisados, conforme mostra a Tabela 6.23.

A Figura 6.7 (b) mostra as curvas de avaliação das melhores soluções obtidas pelo AGSPICE em função do número de gerações. Conforme descrito no item 6.3, a melhor solução obtida pelos modos de operação Micropotência1, HG e HF são dadas pelo maior valor da função geral de avaliação. No caso do modo Micropotência2 foi adotada a solução com os maiores valores de A_{V0}, f_T, PM e menores valores para P_{TOT} e $AREA$, embora esta

solução não tenha apresentado o maior valor de avaliação, pois resultou um valor em torno de 86,57, menor que o valor médio que atinge um valor próximo de 90,63.

As curvas médias que serão apresentadas a seguir, correspondentes ao monitoramento dos objetivos de projeto e também as curvas de mapeamento das variáveis de projeto são calculadas para as 10 melhores soluções geradas pelo AGSPICE. As barras verticais, acima e abaixo das curvas médias, indicam os limites superiores e inferiores da dispersão em torno do valor médio, dados pelo valor do desvio padrão somado à média e pelo valor do desvio padrão subtraído da média, respectivamente, ou seja, a representação desses valores é dada por ($\mu_S \pm \sigma_S$), onde μ_S é o valor médio e σ_S é o desvio padrão das 10 melhores soluções apresentadas pelo AGSPICE.

As Figuras de 6.8 a 6.19 mostram o monitoramento da evolução de todos os objetivos do projeto do OTA Micropotência1, durante o processo de busca do sistema evolucionário. Observe que nas curvas médias o respectivo valor objetivo está destacado com linha verde tracejada.

A Figura 6.8 (a) mostra a curva média do ganho de tensão (A_{V0}) em função do número de gerações. Conforme pode-se observar, durante processo de busca os valores de A_{V0} oscilam em valores próximos do valor objetivo de 44 dB, porém somente após 950 gerações o AGSPICE obteve soluções muito próximas do valor objetivo. Nesse caso, embora os valores de A_{V0} tendam a variar em torno do valor objetivo a dispersão não tende a diminuir ao final do processo de busca devido ao valor baixo do peso de A_{V0} ajustado em 2% no AGSPICE.

A Figura 6.8 (b) mostra a curva do ganho de tensão (A_{V0}) da melhor solução obtida pelo AGSPICE em função do número de gerações. Assim como a curva média, a curva da melhor solução também converge para valores em torno do valor objetivo de 44 dB.

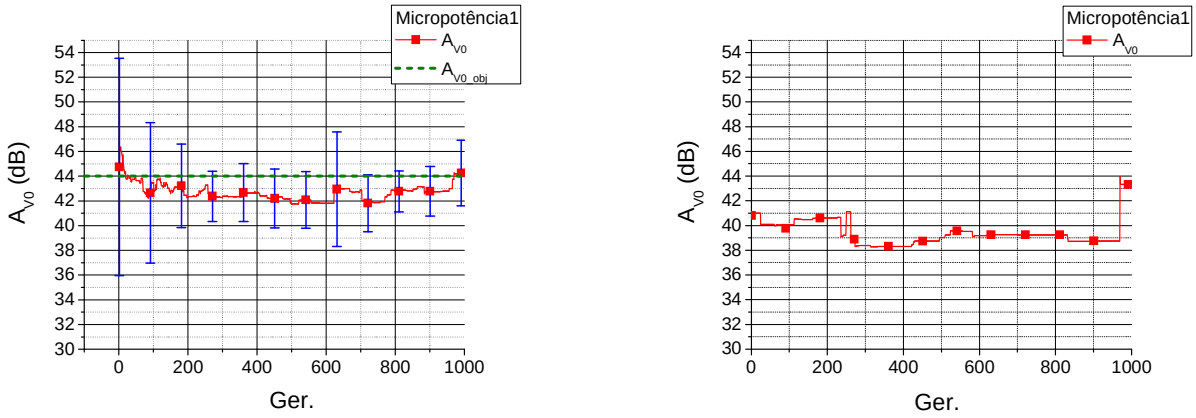


Figura 6.8 – Curvas de A_{V0} em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.9 mostra o gráfico de barras dos valores de A_{V0} das 10 melhores soluções apresentadas pelo AGSPICE. O valor médio dessas 10 soluções é de 44,26 dB, valor muito próximo do valor objetivo de 44 dB. Além disso, o valor da dispersão das soluções obtidas é pequena (σ_S = 2,66 dB). Assim, para as soluções obtidas ao final do processo de busca, os valores de A_{V0} estão estatisticamente situados entre 41,60 e 46,92 dB, ou seja, (44,26 ± 2,66) dB, que são valores próximos do valor objetivo de 44 dB.

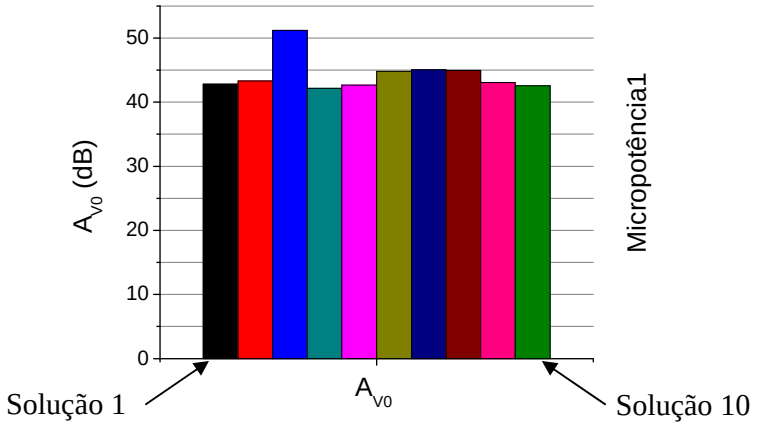


Figura 6.9 – Gráfico de barras dos valores de A_{V0} das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

A Figura 6.10 (a) mostra a curva média da frequência de ganho de tensão unitário (f_T) em função do número de gerações. Conforme pode-se observar, ao final do processo de busca, os valores de f_T convergem para valores em torno do valor objetivo de 0,35 MHz. Nota-se

também que a dispersão dos valores de f_T tende a diminuir ao longo do processo de busca, tendendo a próxima de zero ao final do processo de busca do AGSPICE.

A Figura 6.10 (b) mostra a curva da frequência de ganho unitário (f_T) da melhor solução obtida pelo AGSPICE em função do número de gerações. Assim como a curva média, a curva da melhor solução também converge para valores em torno do valor objetivo de 0,35 MHz.

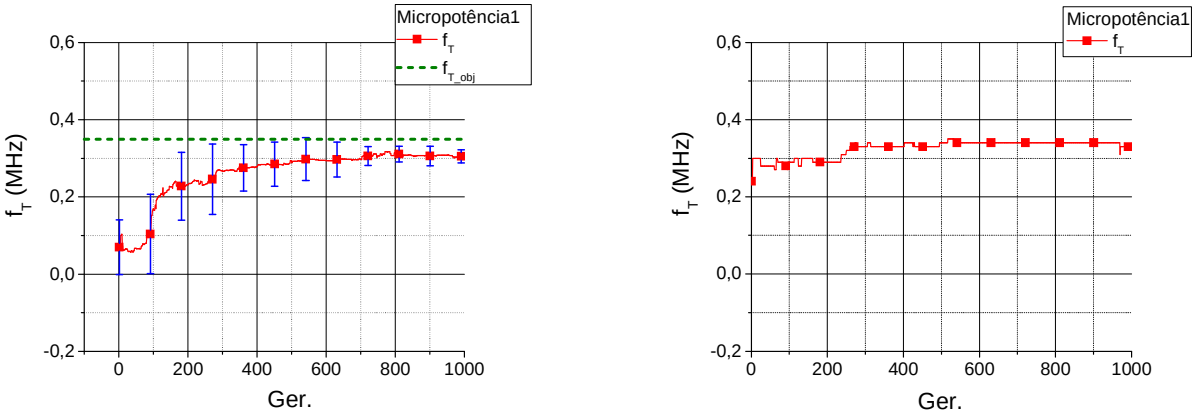


Figura 6.10 – Curvas de f_T em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.11 mostra o gráfico de barras dos valores de f_T das 10 melhores soluções apresentadas pelo AGSPICE. O valor médio dessas 10 soluções é de 0,31 MHz, valor próximo do valor objetivo de 0,35 MHz. Conforme pode-se observar, o valor da dispersão das soluções obtidas é pequena (σ_S = 0,017 MHz). Para as soluções obtidas ao final do processo de busca, os valores de f_T convergem para valores situados estatisticamente entre 0,29 e 0,32 MHz, ou seja, (0,31 ± 0,017) MHz.

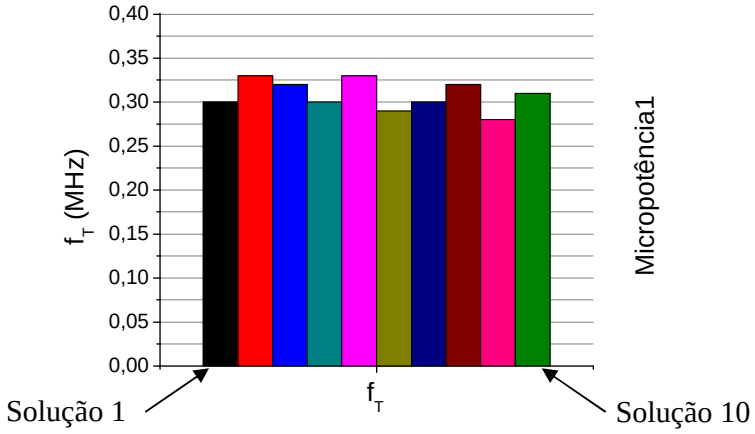


Figura 6.11 – Gráfico de barras dos valores de f_T das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

A Figura 6.12 (a) mostra a curva média da margem de fase (*PM*) em função do número de gerações. Conforme pode-se observar, durante o processo de busca, os valores de *PM* oscilam em valores próximos de 75 °, dentro do critério de aceitação estabelecido para o valor objetivo de 87 °. Nota-se também que a dispersão dos valores da margem de fase tende a diminuir ao final do processo de busca do AGSPICE.

A Figura 6.12 (b) mostra a curva da margem de fase da melhor solução obtida pelo AGSPICE em função do número de gerações a qual oscila em torno de 80 °, próximo do valor objetivo de 87°.

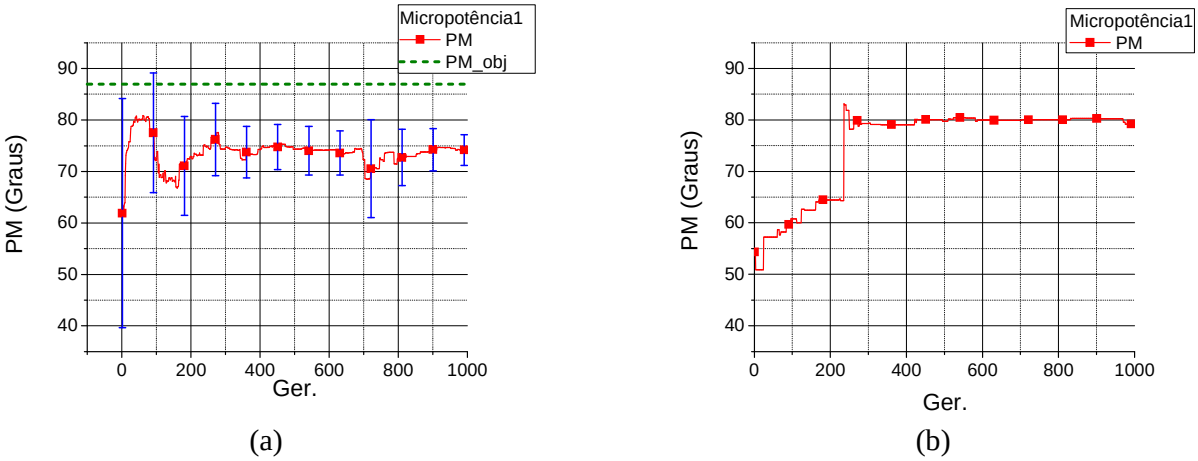


Figura 6.12 – Curvas da margem de fase em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.13 mostra o gráfico de barras dos valores da *PM* das 10 melhores soluções apresentadas pelo AGSPICE. O valor médio dessas 10 melhores soluções é de 74,11 °, valor próximo do valor objetivo de 87 °. Conforme pode-se observar, o valor da dispersão das soluções obtidas é pequena (σ_S = 3,01°). Para as soluções obtidas ao final do processo de busca, os valores de *PM* convergem para valores situados estatisticamente entre 71,10 e 77,12 °, ou seja, (74,11 ± 3,01) °.

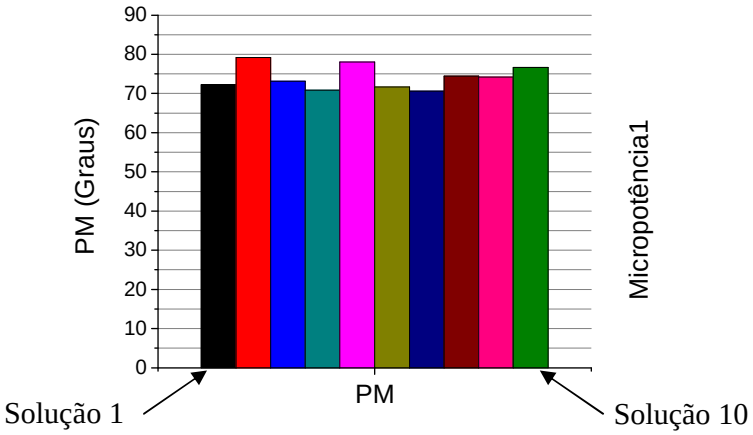


Figura 6.13 – Gráfico de barras dos valores da margem de fase das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

A Figura 6.14 (a) mostra a curva média da tensão de saída DC (V_{OUT}) em função do número de gerações. Conforme pode-se observar, a curva média de V_{OUT} aumenta gradativamente, se aproximando do valor objetivo de 1,25 V. Nota-se também que a dispersão dos valores de V_{OUT} tende a próxima de zero ao final do processo de busca do AGSPICE.

A Figura 6.14 (b) mostra a curva da tensão de saída DC da melhor solução obtida pelo AGSPICE em função do número de gerações. Conforme pode-se observar, somente após 950 gerações do AGSPICE o valor de V_{OUT} da melhor solução se aproxima do valor objetivo de 1,25 V.

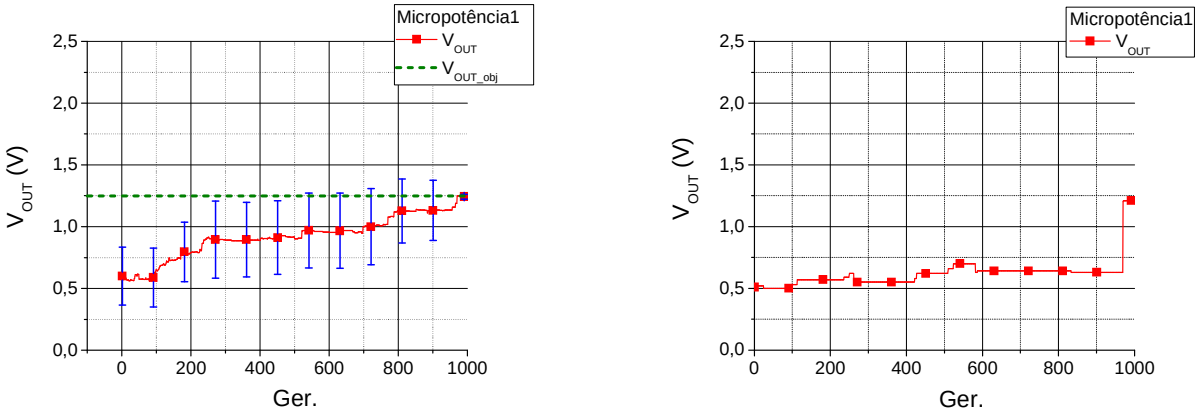


Figura 6.14 – Curvas de V_{OUT} em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.15 mostra o gráfico de barras dos valores de V_{OUT} das 10 melhores soluções apresentadas pelo AGSPICE. Conforme pode-se observar, todas as soluções obtidas estão muito próximas do valor objetivo de 1,25 V. O valor médio dessas 10 soluções é de 1,25 V, igual ao valor objetivo. O valor da dispersão das soluções obtidas também é muito pequena (σ_S = 0,02 V). Para as soluções obtidas ao final do processo de busca, os valores de V_{OUT} convergem para valores situados estatisticamente entre 1,23 e 1,26 V, ou seja, (1,25 ± 0,02) V.

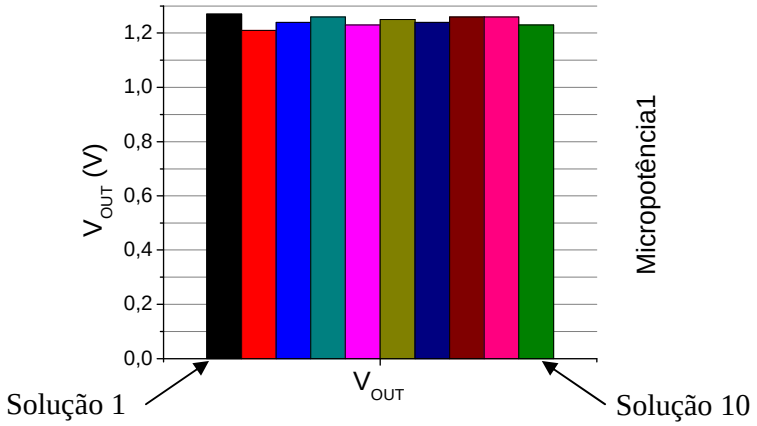


Figura 6.15 – Gráfico de barras dos valores de V_{OUT} das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

A Figura 6.16 (a) mostra a curva média da potência dissipada (P_{TOT}) em função do número de gerações. Observa-se que o valor médio da potência dissipada estabiliza dentro do da faixa de tolerância adotada de ±20%, ou seja, dentro da faixa de 4 a 6 µW, em menos de

200 gerações. Observa-se também que os valores de dispersão são muito baixos, durante todo o processo de busca do AGSPICE.

A Figura 6.16 (b) mostra a curva da potência dissipada da melhor solução obtida pelo AGSPICE em função do número de gerações. Observa-se que esta curva converge para valores muito próximos do valor objetivo da potência dissipada, em torno de 5 µW, em menos de 250 gerações.

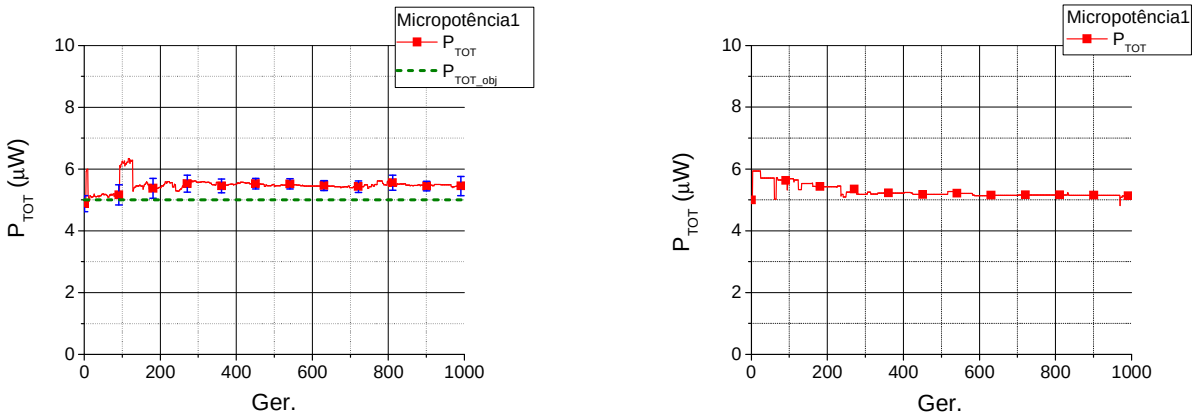


Figura 6.16 – Curvas de P_{TOT} em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.17 mostra o gráfico de barras dos valores de P_{TOT} das 10 melhores soluções apresentadas pelo AGSPICE. Conforme pode-se observar, todas as soluções obtidas estão dentro do critério de aceitação estabelecido, ou seja, estão situadas entre 4 e 6 µW. O valor médio dessas 10 soluções é de 5,50 µW. O valor da dispersão das soluções obtidas é relativamente pequena (σ_S = 0,24 µW). Para as soluções obtidas ao final do processo de busca, os valores de P_{TOT} convergem para valores situados estatisticamente entre 5,25 e 5,74 µW, ou seja, (5,50 ± 0,24) µW.

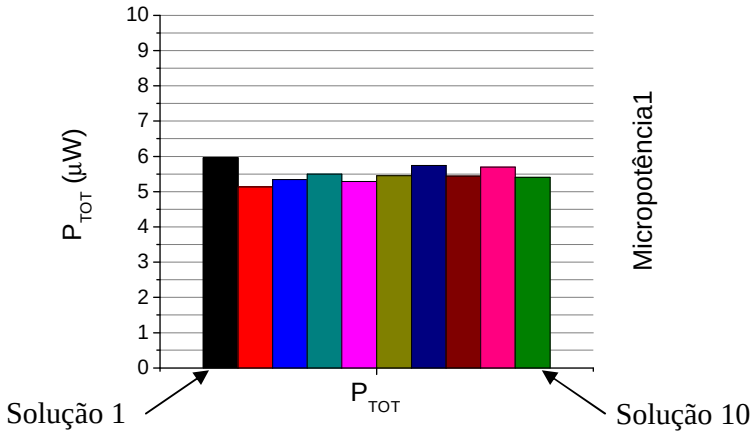


Figura 6.17 – Gráfico de barras dos valores de P_{TOT} das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

A Figura 6.18 (a) mostra a curva média da *AREA* em função do número de gerações. Conforme pode-se observar, durante o processo de busca a curva média da *AREA* converge para valores próximos do valor objetivo de 9500 µm^2. Nota-se também que a dispersão dos valores da *AREA* tende a diminuir ao longo do processo de busca, tendendo a próxima de zero ao final do processo de busca do AGSPICE.

A Figura 6.18 (b) mostra a curva da *AREA* da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual também converge para valores próximos do valor objetivo de 9500 µm^2.

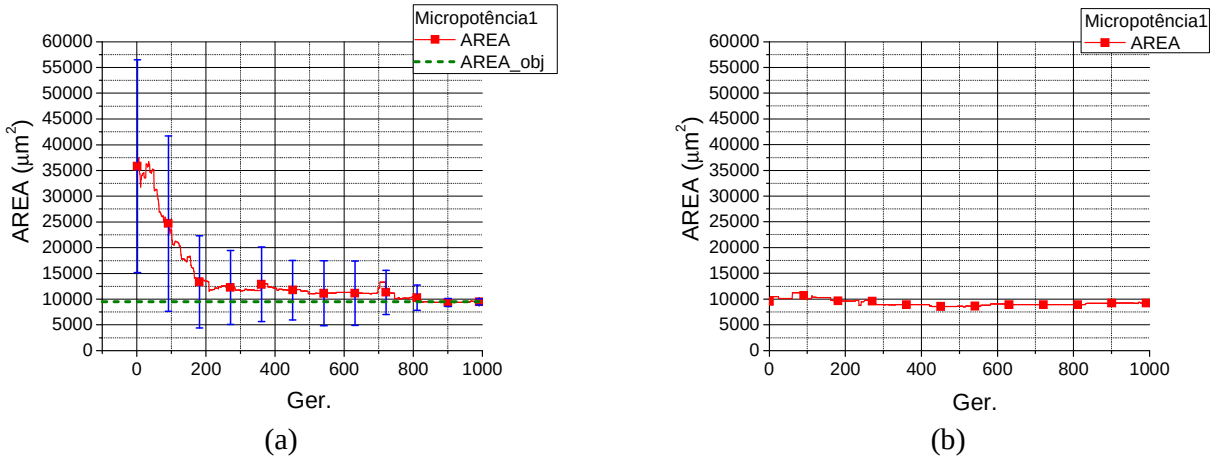


Figura 6.18 – Curvas da *AREA* em função do número de gerações para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.19 mostra o gráfico de barras dos valores da *AREA* das 10 melhores soluções apresentadas pelo AGSPICE. Conforme pode-se observar, as soluções obtidas estão próximas do valor objetivo de 9500 μm^2. Todas as soluções obtidas estão dentro do critério de aceitação estabelecido, ou seja, estão situadas entre 7600 e 11400 μm^2. O valor médio dessas 10 soluções é de 9538,45 μm^2. O valor da dispersão das soluções obtidas é relativamente pequena (σ_S = 591,38 μm^2). Para as soluções obtidas ao final do processo de busca, os valores da *AREA* convergem para valores situados estatisticamente entre 8947,08 e 10129,83 μm^2, ou seja, (9538,45 ± 591,38) μm^2.

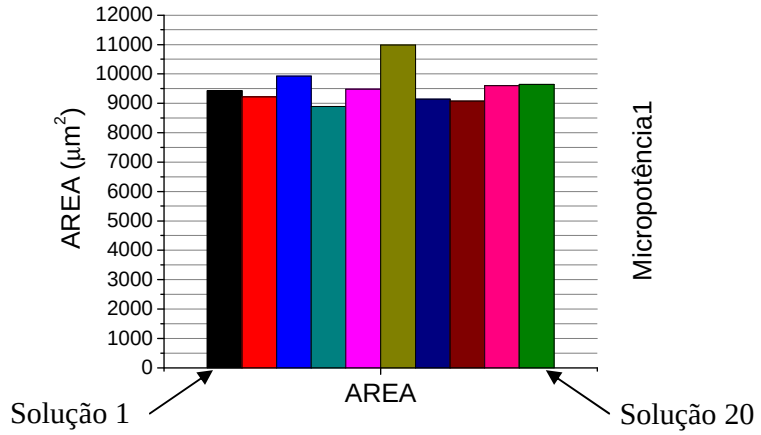


Figura 6.19 – Gráfico de barras dos valores da *AREA* das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

As Figuras de 6.20 a 6.33 mostram o mapeamento do ponto de operação e das dimensões dos transistores do OTA para o modo de operação Micropotência1, durante o processo de busca do sistema evolucionário.

A Figura 6.20 (a) mostra a curva média da corrente de polarização (I_{POL}) para o modo de operação Micropotência1 em função do número de gerações, das 10 melhores soluções apresentadas pelo AGSPICE. Embora a dispersão dos valores de I_{POL} tenda a diminuir durante do processo de busca, permanece elevada mesmo ao final do processo de busca do AGSPICE.

A Figura 6.20 (b) mostra a curva da corrente de polarização (I_{POL}) para o modo de operação Micropotência1 em função do número de gerações, correspondente à melhor solução obtida pelo AGSPICE. Comparando esta curva com a curva média, observa-se que a corrente de polarização tende a apresentar valores entre 0,16 e 0,06 µA.

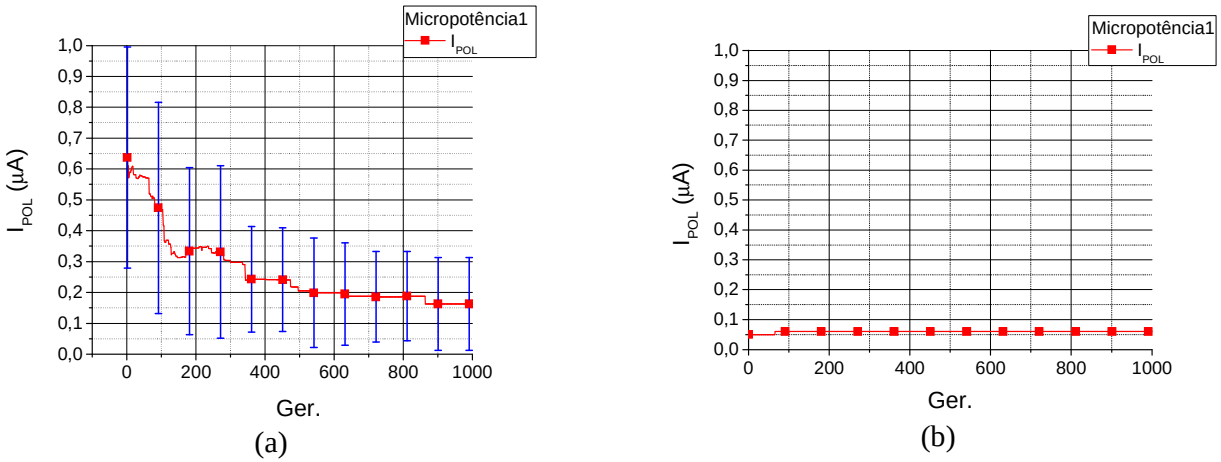


Figura 6.20 – Mapeamento da corrente de polarização para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.21 mostra o gráfico de barras dos valores da corrente de polarização (I_{POL}) das 10 melhores soluções apresentadas pelo AGSPICE, para o OTA Micropotência1. Observa-se uma grande dispersão entre os valores de I_{POL} das 10 melhores soluções apresentadas pelo AGSPICE, com valores variando na faixa de 0,02 a 0,52 µA, sendo a média igual a 0,16 µA e o valor da dispersão das soluções obtidas é elevada, devido à diversidade de soluções possíveis. Nesse caso, o valor do desvio padrão das soluções em porcentagem em relação à média é de 92,41 %. Embora o valor de I_{POL} esteja diretamente relacionado à potência dissipada pelo OTA, os diferentes valores obtidos para este parâmetro estão relacionados aos fatores de ganho dos espelhos de corrente $B_{4,6}$ e $B_{9,10}$.

A partir desse gráfico, é importante ressaltar que existem muitas diferentes soluções de projeto, pois existem diferentes valores para a corrente de polarização (I_{POL}), da qual as dimensões W e L de todos os transistores do circuito dependem fortemente. Se I_{POL} pode variar significativamente entre as diversas soluções, consequentemente existem muitas combinações das variáveis de entrada para atingir os mesmos objetivos de projeto.

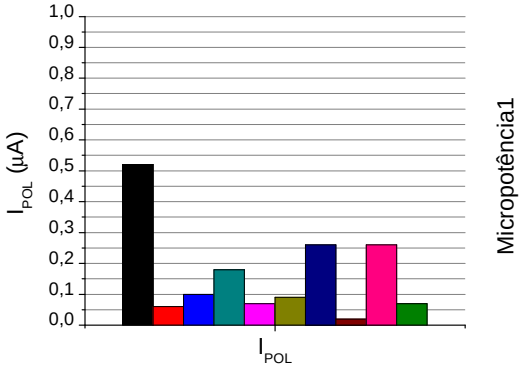


Figura 6.21 – Gráfico de barras dos valores da corrente de polarização das 10 melhores soluções apresentadas pelo AGSPICE.

A Figura 6.22 (a) mostra a curva média da tensão de entrada de polarização (V_{INPOL}) para o modo de operação Micropotência1 em função do número de gerações, das 10 melhores soluções apresentadas pelo AGSPICE. Observa-se que a dispersão dos valores de V_{INPOL} tende a permanecer constante durante todo o processo de busca do AGSPICE.

A Figura 6.22 (b) mostra a curva da tensão de entrada de polarização (V_{INPOL}) para o modo de operação Micropotência1 em função do número de gerações, correspondente à melhor solução obtida pelo AGSPICE. Comparando esta curva com a curva média, observa-se que a tensão de entrada de polarização tende a apresentar valores entre 1,30 e 1,48 V.

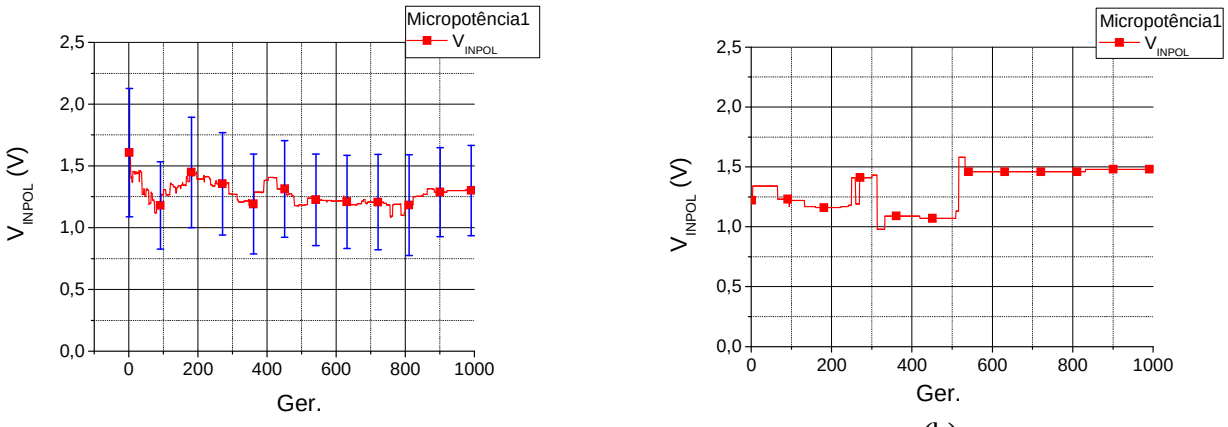


Figura 6.22 – Mapeamento da tensão de entrada de polarização para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.23 mostra o gráfico de barras dos valores da tensão de entrada de polarização (V_{INPOL}) das 10 melhores soluções apresentadas pelo AGSPICE, para o OTA Micropotência1. Observa-se uma grande dispersão entre os valores de V_{INPOL} das 10 melhores

soluções apresentadas pelo AGSPICE, com valores variando na faixa de 0,78 a 1,75 V, sendo o valor médio de V_{INPOL} igual a 1,30 V, valor levemente superior a $V_{DD}/2$ (1,25V), porém o valor da dispersão das soluções obtidas não é muito elevada em comparação a I_{POL} (σ_S = 28,17 %). Dessa forma, o valor desse parâmetro é ajustado com valores acima ou abaixo de $V_{DD}/2$ com o objetivo de garantir que os transistores do estágio diferencial e o transistor M10 estejam operando na região de saturação. Além disso, deve permitir a polarização do estágio diferencial pela corrente I_O, fornecida pelo espelho de corrente formado por M9-M10, conforme mostra a Figura 3.1.

A partir desse gráfico, é importante ressaltar também que existem diferentes soluções para a tensão DC de entrada em modo comum que polariza o circuito do OTA, devido à grande variação dos valores obtidos para a corrente de polarização (I_{POL}).

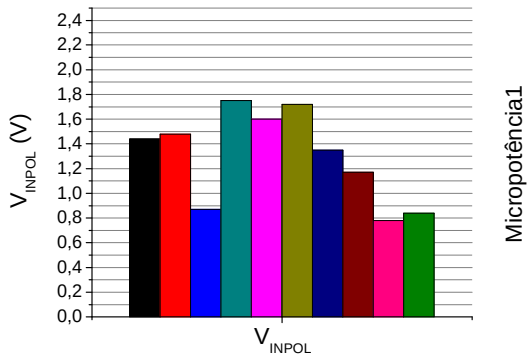


Figura 6.23 – Gráfico de barras dos valores da tensão de entrada de polarização das 10 melhores soluções apresentadas pelo AGSPICE.

A Figura 6.24 (a) mostra a curva média do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) para o modo de operação Micropotência1 em função do número de gerações, das 10 melhores soluções apresentadas pelo AGSPICE.

A Figura 6.24 (b) mostra a curva do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) para o modo de operação Micropotência1 em função do número de gerações, correspondente à melhor solução obtida pelo AGSPICE. Comparando esta curva com a curva média, observa-se que o fator de ganho ($B_{4,6}$) tende a apresentar valores entre 4,01 e 5,46.

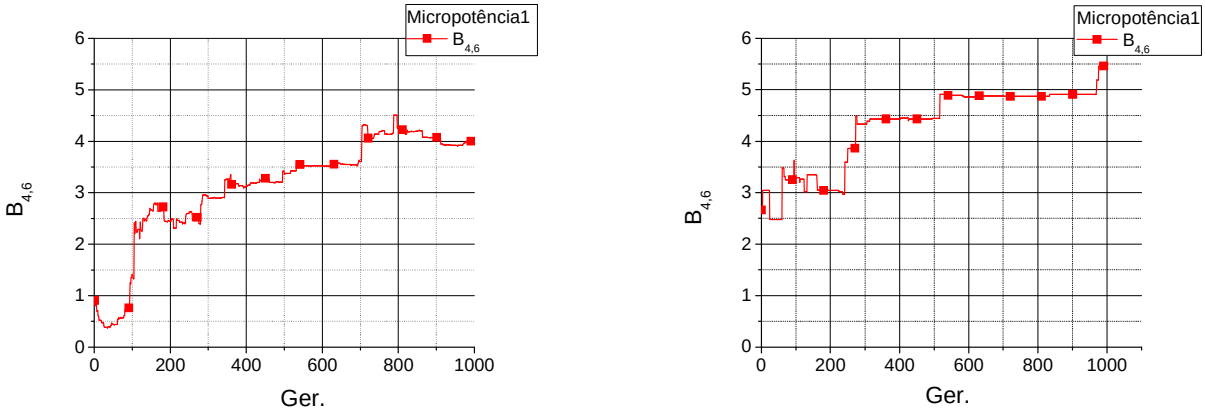


Figura 6.24 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.25 mostra o gráfico de barras dos valores do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) das 10 melhores soluções apresentadas pelo AGSPICE, para o OTA Micropotência1. Observa-se uma dispersão relativamente pequena entre os valores do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) das 10 melhores soluções apresentadas pelo AGSPICE. Os valores obtidos para $B_{4,6}$ variam na faixa de 2,41 a 5,46, sendo o valor médio de $B_{4,6}$ igual a 4,01 V e o valor da dispersão das soluções obtidas não é muito elevada em comparação a $B_{9,10}$, conforme será explicado a seguir. Nesse caso, o valor do desvio padrão das soluções em porcentagem em relação à média é de 26,35 %. Os valores obtidos para $B_{4,6}$ são levemente acima da faixa de valores usuais relatados na literatura, situados entre 0,5 e 2, [18]. Porém, este resultado representa o melhor compromisso considerando a tecnologia e as restrições de projeto utilizadas neste trabalho.

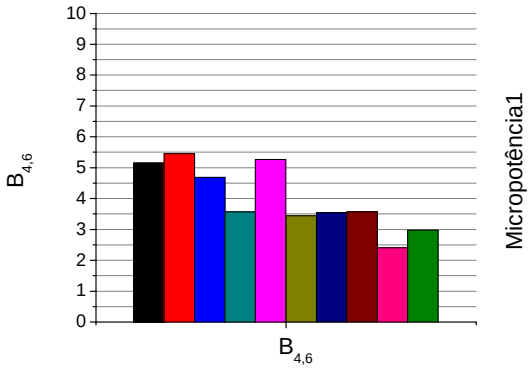


Figura 6.25 – Gráfico de barras dos valores de $B_{4,6}$ das 10 melhores soluções apresentadas pelo AGSPICE.

A Figura 6.26 (a) mostra a curva média do fator de ganho do espelho de corrente nMOSFET formado pelos transistores M9 e M10 ($B_{9,10}$) para o modo de operação Micropotência1 em função do número de gerações.

A Figura 6.26 (b) mostra a curva do fator de ganho do espelho de corrente nMOSFET ($B_{9,10}$) para o modo de operação Micropotência1 em função do número de gerações, correspondente à melhor solução obtida pelo AGSPICE. Comparando esta curva com a curva média, observa-se que o fator de ganho $B_{9,10}$ tende a apresentar valores entre 4,32 e 5,04.

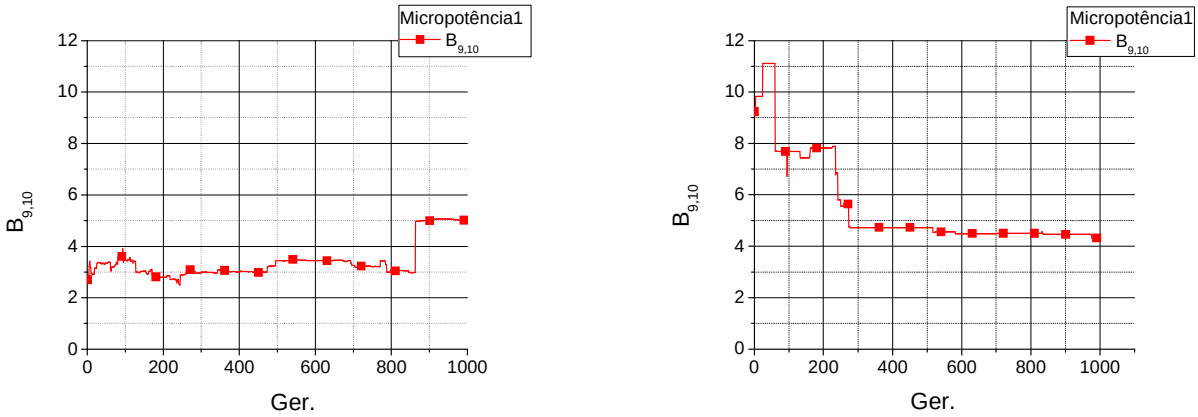


Figura 6.26 – Mapeamento do fator de ganho do espelho nMOSFETs ($B_{9,10}$) para o modo Micropotência1: curva média das 10 melhores soluções (a) e curva da melhor solução do AGSPICE (b).

A Figura 6.27 mostra o gráfico de barras dos valores de $B_{9,10}$ das 10 melhores soluções apresentadas pelo AGSPICE, para o OTA Micropotência1. Observa-se uma grande dispersão entre os valores de $B_{9,10}$ das 10 melhores soluções apresentadas pelo AGSPICE, com valores variando na faixa de 0,52 a 21,14, sendo o valor médio de $B_{9,10}$ igual a 5,04 V e o valor da dispersão das soluções obtidas é muito elevada (σ_S = 117,29 %). Este resultado indica que a faixa de valores possíveis para $B_{9,10}$ é muito maior que a faixa de valores possíveis para $B_{4,6}$.

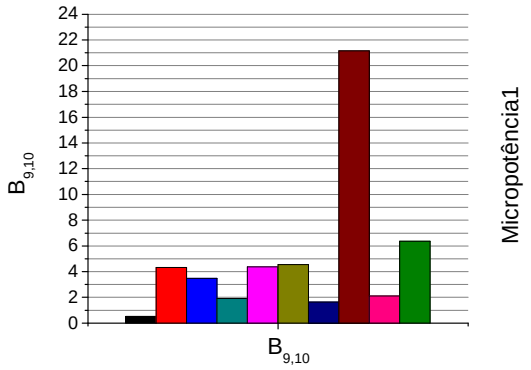
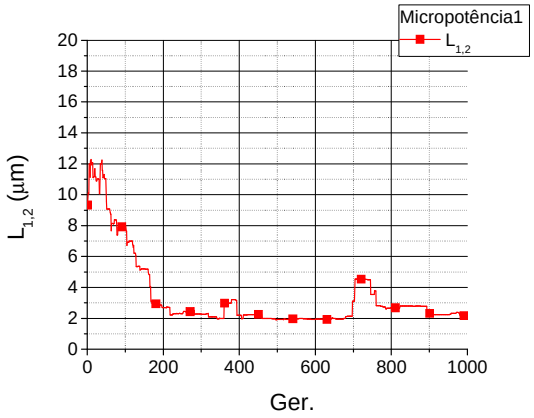


Figura 6.27 – Gráfico de barras dos valores de $B_{9,10}$ das 10 melhores soluções apresentadas pelo AGSPICE.

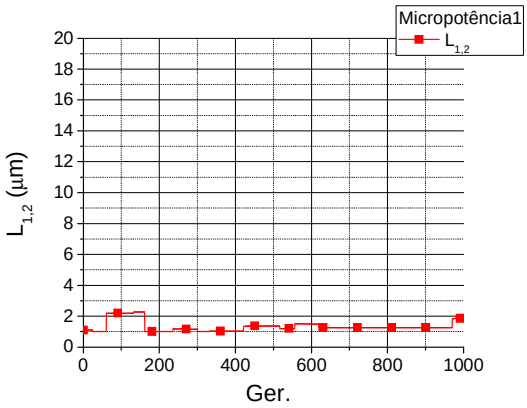
O fato da dispersão dos valores de $B_{9,10}$ ser maior que a dos valores de $B_{4,6}$ era esperado, pois, conforme visto anteriormente, o dimensionamento dos espelhos de corrente pMOSFETs está relacionado não somente à obtenção das condições de polarização DC, tais como *AREA*, V_{OUT} e P_{TOT}, mas também aos objetivos AC, tais como A_{V0}, f_T e *PM*, enquanto que o dimensionamento do espelho de corrente da fonte de corrente do par diferencial do OTA está relacionado somente à obtenção das condições de polarização DC, tais como *AREA*, P_{TOT} e M_{SAT}.

A Figura 6.28, itens (a), (c), (e), (g), (i), (k) mostram as curvas médias dos comprimentos de canal de todos os transistores do OTA Micropotência1 em função do número de gerações.

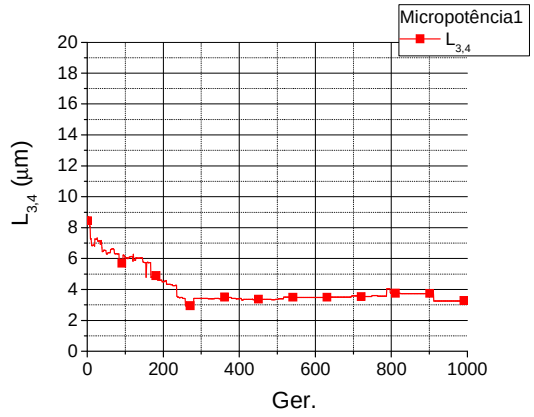
A Figura 6.28, itens (b), (d), (f), (h), (j), (l) mostram as curvas das melhores soluções obtidas pelo AGSPICE para os comprimentos de canal de todos os transistores do OTA Micropotência1 em função do número de gerações. Observa-se que as curvas das melhores soluções seguem a mesma tendência das curvas médias correspondentes. Por exemplo, o comprimento de canal do par diferencial ($L_{1,2}$) tende a apresentar valores baixos, neste caso valores entre 1,86 e 2,17 µm. O comprimento de canal do par $L_{3,4}$ tende a apresentar valores entre 2,43 e 3,27 µm. O comprimento de canal do par $L_{5,6}$ tende a apresentar valores menores do que 1,5 µm. O comprimento de canal do par $L_{7,8}$ tende a apresentar valores entre 6,48 e 6,69 µm. O comprimento de canal L_9 tende a apresentar valores entre 10,72 e 10,77 µm e o comprimento de canal L_{10} tende a apresentar valores entre 6,98 e 10,50 µm.


Micropotência1
L1,2
L1,2 (µm)
Ger.

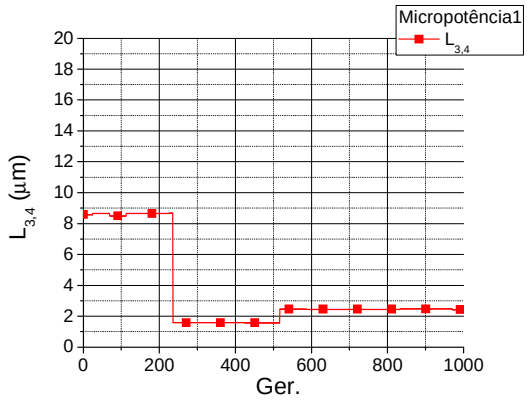
(a)


Micropotência1
L1,2
L1,2 (µm)
Ger.

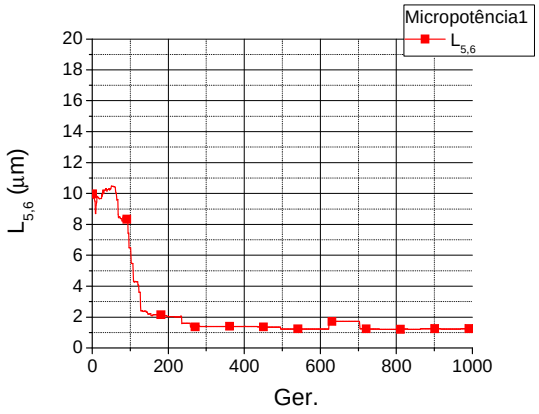
(b)


Micropotência1
L3,4
L3,4 (µm)
Ger.

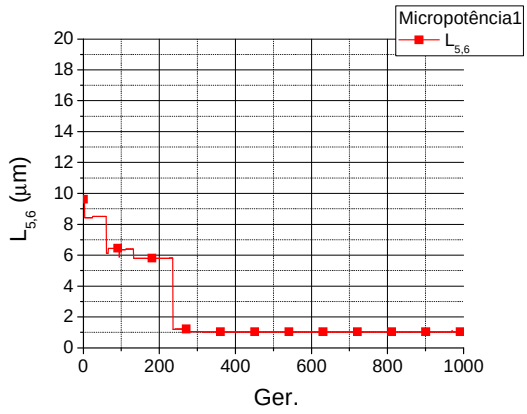
(c)


Micropotência1
L3,4
L3,4 (µm)
Ger.

(d)


Micropotência1
L5,6
L5,6 (µm)
Ger.

(e)


Micropotência1
L5,6
L5,6 (µm)
Ger.

(f)

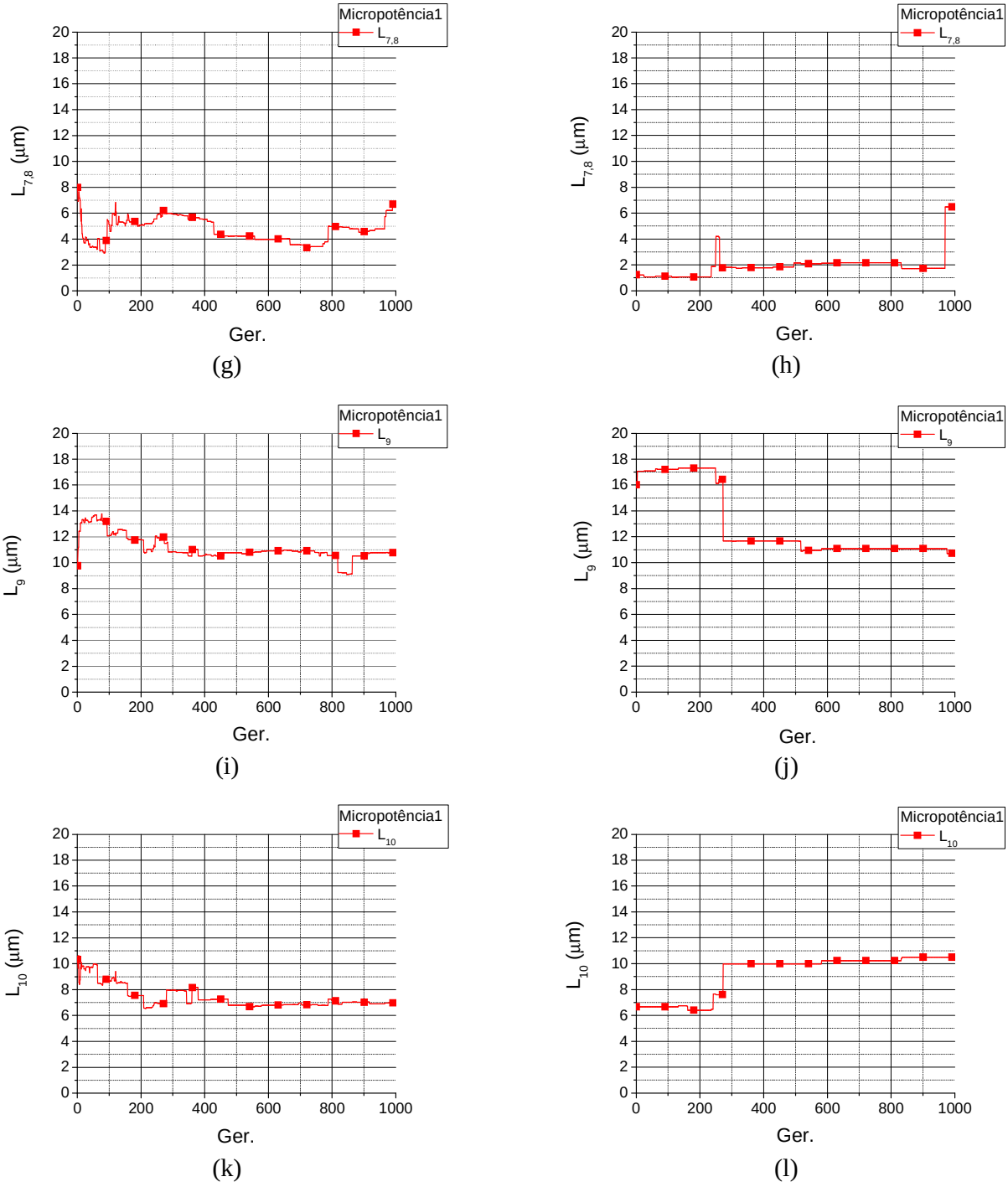
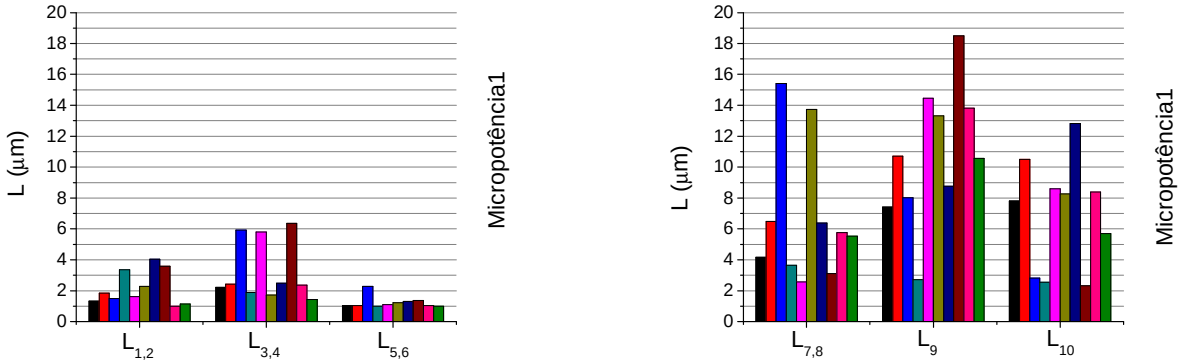


Figura 6.28 – Mapeamento dos comprimentos de canal para o modo Micropotência1: curvas médias das 10 melhores soluções (a), (c), (e), (g), (i), (k) e curvas das melhores soluções do AGSPICE (b), (d), (f), (h), (j), (l).

A Figura 6.29 mostra o gráfico de barras dos valores dos comprimentos de canal das 10 melhores soluções apresentadas pelo AGSPICE, para cada transistor do OTA

Micropotência1. A Média (μ_S) e o desvio padrão (σ_S), dado em porcentagem em relação à média, dos valores dos comprimentos de canal são apresentados na Tabela 6.24.

Com exceção do comprimento de canal dos transistores de saída pMOSFETs ($L_{5,6}$), observa-se uma grande dispersão entre os valores dos comprimentos de canal das 10 soluções apresentadas pelo AGSPICE, considerando o comprimento de canal de cada transistor do OTA Micropotência1, conforme mostra a Tabela 6.24. Isto significa que existem diferentes combinações possíveis para os comprimentos de canal que alcançam os mesmos objetivos de projeto.



(a) (b)

Figura 6.29 – Gráfico de barras dos valores dos comprimentos de canal das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1: $L_{1,2}$, $L_{3,4}$, $L_{5,6}$ (a) e $L_{7,8}$, L_9, L_{10} (b).

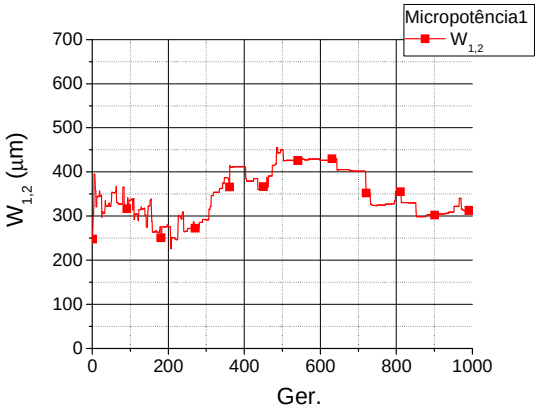
Tabela 6.24 - Média e desvio padrão dos valores dos comprimentos de canal das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

	Média (μ_S) [μm]	**Desvio (σ_S) [%]**
$L_{1,2}$	2,17	50,86
$L_{3,4}$	3,27	59,48
$L_{5,6}$	1,24	31,33
$L_{7,8}$	6,68	65,66
L_9	10,83	40,92
L_{10}	6,98	50,96

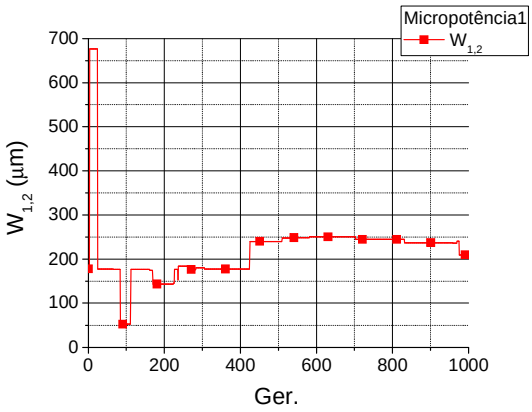
A Figura 6.30, itens (a), (c), (e), (g), (i), (k) mostram as curvas médias das larguras de canal de todos os transistores do OTA Micropotência1 em função do número de gerações.

A Figura 6.30, itens (b), (d), (f), (h), (j), (l) mostram as curvas das melhores soluções obtidas pelo AGSPICE das larguras de canal de todos os transistores do OTA Micropotência1 em função do número de gerações. Comparando estas curvas com as curvas médias, observa-

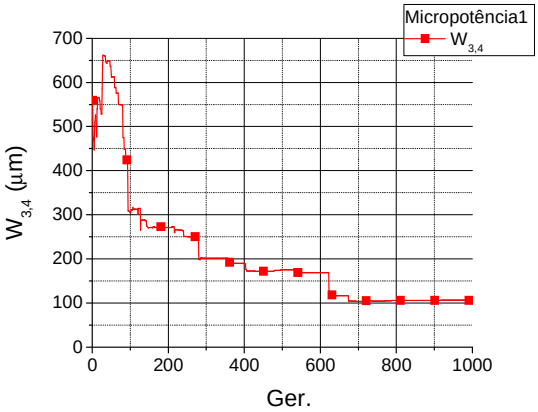
se que a largura de canal do par diferencial ($W_{1,2}$) tende a apresentar valores entre 209,56 e 312,67 µm. A largura de canal do par $W_{3,4}$ tende a apresentar valores entre 33,32 e 106,31 µm. A largura de canal do par $W_{5,6}$ tende a apresentar valores entre 77,93 e 183,13 µm. A largura de canal do par $W_{7,8}$ tende a apresentar valores entre 1,30 e 1,40 µm. A largura de canal W_9 tende a apresentar valores entre 146,73 e 339,90 µm e a largura de canal W_{10} tende a apresentar valores entre 613,48 e 621,18 µm.



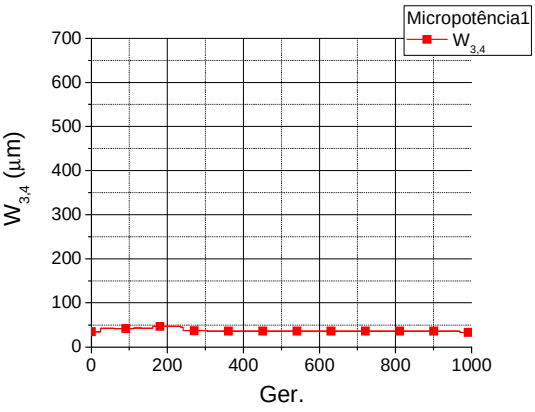
(a)



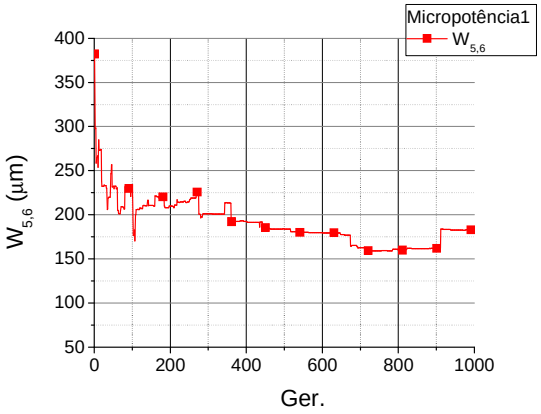
(b)



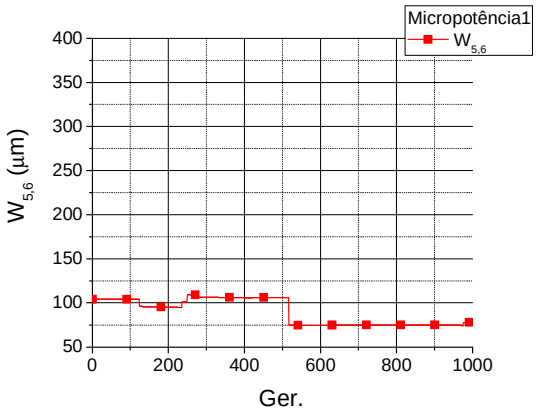
(c)



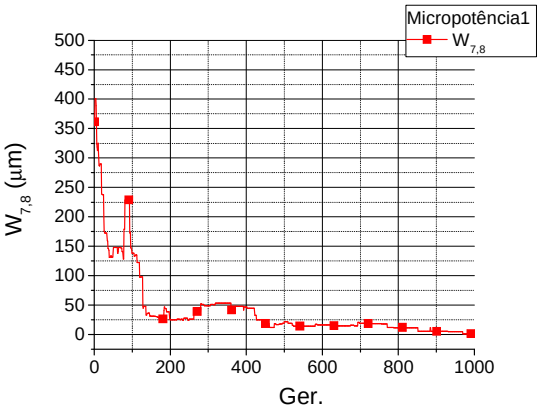
(d)


Micropotência1
W5,6
W5,6 (µm)
Ger.

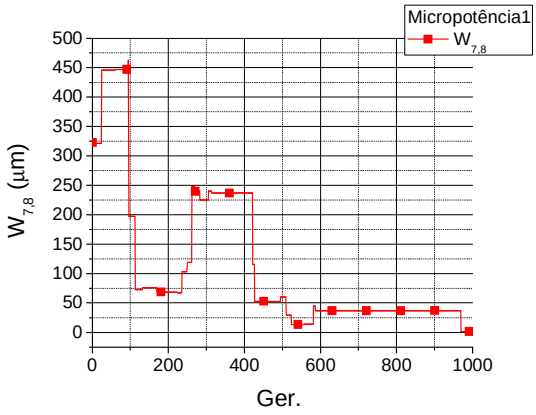
(e)


Micropotência1
W5,6
W5,6 (µm)
Ger.

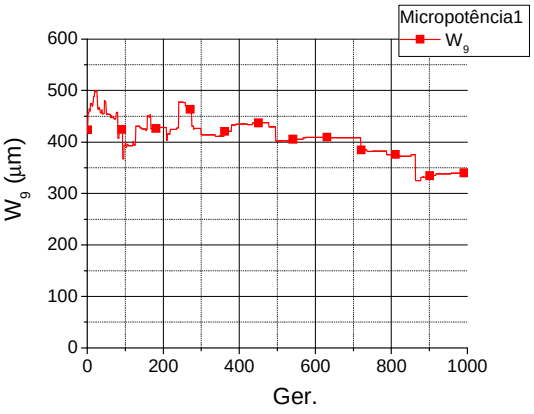
(f)


Micropotência1
W7,8
W7,8 (µm)
Ger.

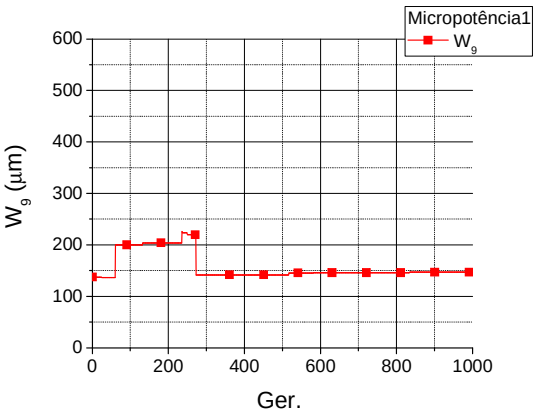
(g)


Micropotência1
W7,8
W7,8 (µm)
Ger.

(h)


Micropotência1
W9
W9 (µm)
Ger.

(i)


Micropotência1
W9
W9 (µm)
Ger.

(j)

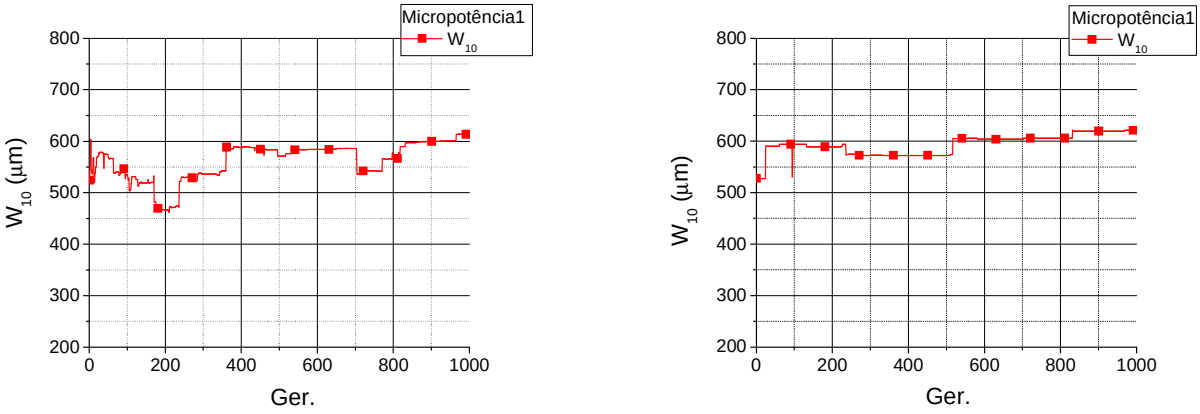
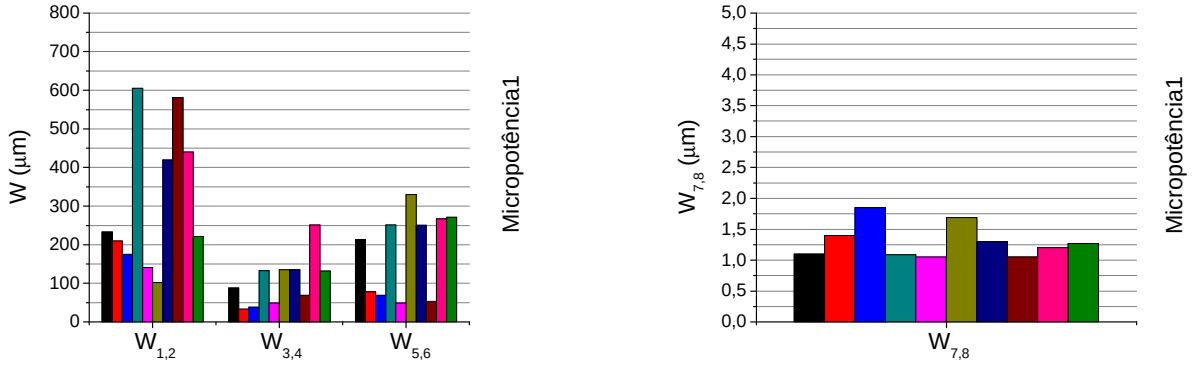
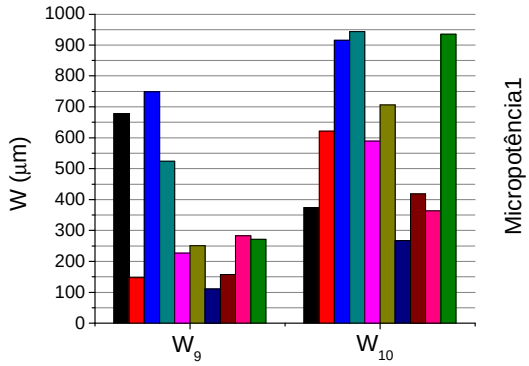


Figura 6.30 – Mapeamento das larguras de canal para o modo Micropotência1: curvas médias das 10 melhores soluções (a), (c), (e), (g), (i), (k) e curvas das melhores soluções do AGSPICE (b), (d), (f), (h), (j), (l).

A Figura 6.31 mostra o gráfico de barras dos valores das larguras de canal das 10 melhores soluções apresentadas pelo AGSPICE, para cada transistor do OTA Micropotência1. A Média (μ_S) e o desvio padrão (σ_S), dado em porcentagem em relação à média, dos valores das larguras de canal são apresentados na Tabela 6.25.

Com exceção da largura de canal dos transistores de saída nMOSFETs ($W_{7,8}$), observa-se uma grande dispersão entre os valores das larguras de canal das 10 soluções apresentadas pelo AGSPICE, considerando a largura de canal de cada transistor do OTA Micropotência1, conforme mostra a Tabela 6.25. Isto significa que existem diferentes combinações possíveis para as larguras de canal que alcançam os mesmos objetivos de projeto.





(c)

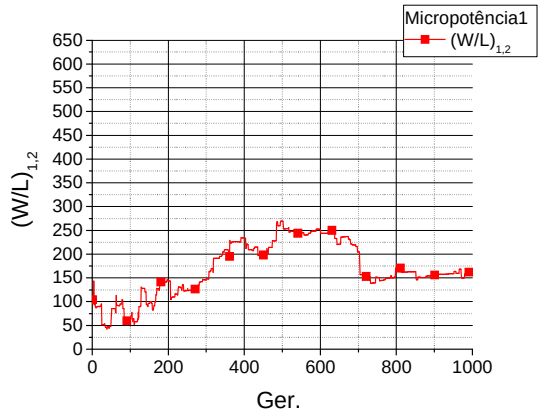
Figura 6.31 – Gráfico de barras dos valores das larguras de canal das 10 melhores soluções apresentadas pelo AGSPICE: $W_{1,2}$, $W_{3,4}$, $W_{5,6}$ (a); $W_{7,8}$ (b) e W_9, W_{10} (c).

Tabela 6.25 - Média e desvio padrão dos valores das larguras de canal das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

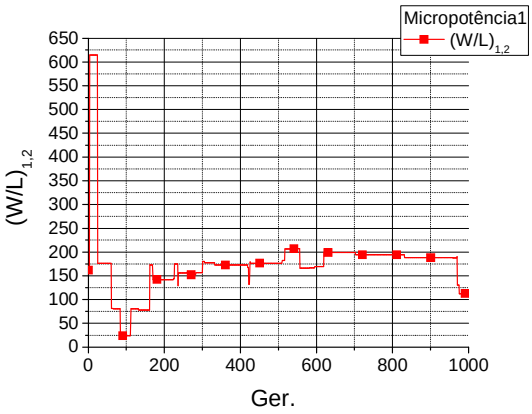
	Média (μ_S) [µm]	**Desvio (σ_S) [%]**
$W_{1,2}$	312,67	58,72
$W_{3,4}$	106,31	61,86
$W_{5,6}$	183,13	59,16
$W_{7,8}$	1,30	21,22
W_9	339,90	67,07
W_{10}	613,48	41,74

A Figura 6.32, itens (a), (c), (e), (g), (i), (k) mostram as curvas médias das razões de aspecto *W/L* de todos os transistores do OTA Micropotência1 em função do número de gerações.

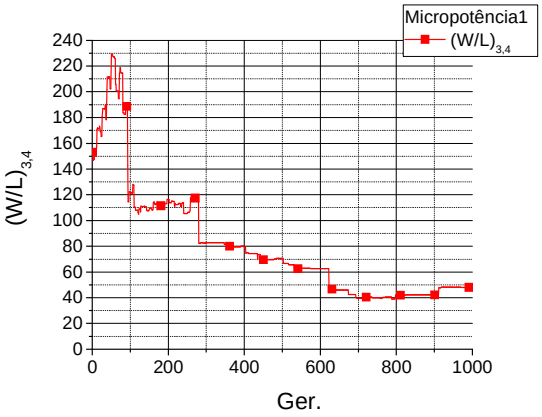
A Figura 6.32, itens (b), (d), (f), (h), (j), (l) mostram as curvas das melhores soluções obtidas pelo AGSPICE das razões de aspecto de todos os transistores do OTA Micropotência1 em função do número de gerações. Comparando as curvas das melhores soluções com as curvas médias correspondentes, observa-se que a razão de aspecto do transistor do par diferencial $(W/L)_{1,2}$ tende a apresentar valores entre 112,67 e 161,72. A razão de aspecto do par $(W/L)_{3,4}$ tende a apresentar valores entre 13,71 e 47,97. A razão de aspecto do par $(W/L)_{5,6}$ tende a apresentar valores entre 74,93 e 163,38. A razão de aspecto do par $(W/L)_{7,8}$ converge para valores entre 0,22 e 0,24. A razão de aspecto $(W/L)_9$ tende a apresentar valores entre 13,69 e 49,32 e a razão de aspecto $(W/L)_{10}$ tende a apresentar valores entre 59,16 e 136,46.


Micropotência1
(W/L)1,2
(W/L)1,2
Ger.

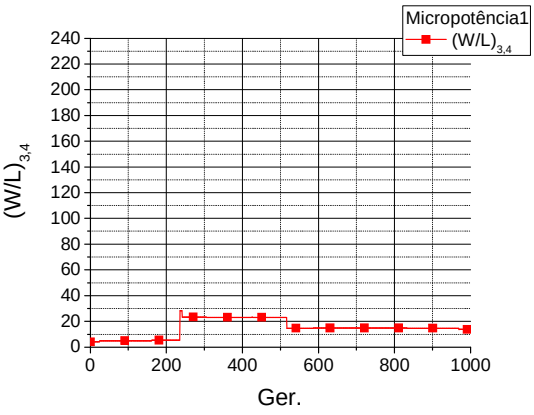
(a)


Micropotência1
(W/L)1,2
(W/L)1,2
Ger.

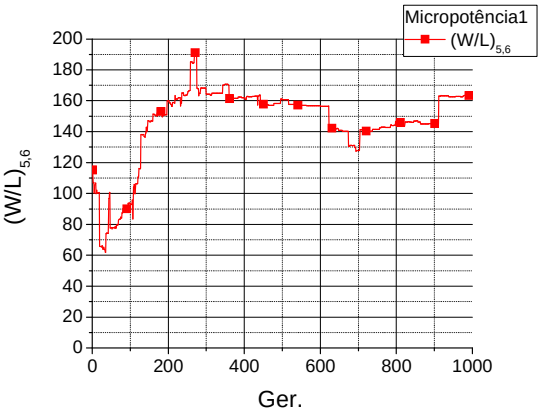
(b)


Micropotência1
(W/L)3,4
(W/L)3,4
Ger.

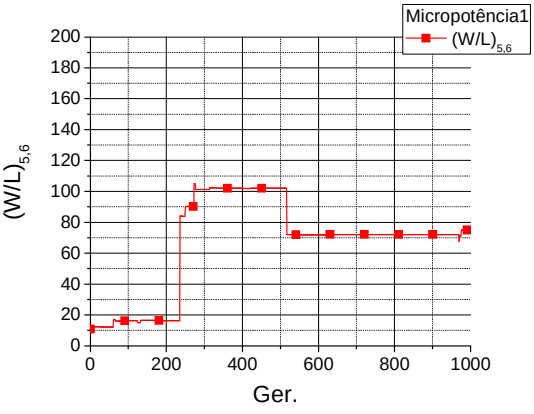
(c)


Micropotência1
(W/L)3,4
(W/L)3,4
Ger.

(d)


Micropotência1
(W/L)5,6
(W/L)5,6
Ger.

(e)


Micropotência1
(W/L)5,6
(W/L)5,6
Ger.

(f)

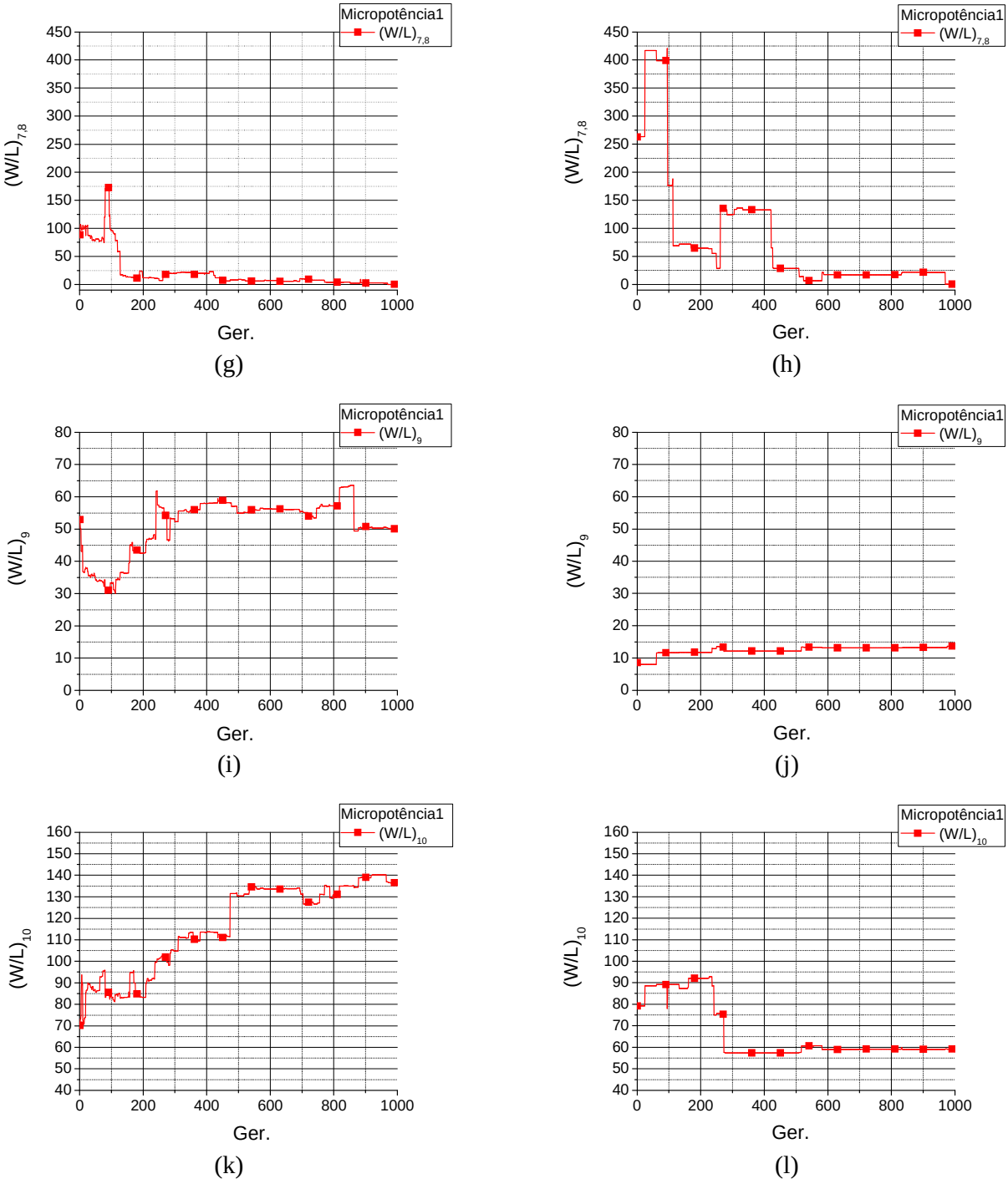


Figura 6.32 – Mapeamento das razões de aspecto *W/L* para o modo Micropotência1: curvas médias das 10 melhores soluções (a), (c), (e), (g), (i), (k) e curvas das melhores soluções do AGSPICE (b), (d), (f), (h), (j), (l).

A Figura 6.33 mostra o gráfico de barras dos valores das razões de aspecto (*W/L*) das 10 melhores soluções apresentadas pelo AGSPICE, para cada transistor do OTA

Micropotência1. A Média (μ_S) e o desvio padrão (σ_S), dado em porcentagem em relação à média, dos valores das razões de aspecto são apresentados na Tabela 6.26.

Com exceção da razão de aspecto dos transistores de saída nMOSFETs [$(W/L)_{7,8}$], observa-se uma grande dispersão entre os valores das razões de aspecto das 10 soluções apresentadas pelo AGSPICE, considerando a razão de aspecto de cada transistor do OTA Micropotência1, conforme mostra a Tabela 6.26. Isto significa que existem diferentes combinações possíveis para as razões de aspecto que alcançam os mesmos objetivos de projeto.

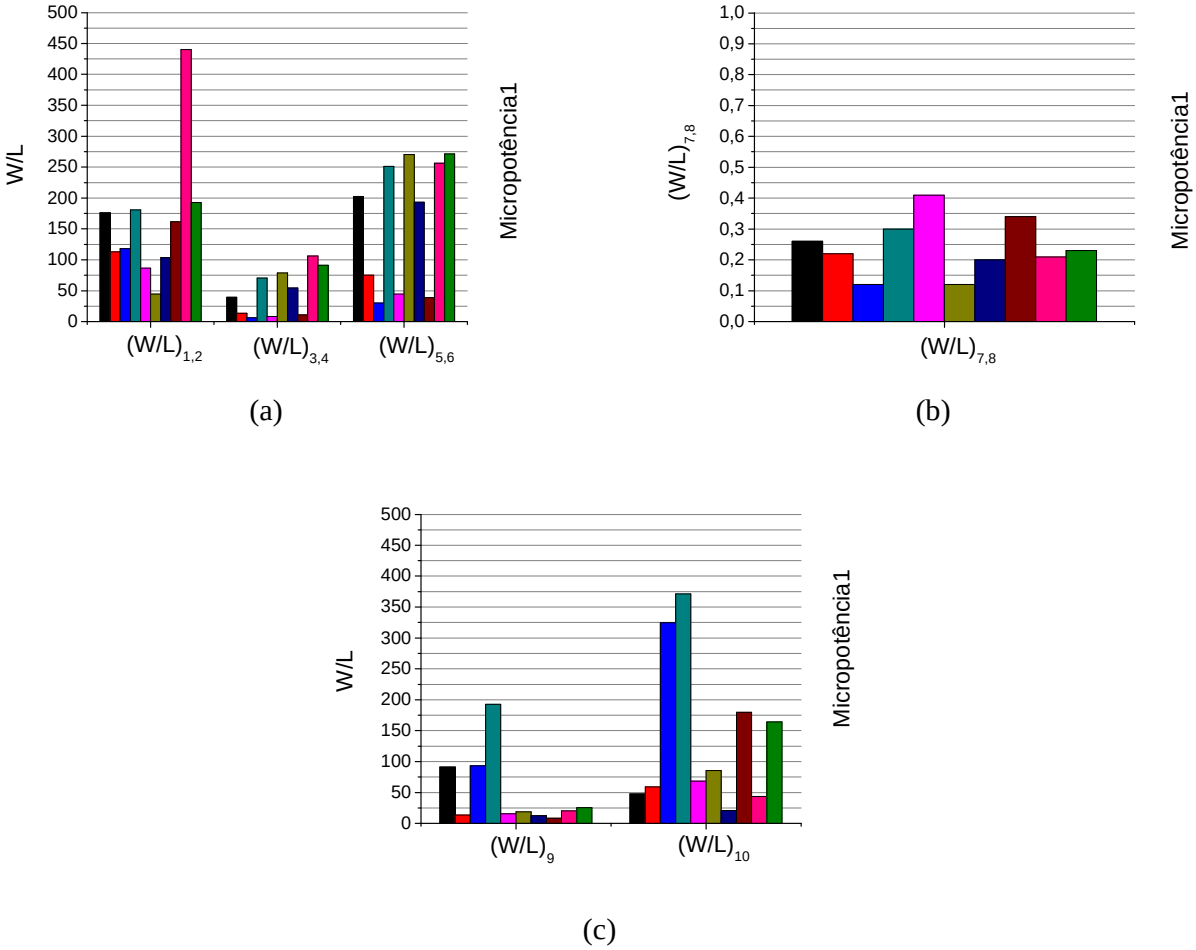


Figura 6.33 – Gráfico de barras dos valores da relação *W/L* das 10 melhores soluções apresentadas pelo AGSPICE: $(W/L)_{1,2}$, $(W/L)_{3,4}$, $(W/L)_{5,6}$ (a); $(W/L)_{7,8}$ (b) e $(W/L)_9$, $(W/L)_{10}$ (c).

Tabela 6.26 - Média e desvio padrão dos valores da relação *W/L* das 10 melhores soluções apresentadas pelo AGSPICE para o modo Micropotência1.

	Média (μ_S)	**Desvio (σ_S) [%]**
$(W/L)_{1,2}$	161,72	67,11
$(W/L)_{3,4}$	47,97	78,24
$(W/L)_{5,6}$	163,38	63,59
$(W/L)_{7,8}$	0,24	37,80
$(W/L)_{9}$	49,32	120,94
$(W/L)_{10}$	136,46	90,16

Após a apresentação do mapeamento do ponto de operação e das dimensões dos transistores do OTA, mostrados acima, serão analisados, a seguir, alguns compromissos dos resultados gerados por esse mapeamento e lembrando que o mapeamento realizado pelo AGSPICE consiste no registro seqüencial da melhor solução (referente à função de avaliação) de cada geração avaliada. É importante enfatizar que os compromissos observados em cada modo de operação, descritos a seguir, estão baseados na melhor solução apresentada pelo AGSPICE para cada modo de operação. Durante esta análise, embora não sejam descritos como o comportamento de todas as variáveis de projeto afetam todos os objetivos de projeto de uma geração para outra são comentados os resultados mais significativos.

Passando da geração 235 para a geração 236, o valor de $W_{1,2}$ diminui de 176,52 µm para 152,61 µm [Figura 6.30 (b)] e $L_{1,2}$ aumenta de 1,01 µm para 1,18 µm [Figura 6.28 (b)], ou seja, $(W/L)_{1,2}$ diminui de 174,77 para 129,33 [Figura 6.32 (b)] e como I_{POL} permanece constante e igual a 0,06 µA [Figura 6.20 (b)], o par diferencial caminha levemente em direção à região de inversão forte [Figura 6.70]. Uma vez que a redução no valor de *L6* [Figura 6.28 (f)] é muito maior que o aumento no valor de *L8* [Figura 6.28 (h)], resulta na diminuição de A_{V0} de 40,65 para 39,09 dB [Figura 6.8 (b)]. Estes resultados estão em concordância com a equação (3.14), pois o valor de A_{V0} é reduzido principalmente devido à redução do parâmetro $(g_m/I_{DS})_{1,2}$ e da redução da tensão Early do transistor M6 (V_{A6}).

Passando da geração 235 para a geração 236, o valor de $W_{5,6}$ aumenta de 94,78 µm para 100,88 µm [Figura 6.30 (f)] e $L_{5,6}$ diminui de 5,82 µm para 1,20 µm [Figura 6.28 (f)], ou seja, $(W/L)_{5,6}$ aumenta de 16,29 µm para 84,07 µm [Figura 6.32 (f)]. O valor de $W_{3,4}$ reduz de 46,72 µm para 44,70 µm [Figura 6.30 (d)] e $L_{3,4}$ diminui de 8,67 µm para 1,58 µm [Figura 6.28 (d)], ou seja, $(W/L)_{3,4}$ aumenta de 5,39 µm para 28,29 µm [Figura 6.32 (d)]. Dessa forma, verifica-se que o expressivo aumento da margem de fase (*PM*) é devido à polarização dos espelhos de corrente pMOSFETs (M3-M5 e M4-M6) da região de inversão moderada para a região de inversão fraca (Figura 6.73), conforme será explicado no próximo parágrafo. Os

espelhos pMOSFETs foram polarizados na região de inversão fraca devido à expressiva redução dos comprimentos de canal dos transistores que formam os espelhos pMOSFETs ($L_{5,6}$ e $L_{3,4}$) que possibilitam aumentar os valores de $(W/L)_{5,6}$ e $(W/L)_{3,4}$. Além disso, como I_{POL} permanece constante em 0,06 µA [Figura 6.20 (b)], $B_{9,10}$ diminui de 7,89 para 6,78 [Figura 6.26 (b)] e $B_{4,6}$ diminui de 3,02 para 2,97 [Figura 6.24 (b)] a corrente de polarização entre dreno e fonte dos transistores que formam os espelhos pMOSFETs também é reduzida.

Devido à redução de $L_{5,6}$ e $L_{3,4}$, o valor da área dos transistores M6 e M4 é reduzida de forma significativa, assim como a capacitância do nó 1 (*C1*). Além disso, a polarização de M4 na região de inversão fraca permite a elevação no valor de g_{m4}, possibilitando o aumento da frequência do segundo polo (ω_{p1}), conforme equação (3.16), assim como da margem de fase (*PM*), em concordância com a equação (3.21). O aumento da margem de fase é significativo, de 64,28°, na geração 235, para 83,18°, na geração 236 [Figura 6.12 (b)]. Observa-se também que este processo contribui para a redução da AREA, que neste caso reduz de 9738,80 µm^2 para 8753,21 µm^2, uma redução de 10,12%.

A diminuição de $B_{4,6}$ [Figura 6.24 (b)] e $B_{9,10}$ [Figura 6.26 (b)] permitem uma pequena redução no consumo de potência, de 5,45 µW, na geração 235, para 5,13 µW, na geração 236 [Figura 6.16 (b)], uma vez que a corrente de polarização (I_{POL}) manteve-se constante [Figura 6.20 (b)].

Passando da geração 516 para a geração 517, o valor de $(W/L)_{5,6}$ [Figura 6.32 (f)] diminui de 102,13 para 72,11, enquanto o valor de $(W/L)_{3,4}$ diminui de 23,02 para 14,69 [Figura 6.32 (d)], ou seja, aumentando o fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) de 4,44 para 4,91 [Figura 6.24 (b)] e induzindo levemente os transistores do par diferencial na direção da região de inversão fraca (Figura 6.70) aumenta-se o valor de f_T de 0,34 para 0,35 MHz [Figura 6.10 (b)], em concordância com a equação (3.15), pois aumenta-se o valor dos parâmetros $B_{4,6}$ e $(g_m/I_{DS})_{1,2}$. A fim de polarizar o par diferencial na região de inversão fraca o valor de $(W/L)_{1,2}$ é aumentado [Figura 6.32 (b)], enquanto que o valor de $B_{9,10}$ é levemente reduzido, considerando que I_{POL} permanece constante em 0,06 µA [Figura 6.20 (b)].

Da geração 516 para a geração 517, o valor de $B_{4,6}$ foi aumentado da seguinte forma: $W_{5,6}$ diminui de 106,21 µm para 74,99 µm [Figura 6.30 (f)]; $L_{5,6}$ permanece em 1,04 µm [Figura 6.28 (f)]; $W_{3,4}$ permanece em 36,14 µm [Figura 6.30 (d)] e $L_{3,4}$ aumenta de 1,57 µm para 2,46 µm [Figura 6.28 (d)], ou seja, $(W/L)_{5,6}$ diminui de 102,13 para 72,11, enquanto que $(W/L)_{3,4}$ diminui de 23,02 para 14,69. Como os valores de *L6* e *L8* permanecem constantes [Figura 6.28 (f), (h)], o ganho de tensão permanece em 39,24 dB [Figura 6.8 (b)], pois a

tensão Early permanece constante. Observa-se que o aumento de $B_{4,6}$ tende a provocar um pequeno aumento no consumo de potência, de 5,18 µW para 5,27 µW [Figura 6.16 (b)], uma vez que a corrente de polarização (I_{POL}) permanece constante em 0,06 µA [Figura 6.20 (b)]. Enquanto o valor de $B_{4,6}$ aumenta, o valor do fator de ganho do espelho da fonte de corrente ($B_{9,10}$) apresenta uma pequena redução de 4,73 para 4,54 [Figura 6.26 (b)]. Como I_{POL} permanece constante, esta é uma forma de manter a potência dissipada dentro do valor objetivo de 5 µW.

Da geração 969 para a geração 970, o valor de A_{V0} foi aumentado de 38,75 dB para 43,98 dB devido ao aumento da tensão Early dos transistores de saída M6 e M8 (V_{A6} e V_{A8}, respectivamente), que ocorre devido ao aumento de $L_{5,6}$ de 1,04 µm para 1,11 µm e $L_{7,8}$ de 1,73 µm para 6,48 µm [Figura 6.28 (f), (h)] e também devido ao aumento de $B_{4,6}$ de 4,91 para 5,01 [Figura 6.24 (b)], em concordância com a equação (3.14). Verifica-se também que $W_{7,8}$ diminui de 37,01 µm para 1,4 µm [Figura 6.30 (h)], contribuindo para a redução da *AREA* [Figura 6.18 (b)] e para o aumento de V_{OUT} de 0,63 V para 1,20 V, próximo de 1,25 V ($V_{DD}/2$). Para o ajuste de V_{OUT} próximo de $V_{DD}/2$ a razão de aspecto dos transistores de saída M7-M8 [$(W/L)_{7,8}$] é reduzida de forma significativa de 21,39 para 0,22 [Figura 6.32 (h)], a qual é proporcional à condutância de saída. Este processo induz o par M7-M8 ser polarizado em direção à região de inversão forte (Figura 6.71).

Por motivo de simplicidade, para os demais modos (Micropotência2, HG e HF) não serão incluídas as curvas médias e de dispersão para cada variável mapeada ou monitorada, apenas serão comentados os pontos observados mais relevantes.

Para o modo Micropotência2, praticamente todas as especificações foram atendidas de forma adequada, para cada uma das 20 soluções apresentadas pelo AGSPICE, sendo os valores médios calculados para as 10 melhores soluções obtidas. Considerando os valores médios que foram obtidos para as especificações de projeto, os resultados obtidos para o modo de operação Micropotência2 são melhores que aqueles obtidos para o modo Micropotência1, com desvio relativo máximo de 7%, com exceção do valor de A_{V0}, o qual é 27,15% menor que o valor objetivo. Assim, somente devido ao valor utópico de A_{V0_obj} a curva média da função geral de avaliação do modo Micropotência2 não atinge valores superiores ao modo Micropotência1 [Figura 6.7 (a)].

As Figuras de 6.34 a 6.39 mostram o monitoramento da evolução de todos os objetivos do projeto do OTA Micropotência2, durante o processo de busca do sistema evolucionário.

A Figura 6.34 mostra a curva do ganho de tensão (A_{V0}) da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual converge para valores em torno de 61,38 dB, próximo do valor máximo possibilitado pela topologia e tecnologia utilizados.

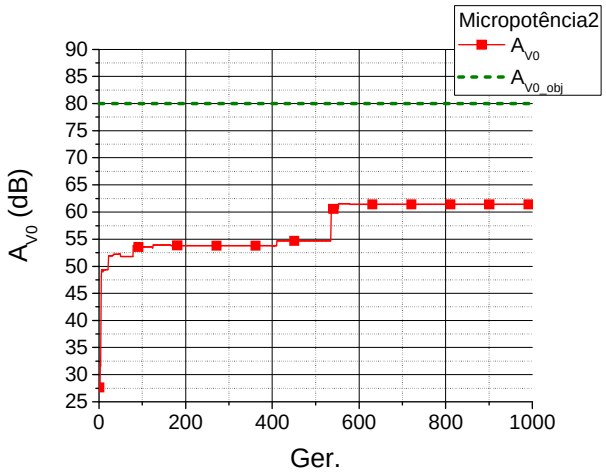


Figura 6.34 – Curva de A_{V0} da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

A Figura 6.35 mostra a curva da frequência de ganho unitário (f_T) da melhor solução obtida pelo AGSPICE em função do número de gerações, que converge para valores em torno de 0,28 MHz, resultado superior em relação ao valor objetivo de 0,20 MHz. Este resultado é decorrente do critério da escolha da melhor solução do modo Micropotência2 não estar baseado no maior valor da função de avaliação, mas nos maiores valores de A_{V0}, f_T, *PM* e menores valores para P_{TOT} e *AREA*, conforme relatado anteriormente.

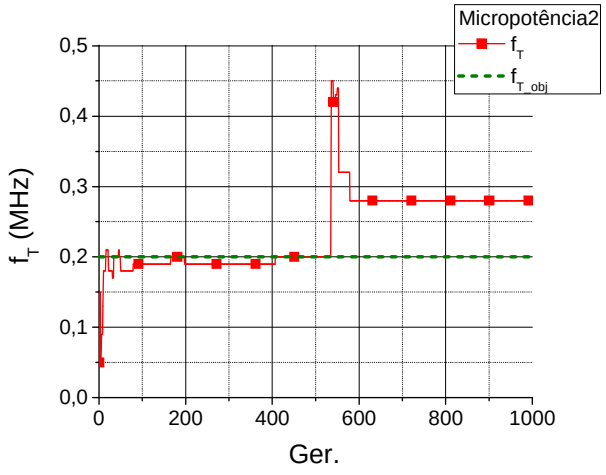


Figura 6.35 – Curva de f_T da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

A Figura 6.36 mostra a curva da margem de fase da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual converge em torno de 73,24 °, próximo do valor objetivo de 70 °.

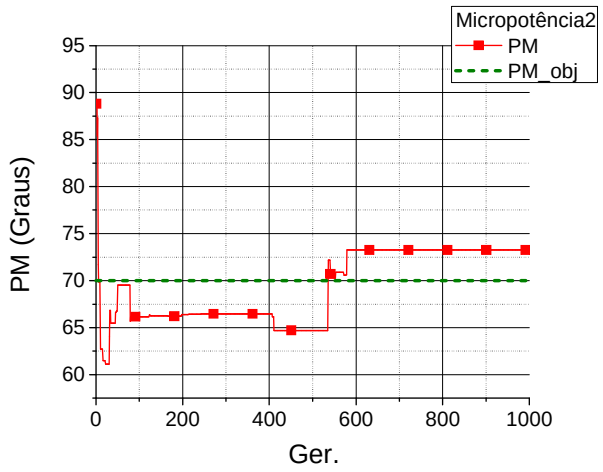


Figura 6.36 – Curva da margem de fase da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

A Figura 6.37 mostra a curva da tensão de saída DC da melhor solução obtida pelo AGSPICE em função do número de gerações. Conforme pode-se observar, durante o processo de busca do AGSPICE, V_{OUT} converge para valores próximos do valor objetivo de 1,50 V.

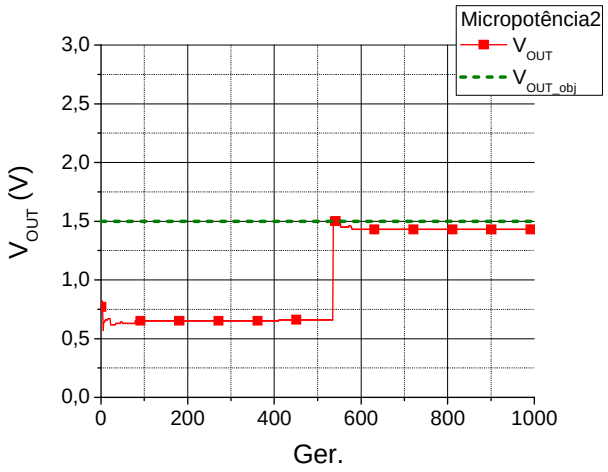


Figura 6.37 – Curva de V_{OUT} da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

A Figura 6.38 mostra a curva da potência dissipada da melhor solução obtida pelo AGSPICE em função do número de gerações. Observa-se que esta curva converge em direção ao valor objetivo da potência dissipada em torno de 10 µW.

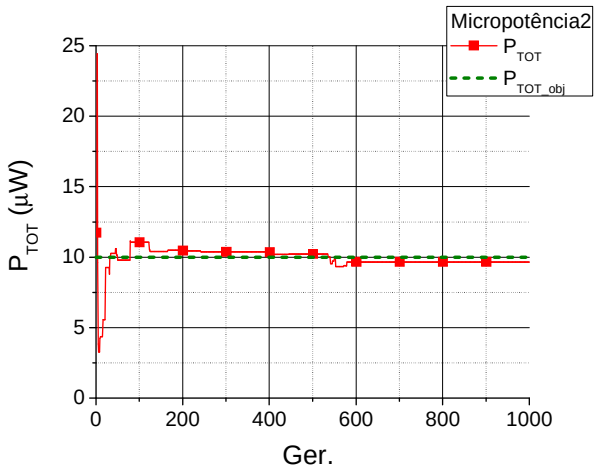


Figura 6.38 – Curva de P_{TOT} da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

A Figura 6.39 mostra a curva da *AREA* da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual converge para valores próximos do valor objetivo de 5000 µm^2.

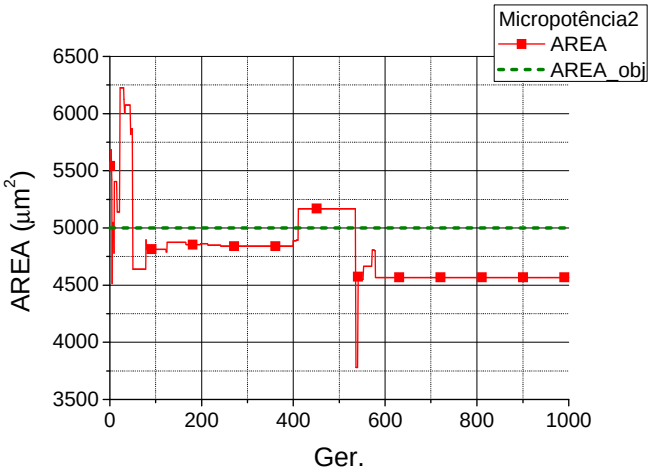


Figura 6.39 – Curva da *AREA* da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

As Figuras de 6.40 a 6.45 mostram o mapeamento do ponto de operação e das dimensões dos transistores do OTA para o modo de operação Micropotência2, durante o

processo de busca do sistema evolucionário, correspondente à melhor solução obtida pelo AGSPICE.

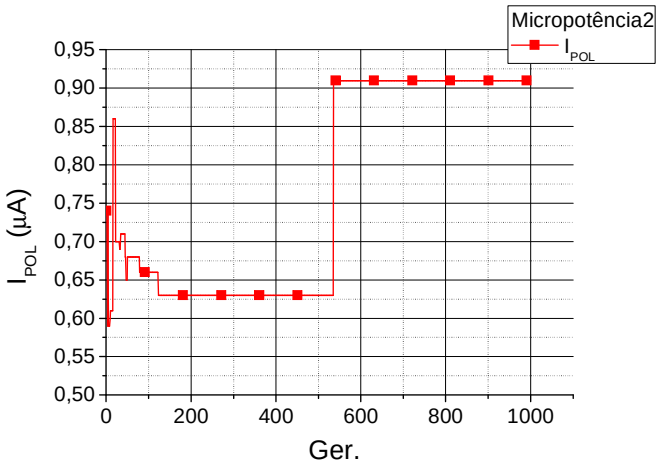


Figura 6.40 – Mapeamento da corrente de polarização da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

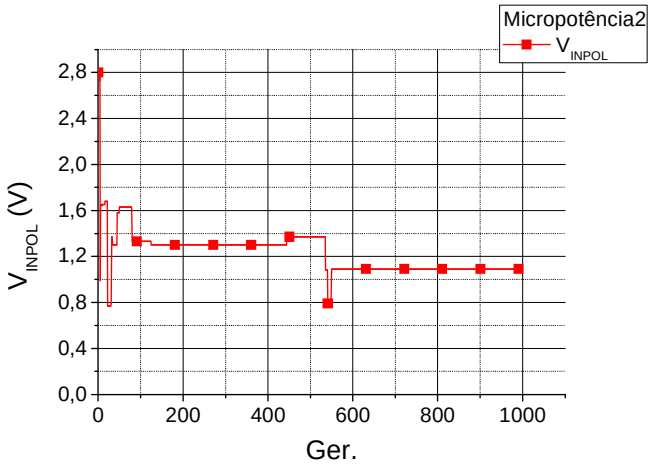


Figura 6.41 – Mapeamento da tensão de entrada de polarização da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

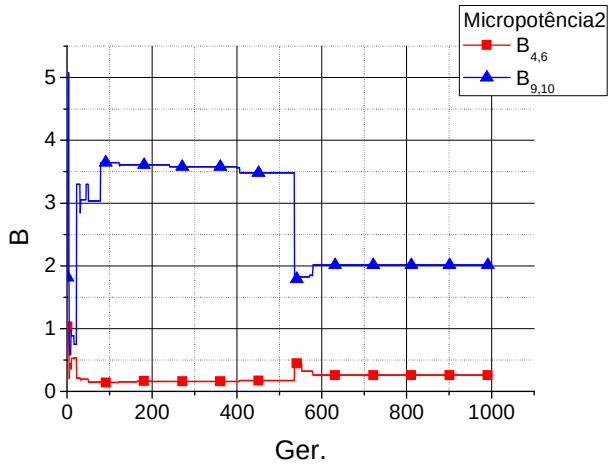


Figura 6.42 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

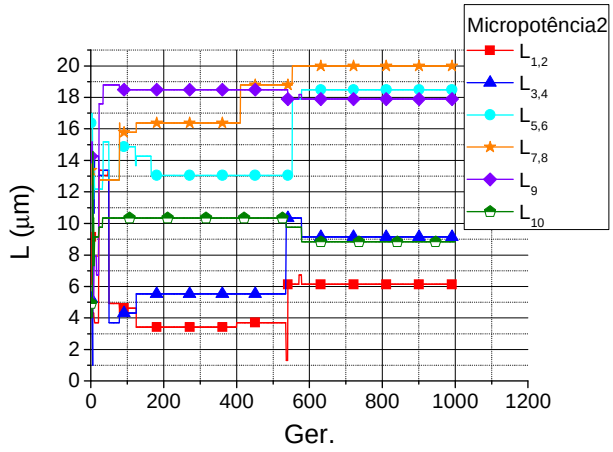


Figura 6.43 – Mapeamento dos comprimentos de canal da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

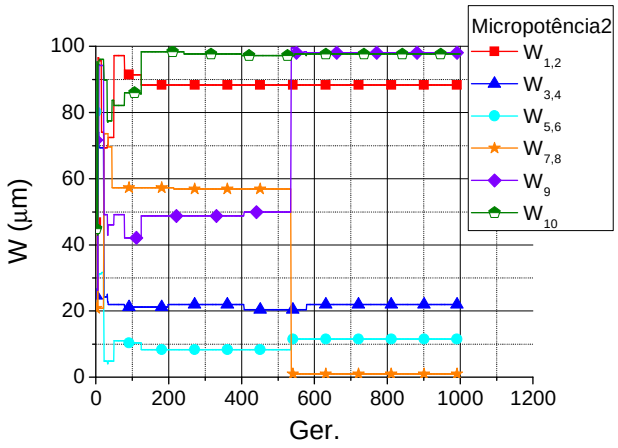


Figura 6.44 – Mapeamento das larguras de canal da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

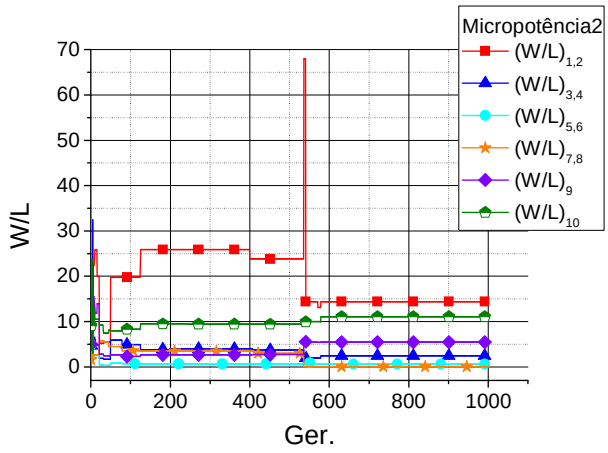


Figura 6.45 – Mapeamento das relações *W/L* da melhor solução do AGSPICE em função do número de gerações para o modo Micropotência2.

Da geração 535 para a geração 536, o par diferencial é polarizado na região de inversão fraca (Figura 6.70), fato que permite ampliar o valor do ganho de 54,67 dB para 60,90 dB (Figura 6.34). Embora o valor de I_{POL} tenha aumentado de 0,63 µA para 0,91 µA (Figura 6.40) a corrente do par diferencial $I_{DS1,2}$ diminui, pois o fator de ganho do espelho da fonte corrente do par diferencial, formado pelos transistores M9 e M10, ($B_{9,10}$) diminui de 3,48 para 1,85 (Figura 6.42), devido principalmente ao aumento de *W9* de 50 µm para 100 µm (Figura 6.44). Dessa forma, $I_{DS1,2}$ diminui de 1,10 µA para 0,84 µA, a corrente dos transistores de saída, $I_{DS5,6}$ diminui e P_{TOT} também diminui, de 10,22 µW para 10,01 µW (Figura 6.38). Verifica-se também que $W_{7,8}$ diminui de 56,91 µm para 1 µm (Figura 6.44), contribuindo para a redução da *AREA* (Figura 6.39) e para o aumento de V_{OUT} para um valor próximo de 1,5 V, ou seja, próximo de $V_{DD}/2$ (Figura 6.37). Para o ajuste de V_{OUT} próximo de $V_{DD}/2$ a razão de aspecto dos transistores de saída M7-M8 [$(W/L)_{7,8}$] é reduzida de forma significativa de 3,03 para 0,05 (Figura 6.45), a qual é proporcional à condutância de saída. Este processo induz o par M7-M8 ser polarizado em direção à região de inversão forte (Figura 6.71).

Da geração 535 para a geração 536, embora a corrente do par diferencial tenha diminuído, o fator de ganho dos espelhos pMOSFETs ($B_{4,6}$) aumenta de 0,17 para 0,45 (Figura 6.42) e o valor do parâmetro $(g_m/I_{DS})_{1,2}$ também aumenta, com a polarização do par diferencial na região de inversão fraca (Figura 6.70). Estes dois fatores contribuem para o valor de f_T saltar de 0,20 para 0,45 MHz (Figura 6.35), como mostra a equação (3.15). A margem de fase é aumentada de 65° para 72° (Figura 6.36). Devido à expressiva diminuição de $W_{7,8}$, a capacitância interna do nó 2 diminui e a frequência do terceiro polo (ω_{p2}) aumenta,

de acordo com a equação (3.18), assim a margem de fase aumenta, de acordo com equação (3.21).

Da geração 552 para a geração 553 os valores de *L6* e *L8* são aumentados para valores próximos de 20 µm (Figura 6.43), maximizando a tensão Early dos transistores de saída do OTA, ampliando o valor do ganho de 60,65 dB para 61,54 dB (Figura 6.34).

Para o modo HG, 15% das soluções obtidas para A_{V0}, ou seja, 3 das 20 soluções, apresentaram ganhos de tensão inferiores a 20% do valor objetivo de 65 dB. Quanto à potência total dissipada (P_{TOT}), 5 das 20 soluções obtidas (25%) apresentaram um consumo de potência superior a 20% do valor desejado de 100 µW. As demais especificações de projetos foram atendidas de forma adequada, por cada uma das 20 soluções obtidas pelo AGSPICE.

As Figuras de 6.46 a 6.51 mostram o monitoramento da evolução de todos os objetivos do projeto do OTA HG, durante o processo de busca do sistema evolucionário.

A Figura 6.46 mostra a curva do ganho de tensão (A_{V0}) da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual converge para valores em torno de 60 dB, próximo do valor máximo possibilitado pela topologia e tecnologia utilizados.

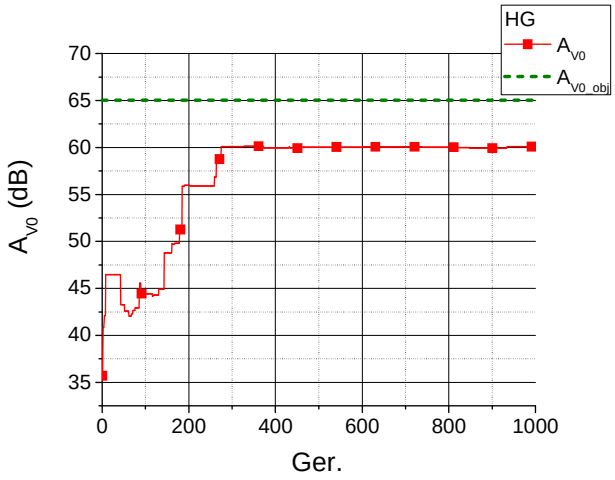


Figura 6.46 – Curva de A_{V0} da melhor solução do AGSPICE em função do número de gerações para o modo HG.

A Figura 6.47 mostra a curva da frequência de ganho unitário (f_T) da melhor solução obtida pelo AGSPICE em função do número de gerações, que converge para valores próximos do valor objetivo de 1,80 MHz.

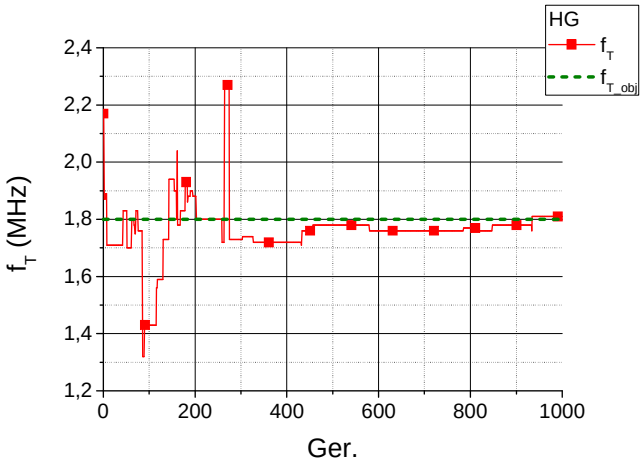


Figura 6.47 – Curva de f_T da melhor solução do AGSPICE em função do número de gerações para o modo HG.

A Figura 6.48 mostra a curva da margem de fase da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual converge em direção ao valor objetivo de 66 °.

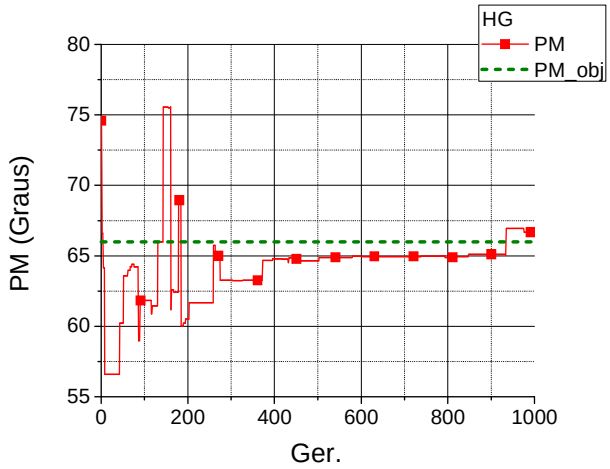


Figura 6.48 – Curva da margem de fase da melhor solução do AGSPICE em função do número de gerações para o modo HG.

A Figura 6.49 mostra a curva da tensão de saída DC (V_{OUT}) referente à melhor solução obtida pelo AGSPICE em função do número de gerações. Conforme pode-se observar, durante o processo de busca do AGSPICE, V_{OUT} converge exatamente para o valor objetivo de 1,50 V.

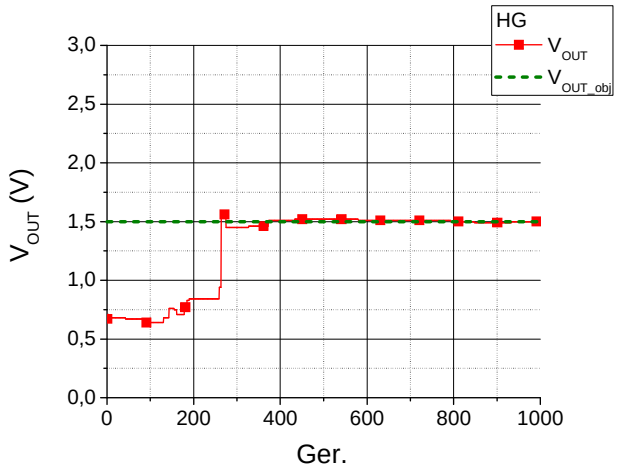


Figura 6.49 – Curva de V_{OUT} da melhor solução do AGSPICE em função do número de gerações para o modo HG.

A Figura 6.50 mostra a curva da potência dissipada da melhor solução obtida pelo AGSPICE em função do número de gerações. Observa-se que, em menos de 100 gerações esta curva converge em direção ao valor objetivo da potência dissipada em torno de 100 µW.

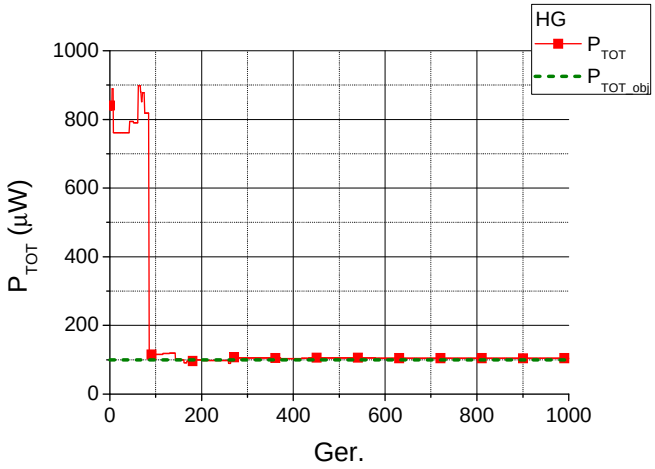


Figura 6.50 – Curva de P_{TOT} da melhor solução do AGSPICE em função do número de gerações para o modo HG.

A Figura 6.51 mostra a curva da *AREA* da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual caminha em direção à minimização, embora o peso atribuído a esse objetivo seja igual a zero. O valor da *AREA* resultante é significativamente menor que o valor objetivo de 96000 µm^2.

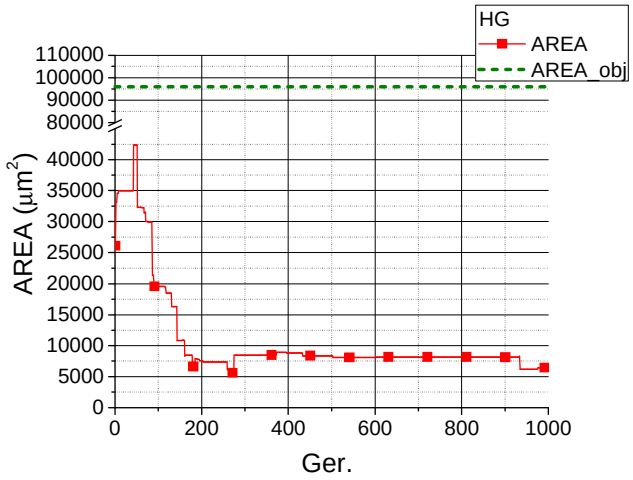


Figura 6.51 – Curva da *AREA* da melhor solução do AGSPICE em função do número de gerações para o modo HG.

As Figuras de 6.52 a 6.57 mostram o mapeamento do ponto de operação e das dimensões dos transistores do OTA para o modo de operação HG, durante o processo de busca do sistema evolucionário, correspondente à melhor solução obtida pelo AGSPICE.

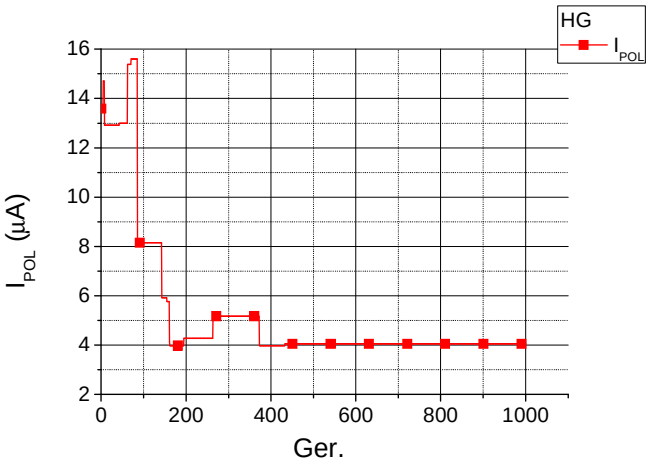


Figura 6.52 – Mapeamento da corrente de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HG.

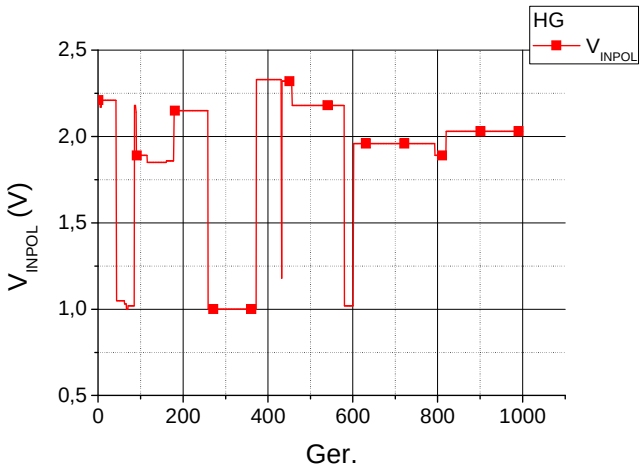


Figura 6.53 – Mapeamento da tensão de entrada de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HG.

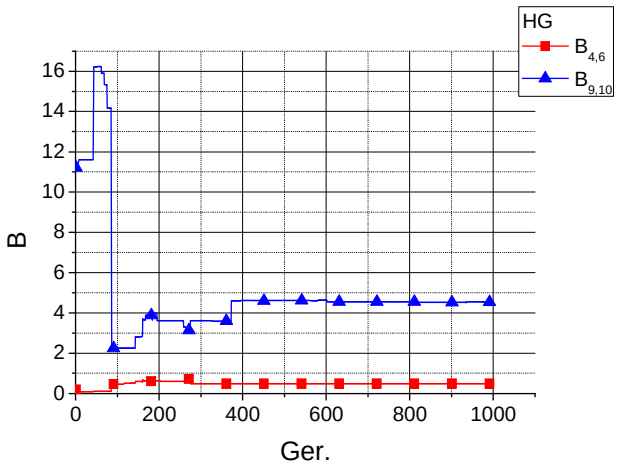


Figura 6.54 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), da melhor solução do AGSPICE em função do número de gerações para o modo HG.

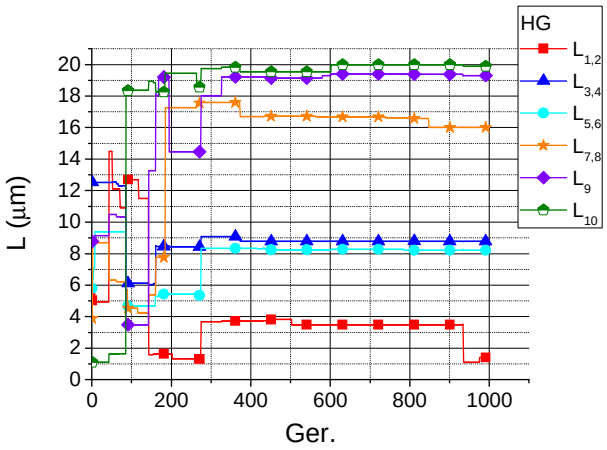


Figura 6.55 – Mapeamento dos comprimentos de canal da melhor solução do AGSPICE em função do número de gerações para o modo HG.

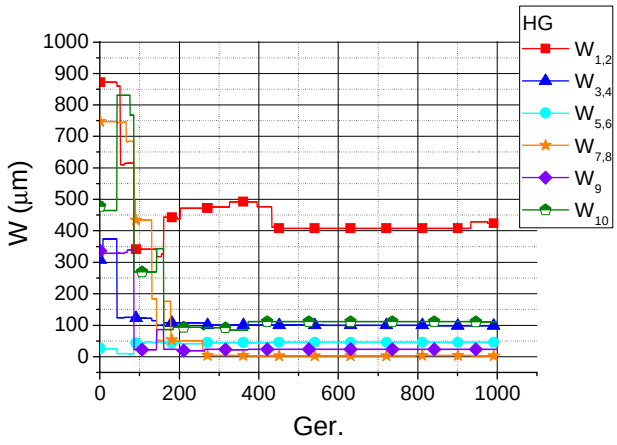


Figura 6.56 – Mapeamento das larguras de canal da melhor solução do AGSPICE em função do número de gerações para o modo HG.

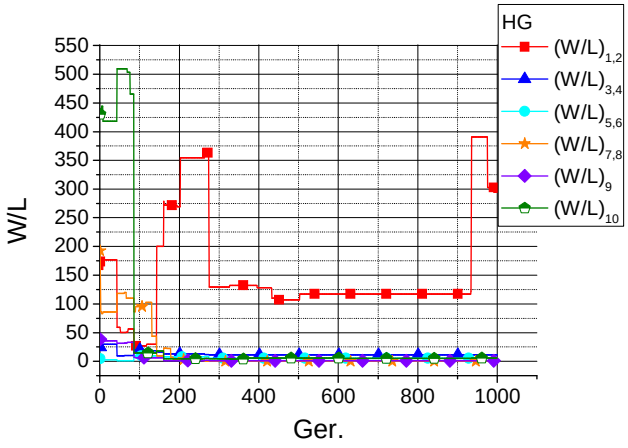


Figura 6.57 – Mapeamento das relações *W/L* da melhor solução do AGSPICE em função do número de gerações para o modo HG.

Da geração 263 para a geração 264, analogamente aos modos Micropotência1 e Micropotência2, verifica-se que $W_{7,8}$ diminui significativamente, de 19,44 µm para 3,82 µm (Figura 6.56), contribuindo para a redução da *AREA* (Figura 6.51) e para o aumento de V_{OUT} para um valor próximo de 1,5 V, ou seja, próximo de $V_{DD}/2$ (Figura 6.49). Para o ajuste de V_{OUT} próximo de $V_{DD}/2$ a razão de aspecto dos transistores de saída M7-M8 [$(W/L)_{7,8}$] é reduzida de forma significativa de 1,13 para 0,22 (Figura 6.57), a qual é proporcional à condutância de saída. Este processo induz o par M7-M8 ser polarizado em direção à região de inversão forte (Figura 6.71).

Segundo a equação (3.15), além do aumento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$), existem duas formas de aumentar o valor de f_T: aumentar o valor

de $(g_m/I_{DS})_{1,2}$ ou através do aumento da corrente do par diferencial, $I_{DS1,2}$. Porém, aumentar o valor de f_T através do aumento de $I_{DS1,2}$ implica no aumento do consumo de potência.

Da geração 934 para a geração 935, verifica-se que P_{TOT} permanece praticamente constante em torno do valor objetivo de 100 µW (Figura 6.50). Então o valor de f_T é levemente aumentado de 1,76 MHz para 1,81 MHz (Figura 6.47) através do aumento de $(g_m/I_{DS})_{1,2}$, polarizando o par diferencial (M1-M2) na região de inversão fraca (Figura 6.70), mantendo $I_{DS1,2}$ constante, de forma a manter o compromisso com a potência dissipada, visto que I_{POL} permanece constante (Figura 6.52), assim como o fator de ganho do espelho da fonte de corrente ($B_{9,10}$), formado pelos transistores M9 e M10, conforme pode ser observado na Figura 6.54, e aumentando significativamente o valor de $(W/L)_{1,2}$ de aproximadamente 125 para cerca de 400 (Figura 6.57). É importante notar que além do aumento de f_T, houve o aumento do valor da margem de fase (Figura 6.48) e a diminuição do valor da AREA (Figura 6.51). Isto foi possível porque o aumento de $(W/L)_{1,2}$ ocorre devido à grande redução de $L_{1,2}$. O valor de $W_{1,2}$ permanece constante em 430 µm (Figura 6.56), enquanto que o valor de $L_{1,2}$ diminui de 3,52 µm para 1,10 µm (Figura 6.55). A diminuição da área do par diferencial permite a diminuição do valor da capacitância interna *C1* do nó 1, elevando o valor do segundo polo (ω_{p1}), segundo a equação (3.16), e assim aumentando a margem de fase, como mostra a equação (3.21).

O modo HG apresenta altos valores de comprimento de canal para os transistores da fonte de corrente *L9* e *L10*, aproximadamente 20 µm (Figura 6.55). Isto é conveniente para a fonte de corrente, pois o efeito da diminuição do comprimento de canal na região de saturação com o aumento da tensão entre dreno e fonte (V_{DS}), (modulação do comprimento de canal) é menos pronunciado em transistores de canal longo, pois existe uma menor variação da corrente entre dreno e fonte com relação à tensão entre dreno e fonte.

Para o modo HF, 12 das 30 soluções apresentadas pelo AGSPICE atendem plenamente todos os objetivos de projeto, ou seja, 40% das soluções apresentadas atendem aos critérios de aceitação estabelecidos anteriormente.

As Figuras de 6.58 a 6.63 mostram o monitoramento da evolução de todos os objetivos do projeto do OTA HF, durante o processo de busca do sistema evolucionário.

A Figura 6.58 mostra a curva do ganho de tensão (A_{V0}) da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual converge para valores em torno de 38 dB, próximos do valor objetivo de 35 dB, embora o peso atribuído a este objetivo no AGSPICE seja igual a 1 %.

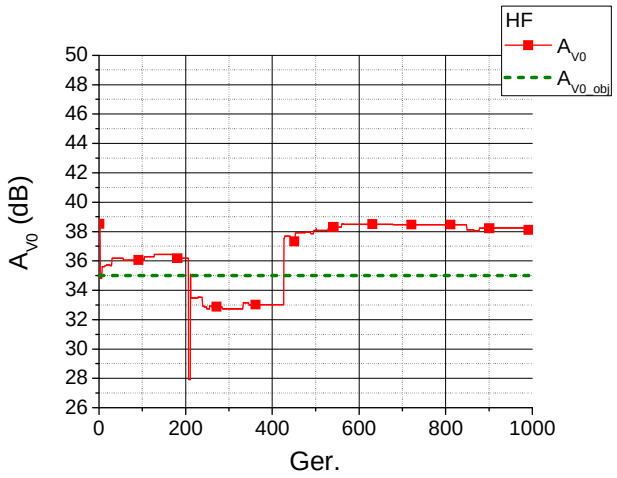


Figura 6.58 – Curva de A_{V0} da melhor solução do AGSPICE em função do número de gerações para o modo HF.

A Figura 6.59 mostra a curva da frequência de ganho unitário (f_T) da melhor solução obtida pelo AGSPICE em função do número de gerações, que converge para valores próximos do valor objetivo de 93 MHz.

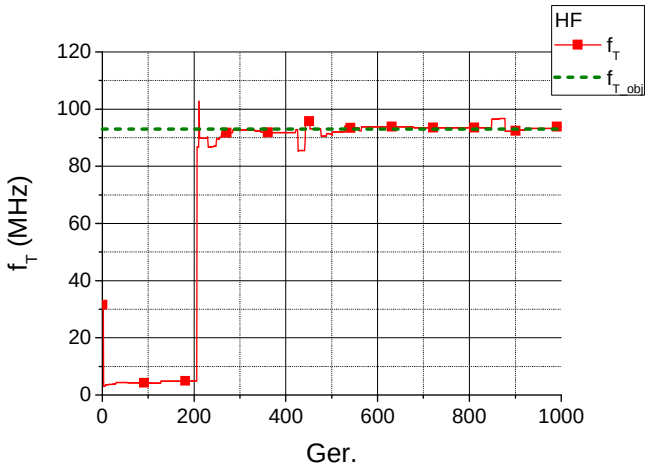


Figura 6.59 – Curva de f_T da melhor solução do AGSPICE em função do número de gerações para o modo HF.

A Figura 6.60 mostra a curva da margem de fase da melhor solução obtida pelo AGSPICE em função do número de gerações, a qual converge em direção ao valor objetivo de 55 °.

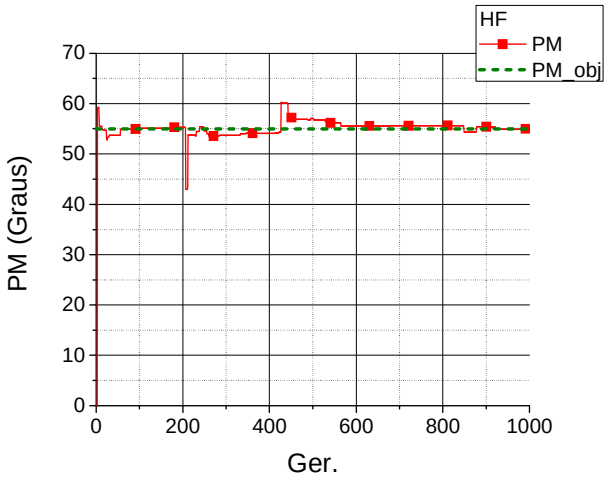


Figura 6.60 – Curva da margem de fase da melhor solução do AGSPICE em função do número de gerações para o modo HF.

A Figura 6.61 mostra a curva da tensão de saída DC (V_{OUT}) da melhor solução obtida pelo AGSPICE em função do número de gerações. Conforme pode-se observar, durante o processo de busca do AGSPICE, V_{OUT} converge exatamente para o valor objetivo de 2 V.

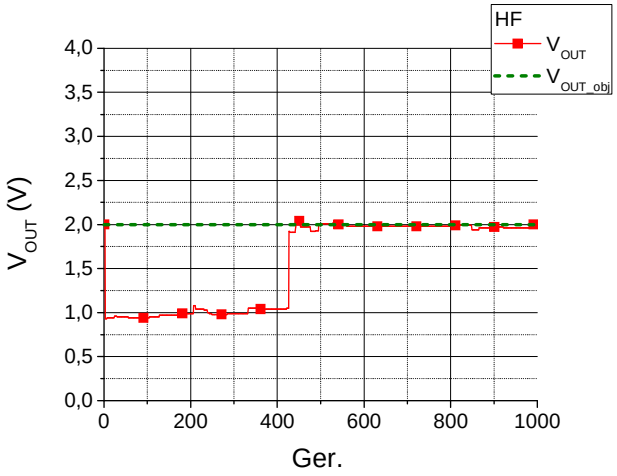


Figura 6.61 – Curva de V_{OUT} da melhor solução do AGSPICE em função do número de gerações para o modo HF.

A Figura 6.62 mostra a curva da potência dissipada da melhor solução obtida pelo AGSPICE em função do número de gerações. Observa-se que esta curva converge em direção ao valor objetivo da potência dissipada em torno de 29000 µW.

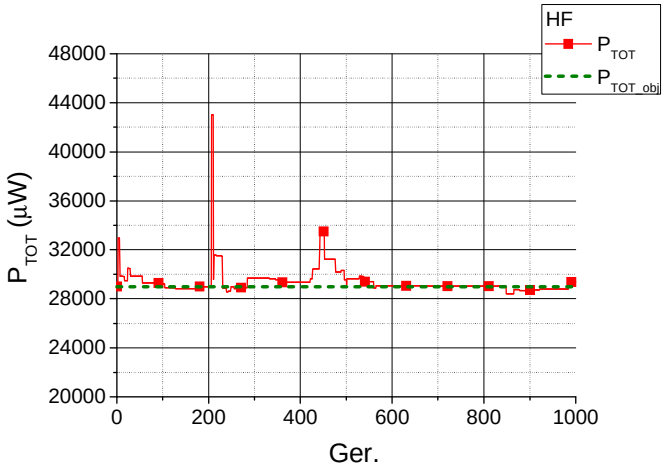


Figura 6.62 – Curva de P_{TOT} da melhor solução do AGSPICE em função do número de gerações para o modo HF.

A Figura 6.63 mostra a curva da *AREA* da melhor solução obtida pelo AGSPICE em função do número de gerações a qual caminha em direção à minimização, embora o peso atribuído a esse objetivo seja igual a zero. O valor da *AREA* resultante é significativamente menor que o valor objetivo de 82800 µm^2.

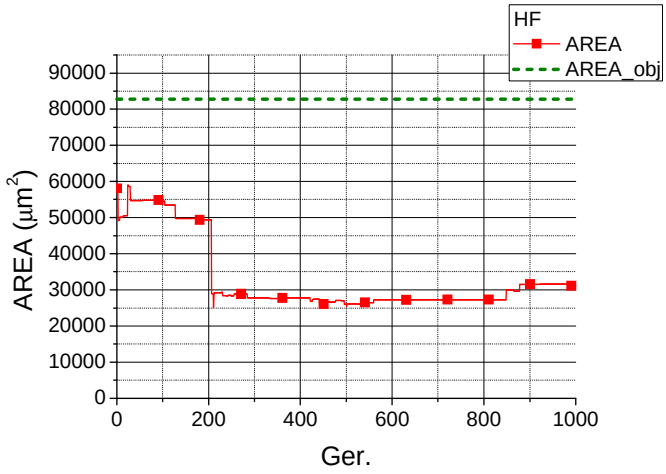


Figura 6.63 – Curva da *AREA* da melhor solução do AGSPICE em função do número de gerações para o modo HF.

As Figuras de 6.64 a 6.69 mostram o mapeamento do ponto de operação e das dimensões dos transistores do OTA para o modo de operação HF, durante o processo de busca do sistema evolucionário, correspondente à melhor solução obtida pelo AGSPICE.

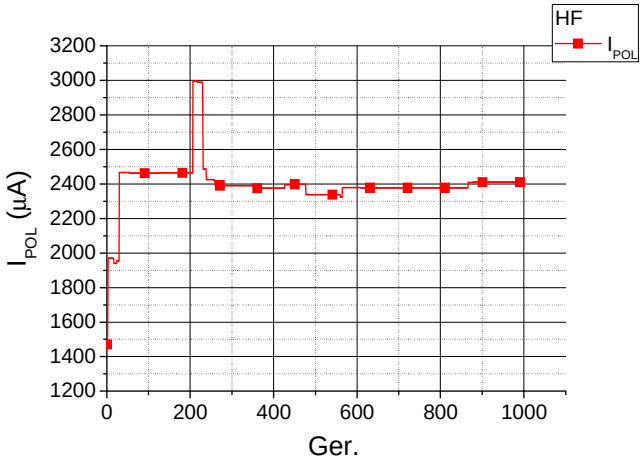


Figura 6.64 – Mapeamento da corrente de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HF.

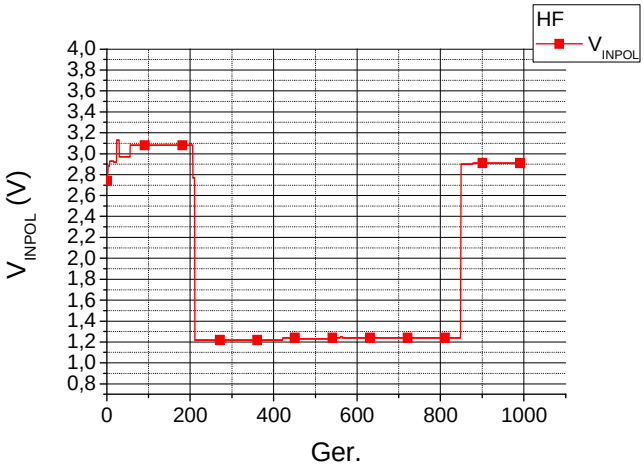


Figura 6.65 – Mapeamento da tensão de entrada de polarização da melhor solução do AGSPICE em função do número de gerações para o modo HF.

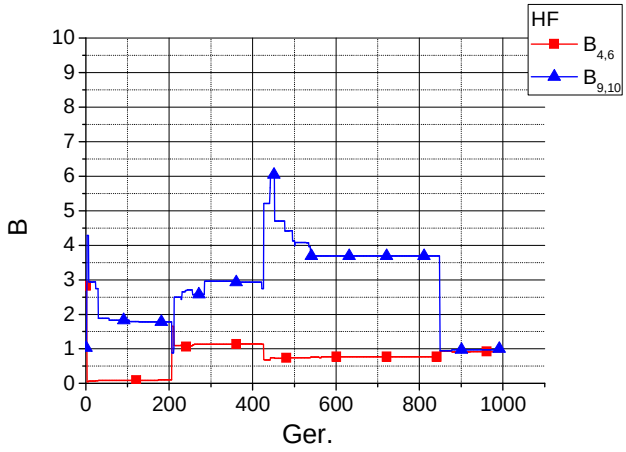


Figura 6.66 – Mapeamento do fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), da melhor solução do AGSPICE em função do número de gerações, para o modo HF.

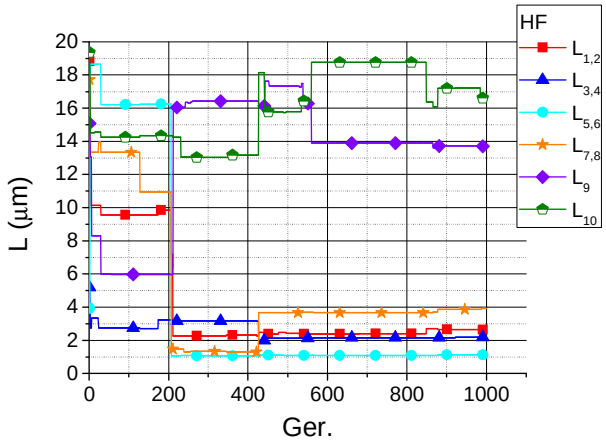


Figura 6.67 – Mapeamento dos comprimentos de canal da melhor solução do AGSPICE em função do número de gerações para o modo HF.

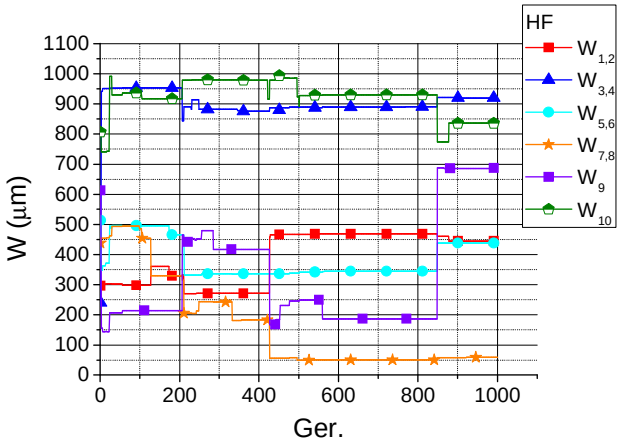


Figura 6.68 – Mapeamento das larguras de canal da melhor solução do AGSPICE em função do número de gerações para o modo HF.

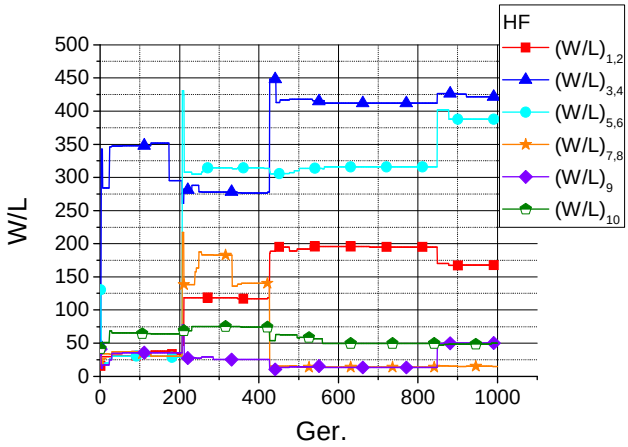


Figura 6.69 – Mapeamento das relações *W/L* da melhor solução do AGSPICE em função do número de gerações para o modo HF.

Da geração 206 para a geração 207, observa-se um aumento muito expressivo do valor de f_T, de 4,94 MHz para 86,75 MHz (Figura 6.59). O aumento expressivo do valor de f_T é devido ao aumento de $B_{4,6}$ de 0,1 para 1,65 (Figura 6.66) e também devido ao aumento de $(g_m/I_{DS})_{1,2}$, pois o par diferencial é polarizado da região de inversão forte em direção à região de inversão moderada (Figura 6.70), em concordância com a equação (3.15). Porém, o valor de $I_{DS1,2}$ diminui expressivamente, de 2192,61 µA para 1318,28 µA, uma vez que I_{POL} aumenta de 2463,61 para 2996,09, enquanto o valor de $B_{9,10}$ diminui de 1,78 para 0,88 (Figura 6.66). Como $I_{DS1,2}$ diminui e $(W/L)_{1,2}$ aumenta de 33,39 para 46,36 (Figura 6.69), resulta no par diferencial sendo polarizado da região de inversão forte em direção à região de inversão moderada. O ganho de tensão (A_{V0}) reduz de 36,17 para 27,91 dB (Figura 6.58), devido principalmente à redução de *L6*, de 16,25 µm para 1,08 µm, e *L8*, de 10,95 µm para 1,45 µm (Figura 6.67), ou seja, devido à redução da tensão Early dos transistores de saída M6 e M8 (V_{A6} e V_{A8}).

Da geração 206 para a geração 207, observa-se também uma expressiva redução da *AREA*, de 49394,68 µm^2 para 28971,55 µm^2 (Figura 6.63). Embora as capacitâncias internas dos nós 1 e 2 (Figura 3.1) diminuam, devido à redução da área dos transistores M2, M4 e M6 (conectados ao nó 1) e M5, M7 e M8 (conectados ao nó 2), a margem de fase também diminui, de 55,29 ° para 42,98 ° (Figura 6.60). Este resultado indica que o aumento da frequência do polo principal (ω_T) é superior ao aumento do segundo e terceiro polos (ω_{p1} e ω_{p2}, respectivamente), conforme mostra a equação (3.21).

Da geração 426 para a geração 427, analogamente aos outros modos analisados, verifica-se que $W_{7,8}$ diminui significativamente, de 182,61 µm para 55,79 µm (Figura 6.68) e $L_{7,8}$ aumenta de 1,30 µm para 3,67 µm contribuindo para o aumento de V_{OUT} para um valor próximo de 2,0 V, ou seja, próximo de $V_{DD}/2$ (Figura 6.61). Para o ajuste de V_{OUT} próximo de $V_{DD}/2$ a razão de aspecto dos transistores de saída M7-M8 [$(W/L)_{7,8}$] é reduzida de forma significativa de 140,47 para 15,20 (Figura 6.69), a qual é proporcional à condutância de saída. Este processo induz o par M7-M8 ser polarizado da região de inversão moderada para a região de inversão forte (Figura 6.71).

Ao final do processo de busca do AGSPICE (geração 1000), nota-se que o comprimento de canal *L10* do transistor de saída da fonte de corrente resulta maior que os comprimentos de canal dos demais transistores do circuito, com o valor de 16,61 µm (Figura 6.67). Este resultado é muito conveniente, pois quanto maior o valor de *L10*, menor a variação da corrente de saída (I_O), com relação à tensão entre dreno e fonte (V_{DS}) do transistor M10.

A Figura 6.70 mostra os regimes de inversão dos transistores do par diferencial (M1-M2) para todos os OTAs projetados. Observa-se que as curvas médias [Figura 6.70 (a)] seguem as mesmas tendências dos regimes de inversão das curvas das melhores soluções correspondentes [Figura 6.70 (b)], com exceção do OTA Micropotência2, pois enquanto na curva média o par diferencial tende a ser polarizado no centro da região de inversão moderada, na curva da melhor solução o par diferencial é polarizado na região de inversão moderada, próximo da região de inversão fraca. Nota-se também que as dispersões dos valores de $[I_{DS}/(W/L)]_{1,2}$ são relativamente pequenas ao final do processo de busca, considerando as variações dos regimes de inversão em torno dos valores médios, conforme mostra a Figura 6.70 (a).

A Figura 6.70 mostra que o regime de inversão do par diferencial de cada OTA projetado está relacionado principalmente com a potência dissipada (P_{TOT}), com o ganho de tensão (A_{V0}) e com a frequência de ganho unitário (f_T). O par diferencial do modo HF, inicialmente polarizado na região de inversão forte, é polarizado na região de inversão moderada, próxima da região de inversão forte devido ao melhor compromisso entre ganho de tensão, velocidade e potência dissipada. Embora o valor da potência dissipada pelo modo HG seja 10 vezes maior que a potência dissipada pelo modo Micropotência2, o par diferencial do modo HG tende a ser polarizado próximo à fronteira entre as regiões de inversão moderada e fraca, enquanto que para o modo Micropotência2 o par diferencial tende a ser polarizado entre o centro da região de inversão moderada e a região de inversão moderada próxima da região de inversão fraca, devido ao valor do ganho de tensão elevado desses OTAs. O par diferencial do modo Micropotência1 é polarizado na região de inversão fraca devido ao baixo consumo de potência, menor que os demais OTAs projetados, médio ganho de tensão, em relação ao demais OTAs, e baixo f_T, em relação aos modos HG e HF.

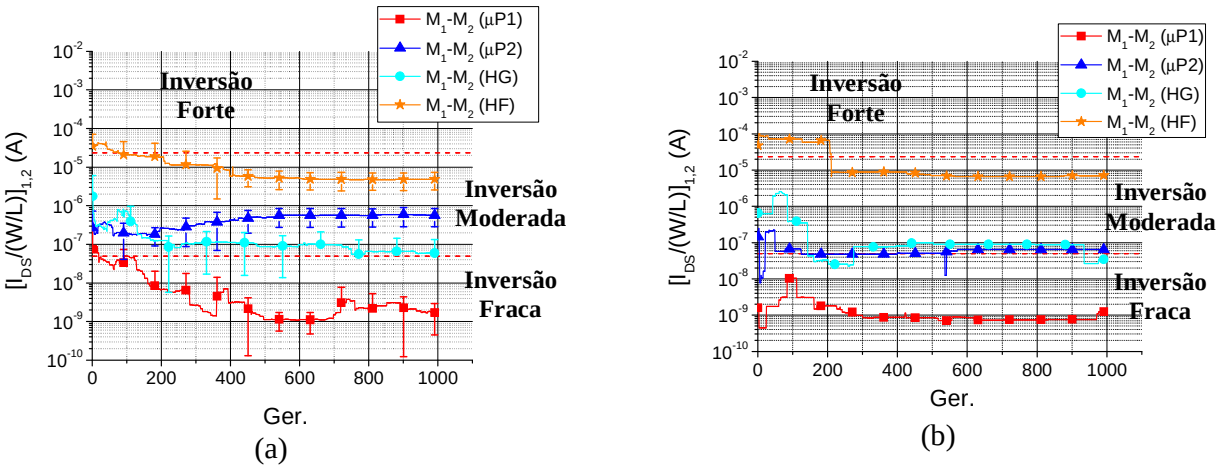


Figura 6.70 – Mapeamento de $I_{DS}/(W/L)$ do par diferencial (M1-M2) em função do número de gerações, com as regiões de inversão, para todos os modos de operação: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções do AGSPICE (b).

A Figura 6.71 mostra os regimes de inversão dos transistores do espelho de corrente nMOSFET do estágio de saída (M7-M8) para todos os OTAs projetados. Observa-se que as curvas médias [Figura 6.71 (a)] seguem as mesmas tendências dos regimes de inversão das curvas das melhores soluções correspondentes [Figura 6.71 (b)]. Nota-se também que as dispersões dos valores de $[I_{DS}/(W/L)]_{7,8}$ são muito pequenas ao final do processo de busca, considerando que as variações dos regimes de inversão em torno dos valores médios são praticamente imperceptíveis, conforme mostra a Figura 6.71 (a).

Observa-se na Figura 6.71 que para todos os modos analisados, Micropotência1, Micropotência2, HG e HF, o par M7-M8 converge em direção à região de inversão forte. Conforme observado anteriormente, este fato está diretamente relacionado ao ajuste de V_{OUT} igual a $V_{DD}/2$. Para que este objetivo seja alcançado, as condutâncias de saída de M6 e M8 devem ser semelhantes. Considerando que M6 e M8 estão em série, apresentam a mesma corrente entre dreno e fonte (I_{DS}). Como na tecnologia utilizada neste trabalho a mobilidade dos elétrons (μ_n) é 2,25 vezes maior que a mobilidade das lacunas (μ_p), o valor da transcondutância do processo do transistor nMOSFET é 2,25 vezes maior em relação à do pMOSFET, ou seja ($\mu_n.C_{ox}$ = 2,25 $\mu_p.C_{ox}$), e como o valor da sobre tensão aplicada à porta do transistor nMOSFET M8 (V_{GS8} - V_{thn}) também é maior em relação à do pMOSFET M6 (V_{GS6} - V_{thp}), sendo V_{GS8} e V_{GS6} a tensão entre a porta e a fonte dos transistores M8 e M6, respectivamente, considerando $V_{GS8} = V_{DD}/2$ e $V_{GS6} = V_{DD}/3$ e V_{thn} e V_{thp} a tensão de limiar dos nMOSFETs e pMOSFETs, respectivamente, considerando V_{thn} = 0,61 V e V_{thp} = -0,92 V, resulta que o valor da razão de aspecto do par M7-M8 [$(W/L)_{7,8}$] deve ser muito menor que o valor da razão de aspecto do par M5-M6 [$(W/L)_{5,6}$], de forma que o valor da corrente entre

dreno e fonte de M6 e M8 sejam iguais, conforme mostra a equação (2.5). Este fato resulta no par de transistores de saída M7-M8, de todos os modos analisados, serem polarizados em direção à região de inversão forte.

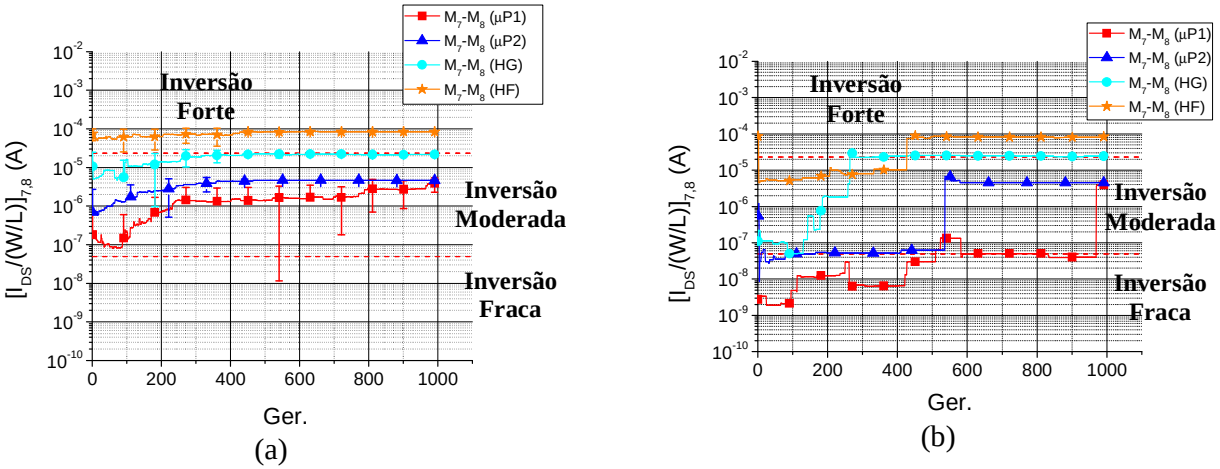


Figura 6.71 – Mapeamento de $I_{DS}/(W/L)$ do par M7-M8 em função do número de gerações, com as regiões de inversão, para todos os modos de operação: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções do AGSPICE (b).

A Figura 6.72 mostra os regimes de inversão dos transistores da fonte de corrente do par diferencial do OTA (M9 e M10) para todos os OTAs projetados. Observa-se que as curvas médias dos OTAs Micropotência1 e HF [Figura 6.72 (a)] seguem as mesmas tendências dos regimes de inversão das curvas das melhores soluções correspondentes [Figura 6.72 (b)]. No caso dos OTAs Micropotência2 e HG, embora as curvas médias não sigam as mesmas tendências das curvas das melhores soluções as curvas desses dois modos de operação estão localizadas na região de inversão moderada. Assim, observa-se que enquanto o par M9-M10 do modo Micropotência2 tende a ser polarizado entre o centro da região de inversão moderada e a região de inversão moderada próxima da região de inversão fraca, no modo HG tende a ser polarizado entre o centro da região de inversão moderada e a região de inversão moderada próxima da região de inversão forte. Nota-se também que as dispersões dos valores de $[I_{DS}/(W/L)]_9$ e $[I_{DS}/(W/L)]_{10}$ são relativamente pequenas ao final do processo de busca, considerando as variações dos regimes de inversão em torno dos valores médios, conforme mostra a Figura 6.72 (a).

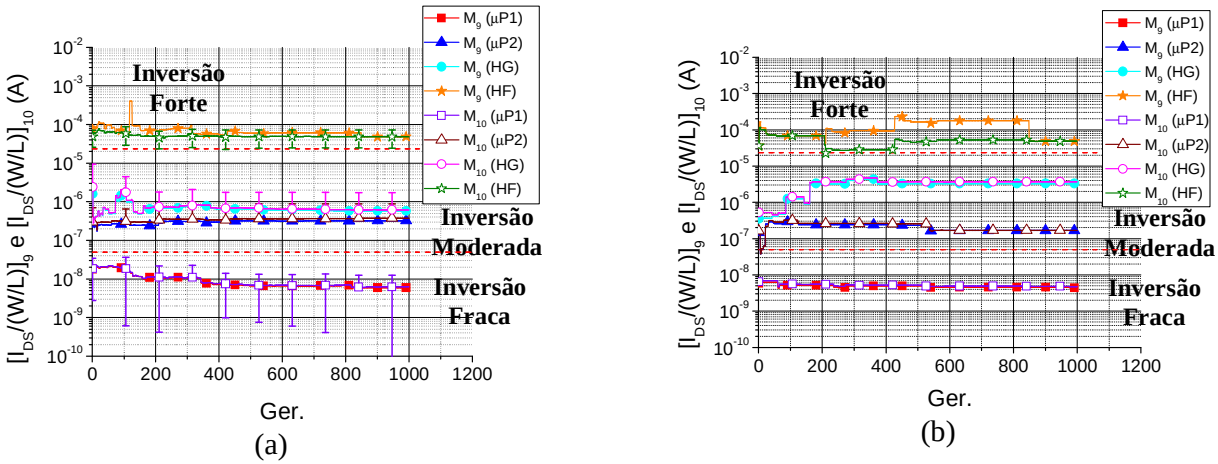


Figura 6.72 – Mapeamento de $I_{DS}/(W/L)$ dos transistores M9 e M10 em função do número de gerações, com as regiões de inversão, para todos os modos de operação: curvas médias das 10 melhores soluções (a) e curvas das melhores soluções do AGSPICE (b).

Através da Figura 6.72 confirma-se que a característica g_m/I_{DS} *x* $I_{DS}/(W/L)$ é independente das dimensões dos transistores, conforme também relatado em [18] e [14], pois os transistores M9 e M10 seguem a mesma linha de tendência da região de inversão, para todos os modos analisados, embora não sejam casados, ou seja, não possuam as mesmas dimensões *W* e *L*. Porém, a rigor, esta característica somente é válida na região de saturação, conforme mostram as curvas de M9 e M10 do modo HF. Na Figura 6.72 (b), da geração 1 até a geração 210 as curvas de M9 e M10 do modo HF praticamente coincidem, pois M9 e M10 estão operando na região de saturação. Da geração 211 até a geração 848 as curvas de M9 e M10 se distanciam, pois M10 se encontra na região de triodo. Após a geração 848, estas curvas voltam a se juntar, pois M9 e M10 estão operando na região de saturação.

Observa-se também uma grande correlação entre a região de inversão dos transistores M9 e M10 e a potência dissipada pelo circuito. Esses transistores no modo Micropotência1, o qual dissipa a menor potência, são polarizados na região de inversão fraca. No modo Micropotência2, o qual dissipa potência 2 vezes maior que o modo Micropotência1, estes transistores tendem a ser polarizados na região de inversão moderada, próximo da região de inversão fraca. No modo HG, o qual dissipa potência 10 vezes maior que o modo Micropotência2, estes transistores tendem a ser polarizados na região de inversão moderada, próximo da região de inversão forte. Finalmente, no modo HF, o qual dissipa potência 290 vezes maior que o modo HG, estes transistores são polarizados na região de inversão forte.

A Figura 6.73 mostra os regimes de inversão dos pMOSFETs, que formam dois espelhos de corrente semelhantes (M3-M5 e M4-M6), para todos os OTAs projetados. Observa-se que a curva média do OTA Micropotência1 [Figura 6.73 (a)] segue a mesma

tendência do regime de inversão da curva da melhor solução correspondente [Figura 6.73 (b)], ou seja, os pMOSFETs são polarizados na região de inversão fraca próxima da região de inversão moderada. Embora as curvas médias dos OTAs Micropotência2, HG e HF [Figura 6.73 (a)] não sigam as mesmas tendências dos regimes de inversão das curvas das melhores soluções correspondentes [Figura 6.73 (b)], verifica-se que as curvas médias seguem regiões de inversão próximas em relação às regiões de inversão das curvas das melhores soluções correspondentes, ou seja, os pMOSFETs são polarizados em regiões próximas nas curvas da Figura 6.73, itens (a) e (b). Nota-se também que as dispersões dos valores de $[I_{DS}/(W/L)]_{3,4}$ e $[I_{DS}/(W/L)]_{5,6}$ são relativamente pequenas ao final do processo de busca, considerando as variações dos regimes de inversão em torno dos valores médios, conforme mostra a Figura 6.73 (a).

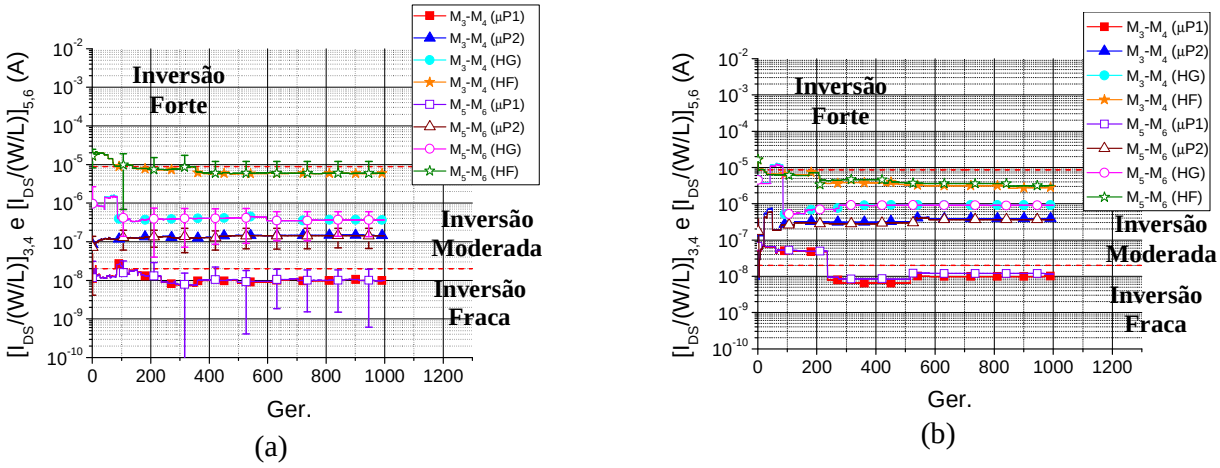


Figura 6.73 – Mapeamento de $I_{DS}/(W/L)$ dos pares pMOSFETs casados M3-M4 e M5-M6 em função do número de gerações, com as regiões de operação, para todos os modos de operação.

Através da Figura 6.73 também verifica-se a independência da região de inversão com as dimensões dos transistores, pois o par casado M3-M4 (transistores de carga do par diferencial) segue a mesma linha de tendência da região de inversão do par de transistores casados M5-M6 (transistores de saída pMOSFETs do OTA), para todos os modos analisados, embora o fator de ganho dos espelhos de corrente pMOSFETs formado por estes pares de transistores ($B_{4,6}$) não seja igual a 1, ou seja, $(W/L)_{5,6}$ é diferente de $(W/L)_{3,4}$. Verifica-se também nesta figura que o espelho de corrente pMOSFET formado pelos transistores M4 e M6, assim como o espelho pMOSFET formado pelos transistores M3 e M5 (devido à simetria do circuito), dos modos HG e Micropotência2, os quais apresentam alto ganho de tensão, tendem a ser polarizados no centro da região moderada. Estes espelhos pMOSFETs no modo

Micropotência1, o qual apresenta baixa potência dissipada em relação aos demais OTAs projetados, estão polarizados na região de inversão fraca, próxima da região de inversão moderada. No modo HF os pares pMOSFETs tendem a ser polarizados na região de inversão moderada, próxima da região de inversão forte.

Alguns dos resultados obtidos para os regimes de inversão dos transistores dos OTAs estão de acordo com a literatura [14], [18], [20], [24], [25], como por exemplo a tendência do par diferencial do modo HF ser polarizado próximo à região de inversão forte e próximo à região de inversão fraca no modo Micropotência1. Porém os resultados dos regimes de inversão dos demais transistores (espelhos e corrente pMOSFETs e nMOSFETs) ainda não são reportados na literatura e, devido à dificuldade do projeto manual, estes resultados dificilmente poderiam ser obtidos pelo projeto tradicional (manual).

A Tabela 6.27 mostra os valores da corrente entre dreno e fonte normalizada [$I_{DS}/(W/L)$] de todos os transistores do circuito de cada OTA projetado. A solução que alcançou o melhor desempenho dentre todas as rodadas em cada modo de operação está identificada pela coluna ***Melhor***. A coluna $\boldsymbol{\mu_S}$ apresenta o valor médio e a coluna $\boldsymbol{\sigma_S}$ apresenta o desvio padrão em porcentagem em relação à média das 10 melhores soluções apresentadas pelo AGSPICE ao final do processo de busca.

Os valores apresentados na Tabela 6.27 definem o regime de inversão de cada transistor do circuito do OTA.

Para determinar se um transistor está na região de inversão fraca, moderada ou forte, foi adotado critério descrito no item 2.2.5, que resulta nas interfaces definidas abaixo:

- Na interface entre as regiões de inversão fraca e moderada a corrente entre dreno e fonte normalizada [$I_{DS}/(W/L)$] é igual a $4{,}91\text{x}10^{-8}$ (A) para o transistor nMOSFET e $2{,}00\text{x}10^{-8}$ (A) para o transistor pMOSFET;
- Na interface entre as regiões de inversão moderada e forte a corrente entre dreno e fonte normalizada [$I_{DS}/(W/L)$] é igual a $2{,}32\text{x}10^{-5}$ (A) para o transistor nMOSFET e $8{,}75\text{x}10^{-6}$ (A) para o transistor pMOSFET.

Tabela 6.27 - Corrente entre dreno e fonte normalizada em função de *(W/L)* dos transistores dos OTAs Micropotência1, Micropotência2, HG e HF.

Transistor	Micropotência1			Micropotência2			HG			HF		
	$I_{DS}/(W/L)$ (A)			$I_{DS}/(W/L)$ (A)			$I_{DS}/(W/L)$ (A)			$I_{DS}/(W/L)$ (A)		
	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)
M_1, M_2	$1{,}2\times10^{-9}$	$1{,}7\times10^{-9}$	70,6	$6{,}4\times10^{-8}$	$5{,}7\times10^{-7}$	50,9	$3{,}5\times10^{-8}$	$5{,}9\times10^{-8}$	125,4	$7{,}2\times10^{-6}$	$4{,}9\times10^{-6}$	49,0
M_3, M_4	$1{,}0\times10^{-8}$	$1{,}0\times10^{-8}$	100,0	$3{,}9\times10^{-7}$	$1{,}5\times10^{-7}$	55,3	$9{,}2\times10^{-7}$	$3{,}7\times10^{-7}$	62,2	$2{,}9\times10^{-6}$	$5{,}9\times10^{-6}$	105,1
M_5, M_6	$1{,}1\times10^{-8}$	$1{,}0\times10^{-8}$	94,0	$3{,}7\times10^{-7}$	$1{,}4\times10^{-7}$	53,6	$9{,}1\times10^{-7}$	$3{,}7\times10^{-7}$	62,2	$3{,}2\times10^{-6}$	$6{,}0\times10^{-6}$	101,7
M_7, M_8	$4{,}0\times10^{-6}$	$3{,}9\times10^{-6}$	**43,6**	$4{,}5\times10^{-6}$	$4{,}6\times10^{-6}$	**2,6**	$2{,}4\times10^{-5}$	$2{,}2\times10^{-5}$	**10,9**	$8{,}4\times10^{-5}$	$8{,}5\times10^{-5}$	**2,7**
M_9	$4{,}4\times10^{-9}$	$6{,}0\times10^{-9}$	101,7	$1{,}7\times10^{-7}$	$3{,}2\times10^{-7}$	121,9	$3{,}3\times10^{-6}$	$5{,}7\times10^{-7}$	168,4	$4{,}8\times10^{-5}$	$4{,}8\times10^{-5}$	47,9
M_{10}	$4{,}7\times10^{-9}$	$6{,}2\times10^{-9}$	100,0	$1{,}7\times10^{-7}$	$3{,}7\times10^{-7}$	137,8	$3{,}7\times10^{-6}$	$6{,}1\times10^{-7}$	180,3	$4{,}8\times10^{-5}$	$4{,}9\times10^{-5}$	46,9

Os valores apresentados na Tabela 6.27 mostram que os desvios dos valores de [$I_{DS}/(W/L)$] de todos os transistores são altos em relação aos valores médios correspondentes, em todos os OTAs projetados. Os resultados reportados nesta tabela mostram também que o regime de inversão do par nMOSFET de saída M7-M8 é crítico, pois o desvio padrão do par M7-M8 é significativamente menor em relação aos desvios padrão dos demais transistores do circuito, em todos os modos de operação analisados. Assim, esses valores estão destacados em vermelho na tabela. Porém, conforme observado no mapeamento das regiões de inversão realizado anteriormente, as variações dos regimes de inversão em torno dos valores médios, de forma geral, não são muito significativas.

Verifica-se uma alta dependência das dimensões *W* e *L* dos transistores dos OTAs e dos valores de $B_{4,6}$ e $B_{9,10}$ com I_{POL} ($I_{DS1,2}$), porém as variações dos regimes de inversão de todos os transistores dos OTAs são menos significativas. Assim, o principal aspecto do projeto de CIs analógicos é na definição da região de inversão [$I_{DS}/(W/L)$] de cada transistor do circuito.

As melhores soluções obtidas no final do processo de busca do AGSPICE, junto com o mapeamento realizado durante este processo, possibilitam gerar um conjunto de recomendações de projeto que podem auxiliar o projetista em novos desenvolvimentos. Assim, no próximo item serão comentadas as principais recomendações de projeto obtidas.

6.7. Recomendações de projeto

Antes da apresentação das recomendações de projeto para os valores de W_x, L_x, I_{POL}, V_{INPOL} e as regiões de inversão dos transistores, serão apresentados os fatores de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente do par diferencial do OTA ($B_{9,10}$). O fator de ganho do espelho nMOSFET formado pelos transistores de saída M7 e M8 ($B_{7,8}$) é igual a 1, devido aos transistores M7 e M8 serem

casados. A apresentação desses resultados é conveniente, pois os resultados obtidos, para cada modo de operação do OTA, estão relacionados a estes fatores. A Tabela 6.28 mostra os valores dos fatores de ganho dos espelhos de corrente do circuito do OTA, em função de cada modo de operação desejado, onde a solução que alcançou o melhor desempenho dentre todas as rodadas em cada modo de operação está identificada pela coluna ***Melhor***, a coluna $\boldsymbol{\mu_S}$ apresenta o valor médio e a coluna $\boldsymbol{\sigma_S}$ apresenta o desvio padrão em porcentagem em relação à média das 10 melhores soluções apresentadas pelo AGSPICE ao final do processo de busca.

Tabela 6.28 - Fatores de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho nMOSFET da fonte de corrente ($B_{9,10}$), obtidos em função do modo de operação desejado.

Modo de operação	**$B_{4,6}$**			**$B_{9,10}$**		
	Melhor	**μ_S**	**σ_S (%)**	**Melhor**	**μ_S**	**σ_S (%)**
Micropotência1	5,46	4,01	**26,35**	4,32	5,04	117,29
Micropotência2	0,26	0,23	**15,50**	2,02	2,62	53,76
HG	0,50	0,73	**37,85**	4,50	1,94	59,32
HF	0,92	1,14	**41,16**	1,00	1,46	67,39

Devido à elevada dispersão das soluções de $B_{4,6}$ e $B_{9,10}$, conclui-se que existem diversas soluções que atendem os mesmos objetivos de projeto. Entretanto, a Tabela 6.28 mostra que o dimensionamento dos espelhos pMOSFETs é crítico, pois o número de soluções possíveis para o fator de ganho de corrente $B_{4,6}$ é muito menor em relação ao fator de ganho de corrente $B_{9,10}$, conforme discutido anteriormente. Dessa forma, a dispersão dos valores de $B_{4,6}$ (destacados em vermelho na tabela) são muito menores em relação aos valores correspondentes de $B_{9,10}$.

A Tabela 6.29 apresenta os valores recomendados para a corrente de polarização (I_{POL}) e tensão de polarização (V_{INPOL}) do circuito em função do modo de operação desejado, onde a melhor solução em cada modo de operação está identificada pela coluna ***Melhor***, a coluna $\boldsymbol{\mu_S}$ apresenta o valor médio e a coluna $\boldsymbol{\sigma_S}$ apresenta o desvio padrão em porcentagem em relação à média das 10 melhores soluções apresentadas pelo AGSPICE ao final do processo de busca.

O valor da corrente de polarização (I_{POL}) está diretamente ligado ao consumo de potência do circuito. Assim, os valores recomendados para este parâmetro devem estar em concordância com os valores de potência dissipada estabelecidos como objetivo. A Tabela 6.29 mostra os valores recomendados para a corrente de polarização, que podem ser baseados ou nas melhores soluções (coluna ***Melhor***) ou na faixa de valores em torno do valor médio dada por $\mu_S \pm \sigma_S$.

Tabela 6.29 - Corrente de polarização (I_{POL}) e tensão de polarização (V_{INPOL}) do circuito em função do modo de operação desejado.

Modo de operação	P_{TOT} (µW)			I_{POL} (µA)			V_{INPOL} (V)			V_{DD} (V)
	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	
Micropotência1	5,13	5,50	**4,41**	0,06	0,16	92,41	1,48	1,30	28,17	2,50
Micropotência2	9,66	10,16	**5,76**	0,91	0,82	26,11	1,09	2,09	25,81	3,00
HG	104,04	102,58	**3,73**	4,05	9,08	35,32	2,03	1,44	41,86	3,00
HF	29376,56	29349,98	**1,88**	2409,87	2047,29	29,76	2,91	2,75	17,52	4,00

O valor do parâmetro V_{INPOL} (tensão de entrada em modo comum) deve ser adotado de forma que todos os transistores do circuito operem na região de saturação, especialmente o transistor M10 da fonte de corrente. Dessa forma, podem ser adotados valores menores, maiores ou em torno de $V_{DD}/2$ para este parâmetro, de forma a garantir esta condição, com o objetivo de obter os valores de A_{V0} e a excursão do sinal de saída desejados [10].

Verifica-se que todas as especificações de projeto são atendidas com pequena dispersão, tal como os valores de P_{TOT} destacados em vermelho na Tabela 6.29. Porém, os valores altos da dispersão de I_{POL} e V_{INPOL} indicam que é possível uma grande variedade de soluções que atendem satisfatoriamente todos os objetivos de projeto.

A Tabela 6.30 mostra as dimensões dos transistores dos OTAs em função do modo de operação desejado, onde a melhor solução em cada modo de operação está identificada pela coluna ***Melhor***, a coluna $\boldsymbol{\mu_S}$ apresenta o valor médio e a coluna $\boldsymbol{\sigma_S}$ apresenta o desvio padrão em porcentagem em relação à média das 10 melhores soluções apresentadas pelo AGSPICE ao final do processo de busca.

Tabela 6.30 - Dimensões dos transistores dos OTAs Micropotência1 e Micropotência2 (a), HG e HF (b).

(a)

Transistor	Micropotência1									Micropotência2								
	W (µm)			L (µm)			W/L			W (µm)			L (µm)			W/L		
	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)
M_1, M_2	209,6	312,7	58,72	1,9	2,2	50,86	112,67	161,7	67,11	88,4	36,8	71,31	6,1	14,3	45,02	14,4	4,0	145,04
M_3, M_4	33,3	106,3	61,86	2,4	3,3	59,48	13,7	48,0	78,24	22,0	57,4	29,23	9,1	8,2	66,67	2,4	9,2	46,02
M_5, M_6	77,9	183,1	59,16	1,0	1,2	**31,33**	74,9	163,4	63,59	11,5	36,4	46,88	18,5	18,3	**8,43**	0,6	2,0	44,45
M_7, M_8	1,4	1,3	**21,22**	6,5	6,7	65,66	0,2	0,2	**37,80**	1,0	1,0	**0,00**	20,0	19,9	**0,73**	0,1	0,1	**0,00**
M_9	146,7	339,9	67,07	10,7	10,8	40,92	13,7	49,3	120,94	98,1	59,4	39,24	17,9	15,4	18,64	5,5	4,0	44,56
M_{10}	621,2	613,5	41,74	10,5	7,0	50,96	59,2	136,5	90,16	97,7	75,5	34,61	8,8	8,8	34,04	11,1	10,2	58,81

(b)

Transistor	HG									HF								
	W (µm)			L (µm)			W/L			W (µm)			L (µm)			W/L		
	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)	Melhor	μ_S	σ_S (%)
M_1, M_2	423,7	460,7	57,96	1,4	2,1	73,68	294,3	315,6	78,19	444,7	511,2	51,07	2,7	1,7	44,45	167,8	333,4	58,44
M_3, M_4	99,2	157,0	45,16	8,8	6,5	38,92	11,2	29,4	74,20	919,4	559,9	53,98	2,2	1,7	45,39	421,8	372,6	58,63
M_5, M_6	45,6	104,6	59,18	8,2	5,9	**38,32**	5,6	22,3	95,88	438,0	505,6	40,85	1,1	1,5	**31,50**	387,6	403,5	58,66
M_7, M_8	3,3	2,9	**30,63**	16,0	12,7	**33,24**	0,2	0,2	**11,63**	58,6	171,9	85,02	3,9	9,6	73,07	14,9	16,2	**17,99**
M_9	23,8	449,9	58,53	19,2	12,3	41,15	1,2	50,3	83,94	686,7	548,4	48,95	13,7	11,6	55,20	50,1	53,0	65,35
M_{10}	111,2	445,5	70,25	19,9	8,3	70,43	5,6	79,5	96,74	836,0	617,3	51,06	16,6	10,9	54,18	50,3	64,0	54,30

Devido à elevada dispersão das dimensões *W* e *L* de todos os transistores do circuito do OTA, observada em todos os modos de operação, conclui-se que existem diversas possibilidades para o dimensionamento dos transistores do OTA. Porém, a Tabela 6.30 mostra que o dimensionamento do par nMOSFET de saída M7-M8, assim como o dimensionamento comprimento de canal do par pMOSFET de saída M5-M6 são críticos, pois apresentam desvios padrão menores em relação aos demais transistores do circuito. Os valores críticos estão destacados em vermelho na Tabela 6.30.

Através da Tabela 6.30 é possível verificar a proporcionalidade dos comprimentos de canal *L6* e *L8* dos transistores de saída do OTA, M6 e M8, com os valores de ganhos de tensão. Os modos Micropotência2 e HG que possuem os maiores valores de ganho de tensão objetivo, entre todos os modos aqui investigados, obtiveram comprimentos de canal *L6* e *L8*, para os transistores M6 e M8, maiores que os modos de operação Micropotência1 e HF, devido à maximização da tensão Early (V_A) desses transistores, em concordância com a equação (3.14). Isto ocorre devido aos valores elevados de ganho de tensão estabelecidos para os modos Micropotência2 e HG, maiores que os valores de ganho de tensão estabelecidos para os modos Micropotência1 e HF. Estes resultados, baseados nos valores médios de *L6* e *L8*, estão resumidos na Tabela 6.31. Nesta tabela observa-se que a tensão Early equivalente (V_{AEQ}) dos transistores de saída (M6-M8) do modo HF é maior que V_{AEQ} do modo Micropotência1, embora apresente menor A_{V0}. Esta é uma forma de compensar o baixo valor de $(g_m/I_{DS})_{1,2}$, devido ao par diferencial estar polarizado na região de inversão forte.

Os valores das tensões Early foram obtidos através das curvas V_A *x* L dos nMOSFETs e pMOSFETs, apresentadas no item 2.2.6. Para estimativa da tensão Early do transistor M6 (V_{A6}), o valor da tensão entre a porta e a fonte do transistor M6 (V_{GS6}) é considerada igual a $-V_{DD}/3$. Este valor é apenas uma aproximação, uma vez que este valor de V_{GS6} pode diferir ligeiramente do valor real, dependendo da solução do projeto. Para estimativa da tensão Early do transistor M8 (V_{A8}) o valor da tensão entre a porta e a fonte do transistor M8 (V_{GS8}) é

considerada igual a $V_{DD}/2$. Esta aproximação é muito próxima do valor real, pois, devido à simetria do circuito, o valor de V_{GS8} é sempre igual a V_{OUT}.

Tabela 6.31 - Verificação da proporcionalidade de *L6* e *L8* com o ganho de tensão (A_{V0}).

Modo	A_{V0_obj} (dB)	L6 (µm)	L8 (µm)	V_{AEQ} (V)
Micropotência1	44,00	1,24	6,68	8,67
Micropotência2	80,00	18,25	19,91	57,61
HG	65,00	5,91	12,68	29,37
HF	35,00	1,48	9,58	26,17

Na Tabela 6.30 (a) observa-se que o modo de operação Micropotência1 tende a apresentar os valores de $L_{3,4}$ e $L_{5,6}$ menores que os demais modos analisados e apresentam os valores das razões de aspecto $(W/L)_{3,4}$ e $(W/L)_{5,6}$ relativamente altos em comparação com os modos Micropotência2 e HG. Estes fatores estão relacionados à obtenção de valores baixos para a área dos transistores M4 e M6, assim como à polarização dos espelhos pMOSFETs na região de inversão fraca, especialmente o transistor M4. Conforme visto anteriormente, a redução dessas capacitâncias intrínsecas do circuito do OTA, assim como a elevação do valor da transcondutância do transistor M4 (g_{m4}) permitem um significativo aumento da margem de fase e podem levar à redução do valor da *AREA*.

Pela Tabela 6.30, itens (a) e (b), pode-se observar que, nos modos de operação que apresentam os maiores valores de A_{V0} (OTAs Micropotência2 e HG), os valores para os comprimentos de canal dos transistores de saída (*L6* e *L8*), tanto das soluções médias como das melhores soluções, são maiores do que para os modos de operação que apresentam menores valores de A_{V0} (OTAs Micropotência1 e HF). Dessa forma, deve-se adotar os comprimentos de canal dos transistores de saída (*L6* e *L8*) do OTA tão altos quanto possível, com o objetivo de obter alto ganho de tensão (A_{V0}), pois quanto maiores são os comprimentos de canal dos transistores de saída do OTA, maiores os valores correspondentes das resistências de saída e das tensões Early (V_{A6} e V_{A8}).

Pode-se observar também que o modo HG tende a apresentar o valor da largura de canal do par diferencial ($W_{1,2}$) e a razão de aspecto $(W/L)_{1,2}$ significativamente maiores que os modos Micropotência1 e Micropotência2, devido à necessidade de polarização do par diferencial na região de inversão fraca, com o objetivo de alcançar alto ganho de tensão (A_{V0}), embora o valor do ganho objetivo do modo HG (65 dB) seja menor que o valor do ganho objetivo do modo Micropotência2 (80 dB). Isto ocorre porque além da necessidade de alcançar alto ganho de tensão, que requer a polarização do par diferencial na região de

inversão fraca, também existe a necessidade de obter um valor moderado para a frequência de operação do circuito do OTA HG, significativamente maior que no modo Micropotência2, o que implica em maior potência dissipada e maior corrente do par diferencial ($I_{DS1,2}$), em relação ao modo Micropotência2. Dessa forma, a corrente normalizada do par diferencial [$(I_{DS}/(W/L))_{1,2}$] na região de inversão fraca requer alto valor para $W_{1,2}$ e $(W/L)_{1,2}$, devido ao alto valor de $I_{DS1,2}$.

No modo de operação HG, pode-se observar também que o valor do comprimento de canal do par diferencial $L_{1,2}$ tende a apresentar dimensões próximas do valor mínimo estabelecido para o processo de busca do AGSPICE, sendo o valor médio igual a 2,1 µm e a dimensão mínima do comprimento de canal limitada em 1,0 µm. Utilizar valores baixos de comprimento de canal para o par diferencial ($L_{1,2}$), em vez de utilizar valores altos para a largura de canal ($W_{1,2}$), com o objetivo de obter valores altos para a razão de aspecto [$(W/L)_{1,2}$], permite aumentar a margem de fase, devido à redução da área e das capacitâncias intrínsecas associadas ao par diferencial.

Na Tabela 6.30, nota-se que as melhores soluções dos modos HG e HF para os valores do comprimento de canal *L10* do transistor de saída da fonte de corrente do par diferencial (M10) são altos, ou seja, próximos de 20 µm. Este resultado é muito conveniente, pois quanto maior o valor de *L10*, menor a variação da corrente de saída (I_O), com relação à tensão entre dreno e fonte (V_{DS}) do transistor M10. Na região de saturação o aumento linear da corrente I_{DS} com o aumento de V_{DS} (vide Figura 2.13) é devido à resistência de saída do transistor, dada pela equação (2.22), ou seja, a resistência de saída é diretamente proporcional à tensão Early do transistor (V_A). Assim, quanto maior o comprimento de canal, maior a tensão Early correspondente, maior a resistência de saída e menor a variação da corrente de dreno com relação à tensão de dreno. Esta consideração é muito importante, pois a corrente que polariza o par diferencial deve se manter constante apesar das variações da tensão de dreno do transistor M10.

O mapeamento das variáveis de entrada realizado anteriormente mostra que o espelho de corrente nMOSFET formado pelos transistores M7 e M8 devem operar em direção à região de inversão forte, com o objetivo de alcançar o valor de V_{OUT} estabelecido como objetivo de projeto. Dessa forma, todos os modos analisados tendem a apresentar baixos valores para a largura de canal do par M7-M8 ($W_{7,8}$), com o objetivo de obter baixos valores para as razões de aspecto $(W/L)_{7,8}$, de forma a alcançar o valor de V_{OUT} próximo de $V_{DD}/2$, conforme observa-se na Tabela 6.30. Este processo induz o par M7-M8 ser polarizado em direção à

região de inversão forte e pode contribuir para a redução da *AREA* e aumento da margem de fase, conforme observado no item anterior.

Baseado nas curvas médias e na curva da melhor solução de $I_{DS}/(W/L)$ de todos os transistores do circuito, obtidas pelo AGSPICE no item anterior (item 6.6), a Tabela 6.32 resume os regimes de inversão do canal dos transistores do circuito em função do modo de operação desejado.

Tabela 6.32 - Regimes de inversão do canal dos transistores em função do modo de operação desejado.

Modo de operação	**Regimes de inversão do canal dos transistores**			
	Par diferencial M1-M2	**Espelho nMOSFET M7-M8**	**Espelho da fonte de corrente M9-M10**	**Espelhos pMOSFETs M3-M5 e M4-M6**
Micropotência1	Região de inversão Fraca	Região de inversão Moderada próxima do Centro para próxima da Forte	Região de inversão Fraca	Região de inversão Fraca para próxima da Moderada
Micropotência2	Início para o centro da região de inversão Moderada	Região de inversão Moderada próxima do Centro para próxima da Forte	Região de inversão Moderada próxima da Fraca para próxima do Centro	Região de inversão Moderada próxima da Fraca para o Centro
HG	Final da região de inversão Fraca para início da Moderada	Final da região de inversão Moderada para início da Forte	Centro da região de inversão Moderada para próxima da Forte	Centro da Região de inversão Moderada
HF	Região de inversão Moderada próxima do Centro para próxima da Forte	Região de inversão Forte	Região de inversão Forte próxima da Moderada	Final da região de inversão Moderada para início da Forte

O par diferencial do modo Micropotência1 é polarizado na região de inversão fraca devido ao baixo consumo de potência, menor que os demais OTAs projetados, médio ganho de tensão, em relação ao demais OTAs, e baixo f_T, em relação aos modos HG e HF. Embora o valor da potência dissipada pelo modo HG seja 10 vezes maior que a potência dissipada pelo modo Micropotência2, o par diferencial do modo HG tende a ser polarizado próximo à fronteira entre as regiões de inversão moderada e fraca, enquanto que para o modo Micropotência2 o par diferencial tende a ser polarizado entre o início e o centro da região de inversão moderada, devido ao valor do ganho de tensão elevado desses OTAs, pois

polarizando o par diferencial na região de inversão fraca é possível obter alto valor para o parâmetro $(g_m/I_{DS})_{1,2}$, e consequentemente alcançar alto ganho de tensão, conforme mostra a equação (3.14). O par diferencial do modo HF é polarizado na região de inversão moderada, próxima da região de inversão forte devido ao melhor compromisso entre ganho de tensão, velocidade e potência dissipada.

Observa-se que para todos os modos analisados, Micropotência1, Micropotência2, HG e HF, os transistores do espelho de corrente nMOSFET (M7-M8) convergem em direção à região de inversão forte. Conforme observado anteriormente, este resultado é decorrente do ajuste do valor de V_{OUT} próximo de $V_{DD}/2$. Além disso, é conveniente o espelho de corrente operar na região de inversão forte por motivo de casamento e ruído [18].

A região de inversão dos transistores da fonte de corrente do par diferencial do OTA, formado pelo par M9-M10, apresenta forte correlação com a potência dissipada pelo circuito. Esses transistores no modo Micropotência1, o qual dissipa a menor potência, são polarizados na região de inversão fraca. No modo Micropotência2, o qual dissipa potência 2 vezes maior que o modo Micropotência1, estes transistores tendem a ser polarizados na região de inversão moderada, próxima da região de inversão fraca. No modo HG, o qual dissipa potência 10 vezes maior que o modo Micropotência2, estes transistores tendem a ser polarizados na região de inversão moderada, próxima da região de inversão forte. Finalmente, no modo HF, o qual dissipa potência 290 vezes maior que o modo HG, estes transistores são polarizados na região de inversão forte.

Verifica-se que os espelhos de corrente pMOSFETs (M3-M5 e M4-M6), dos modos HG e Micropotência2, os quais apresentam alto ganho de tensão, tendem a ser polarizados no centro da região moderada. Estes espelhos pMOSFETs no modo Micropotência1, o qual apresenta baixa potência dissipada em relação aos demais OTAs projetados, estão polarizados na região de inversão fraca, próxima da região de inversão moderada. No modo HF os pares pMOSFETs tendem a ser polarizados na região de inversão moderada, próxima da região de inversão forte.

Para facilitar a visualização da correlação dos fatores geométricos (W/L) e das regiões de inversão [I_{DSn}, equivalente a $I_{DS}/(W/L)$] de todos os transistores do circuito, utiliza-se neste trabalho o coeficiente de correlação ($\rho_{X,Y}$) com o objetivo de dar subsídios ao projetista para um ajuste fino para alcançar alguns objetivos de projeto mais facilmente mostrando a correlação entre as dimensões (W/L), assim como a correlação entre os regimes de inversão [$I_{DS}/(W/L)$] de todos os transistores do OTA. Este coeficiente é definido como a razão da

covariância pelo produto dos desvios padrão de dois conjuntos de dados, designados por *X* e *Y*, conforme mostra a equação (6.1):

$$\rho_{X,Y} = \frac{Cov(X,Y)}{\sigma_X . \sigma_Y}, \tag{6.1}$$

onde *X* e *Y* representam dois conjuntos de dados que se deseja obter uma correlação, σ_X e σ_Y são os desvios padrão dos conjuntos *X* e *Y*, respectivamente. A covariância dos conjuntos *X* e *Y* [*Cov(X,Y)*] é definida como a média dos produtos dos desvios em relação à média para cada par de pontos de dados, conforme a equação (6.2):

$$Cov(X,Y) = \frac{1}{N_{Am}} \sum_{i=1}^{N_{Am}} (X_i - \mu_X)(Y_i - \mu_Y), \tag{6.2}$$

onde μ_X e μ_Y representam as médias dos conjuntos *X* e *Y*, respectivamente, N_{Am} é o tamanho da amostra e *i* representa o índice que identifica cada um dos elementos pertencentes aos conjuntos de dados *X* e *Y*, sendo que $i \in [1, N_{AM}]$.

Neste trabalho, cada conjunto é formado pelas 10 melhores soluções obtidas pelo AGSPICE, de forma a obter a correlação entre duas variáveis. Assim, para cada modo de operação desenvolvido neste trabalho (Micropotência1, Micropotência2, HG e HF) são selecionadas as 10 melhores soluções obtidas pelo AGSPICE. Por exemplo, para se obter a correlação entre o fator geométrico do par diferencial [$(W/L)_{1,2}$] e o fator geométrico do par de transistores M3 e M4 [$(W/L)_{3,4}$] do modo HG, são correlacionadas as 10 melhores soluções obtidas para estas duas variáveis.

O coeficiente de correlação é utilizado para examinar cada par de variáveis de medida a fim de determinar até que ponto as duas variáveis tendem a apresentar as mesmas tendências quanto às variações de seus valores, isto é, quando o coeficiente de correlação é positivo significa que as variações de uma variável estão associadas às mesmas variações da outra variável, quando o coeficiente de correlação é negativo significa que as variações de uma variável estão associadas às variações opostas da outra variável, quando o coeficiente de correlação é próximo de zero significa que os valores das duas variáveis tendem a não estar relacionados. O valor do coeficiente de correlação deve estar entre -1 e +1.

A Tabela 6.33 mostra os coeficientes de correlação entre as razões de aspecto dos transistores do OTA para os modos Micropotência1, Micropotência2, HG e HF. Nesta tabela os valores mais significativos estão destacados em azul e os valores que não representam correlação estão destacados em vermelho.

Tabela 6.33 - Coeficientes de correlação entre as razões de aspecto dos transistores do OTA para os modos Micropotência1, Micropotência2, HG e HF. Razões de aspecto dos transistores do circuito com: $(W/L)_{1,2}$ e $(W/L)_{3,4}$ (a); $(W/L)_{5,6}$ e $(W/L)_{7,8}$ (b); $(W/L)_9$ e $(W/L)_{10}$ (c).

(a)

	$(W/L)_{1,2}$				$(W/L)_{3,4}$			
	µP1	**µP2**	**HG**	**HF**	**µP1**	**µP2**	**HG**	**HF**
$(W/L)_{1,2}$	1,00	1,00	1,00	1,00	0,56	-0,35	-0,18	0,13
$(W/L)_{3,4}$					1,00	1,00	1,00	1,00
$(W/L)_{5,6}$								
$(W/L)_{7,8}$								
$(W/L)_9$								
$(W/L)_{10}$								

(b)

	$(W/L)_{5,6}$				$(W/L)_{7,8}$			
	µP1	**µP2**	**HG**	**HF**	**µP1**	**µP2**	**HG**	**HF**
$(W/L)_{1,2}$	0,36	-0,35	-0,34	0,35	0,03	0,00	-0,21	0,66
$(W/L)_{3,4}$	0,94	0,98	0,97	0,74	-0,32	0,00	0,06	-0,07
$(W/L)_{5,6}$	1,00	1,00	1,00	1,00	-0,31	0,00	0,06	0,49
$(W/L)_{7,8}$					1,00	1,00	1,00	1,00
$(W/L)_9$								
$(W/L)_{10}$								

(c)

	$(W/L)_9$				$(W/L)_{10}$			
	µP1	**µP2**	**HG**	**HF**	**µP1**	**µP2**	**HG**	**HF**
$(W/L)_{1,2}$	0,04	0,30	0,06	0,13	-0,07	-0,05	0,56	0,28
$(W/L)_{3,4}$	0,06	-0,05	0,59	0,00	-0,11	0,09	0,32	-0,09
$(W/L)_{5,6}$	0,20	0,02	0,55	0,47	-0,11	0,01	0,18	0,00
$(W/L)_{7,8}$	0,03	0,00	0,30	0,47	-0,03	0,00	0,19	0,15
$(W/L)_9$	1,00	1,00	1,00	1,00	0,75	0,50	0,81	0,49
$(W/L)_{10}$					1,00	1,00	1,00	1,00

A fim de facilitar a visualização dos valores de correlação apresentados na Tabela 6.33, a Figura 6.74 mostra uma representação gráfica dos valores de correlação mais expressivos. A Figura 6.74 (a) mostra os coeficientes de correlação da razão de aspecto do par diferencial [$(W/L)_{1,2}$] com as razões de aspecto dos pares M3-M4, M5-M6, M7-M8 e com a razão de aspecto do transistor M10, ou seja, $(W/L)_{3,4}$, $(W/L)_{5,6}$, $(W/L)_{7,8}$ e $(W/L)_{10}$, para os modos Micropotência1, Micropotência2, HG e HF. Analogamente, a Figura 6.74 (b) mostra os coeficientes de correlação da razão de aspecto do par M3-M4 [$(W/L)_{3,4}$] com as razões de aspecto dos pares M5-M6, M7-M8 e com a razão de aspecto do transistor M10, ou seja,

$(W/L)_{5,6}$, $(W/L)_{7,8}$ e $(W/L)_{10}$. A Figura 6.74 (c) mostra os coeficientes de correlação da razão de aspecto do par M5-M6 [$(W/L)_{5,6}$] com a razão de aspecto do par M7-M8 e com a razão de aspecto do transistor M10, ou seja, $(W/L)_{7,8}$ e $(W/L)_{10}$. Finalmente, a Figura 6.74 (d) mostra os coeficientes de correlação da razão de aspecto do transistor M9 [$(W/L)_9$] com a razão de aspecto do transistor M10, ou seja, $(W/L)_{10}$.

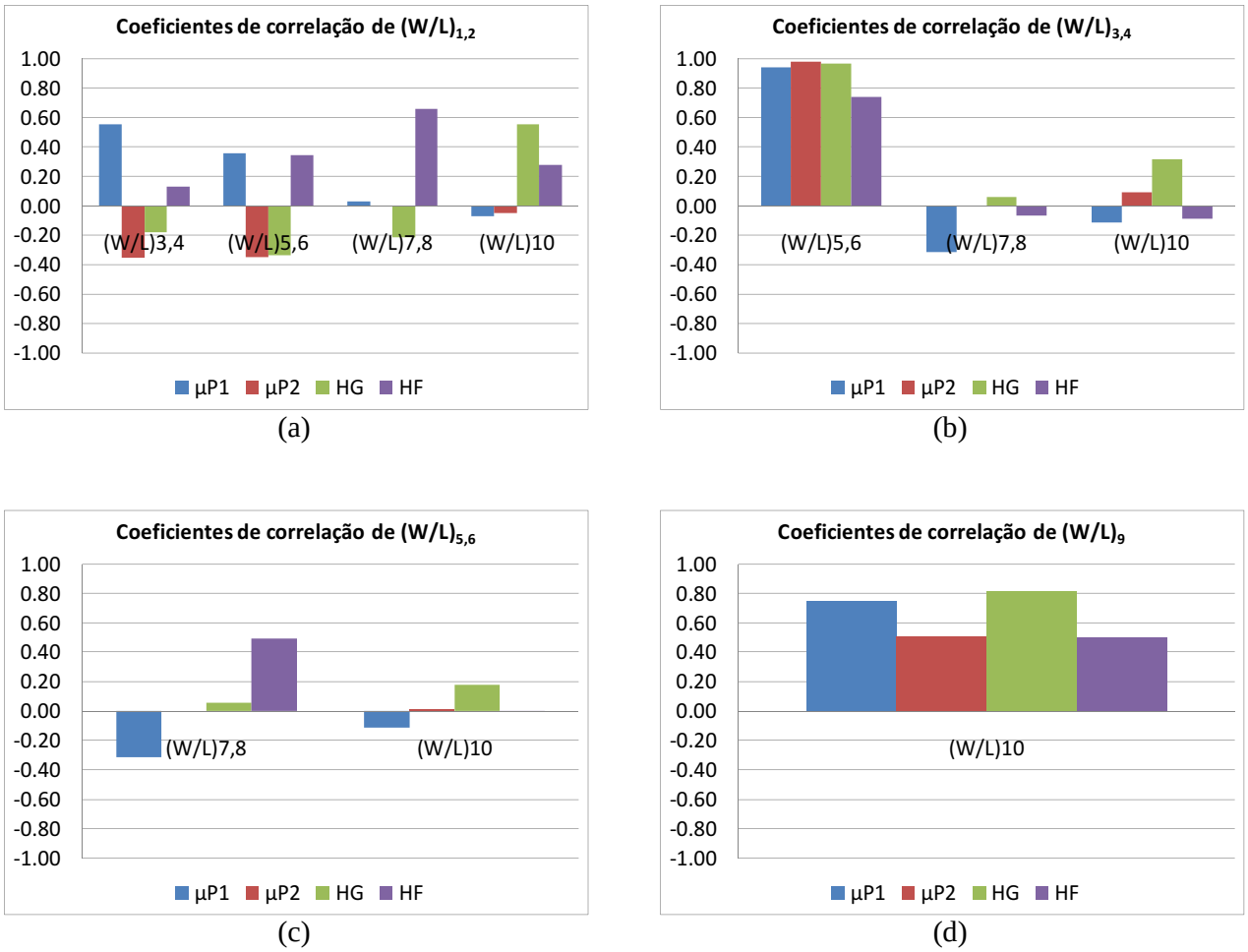


Figura 6.74 – Coeficientes de correlação entre as razões de aspecto dos transistores do OTA: $(W/L)_{1,2}$ com $(W/L)_{3,4}$, $(W/L)_{5,6}$, $(W/L)_{7,8}$ e $(W/L)_{10}$ (a); $(W/L)_{3,4}$ com $(W/L)_{5,6}$, $(W/L)_{7,8}$ e $(W/L)_{10}$ (b); $(W/L)_{5,6}$ com $(W/L)_{7,8}$ e $(W/L)_{10}$ (c) e $(W/L)_9$ com $(W/L)_{10}$ (d) para os modos Micropotência1, Micropotência2, HG e HF.

Na Figura 6.74 (a) observa-se que a razão de aspecto do par diferencial [$(W/L)_{1,2}$] apresenta correlação relativamente elevada com a razão de aspecto do par M3-M4 [$(W/L)_{3,4}$], para os modos Micropotência1 e Micropotência2, com os valores de 0,56 e -0,35, respectivamente. Estes valores expressivos de correlação se devem devido ao compromisso com o ganho de tensão e com a frequência de ganho unitário. Os valores das razões de aspecto $(W/L)_{3,4}$ influenciam diretamente nos fatores de ganho dos espelhos pMOSFETs ($B_{4,6}$)

e as razões de aspecto $(W/L)_{1,2}$ estão diretamente relacionadas à polarização do par diferencial nas regiões de inversão fraca, moderada ou forte, que influenciam no valor do parâmetro $(g_m/I_{DS})_{1,2}$. Estes dois parâmetros estão diretamente relacionados aos valores de A_{V0} e f_T estabelecidos como objetivo.

No caso dos modos Micropotência1 e HF a correlação é positiva, pois os valores de $(W/L)_{1,2}$ e $(W/L)_{3,4}$ tendem a variar na mesma direção. Por exemplo, se o parâmetro $(W/L)_{1,2}$ aumenta, o par diferencial tende a ser polarizado na região de inversão fraca, aumentado o valor do parâmetro $(g_m/I_{DS})_{1,2}$, que permite aumentar os valores de A_{V0} e f_T. Assim, o valor de $(W/L)_{3,4}$ tende a aumentar também, possibilitando reduzir o valor do parâmetro $B_{4,6}$, que possibilita reduzir os valores de A_{V0} e f_T, de forma que esses objetivos de projeto sejam alcançados.

Nos modos Micropotência2 e HG a correlação é negativa, pois os valores de $(W/L)_{1,2}$ e $(W/L)_{3,4}$ tendem a variar em direções opostas. O valor negativo da correlação é devido ao valor elevado de A_{V0_obj}, acima do valor máximo que a topologia do OTA permite. Neste caso, os valores de $(g_m/I_{DS})_{1,2}$ e $B_{4,6}$ tendem a ser maximizados, de forma a maximizar o valor de A_{V0}. Dessa forma, o valor do parâmetro $(W/L)_{1,2}$ tende a aumentar, permitindo o aumento do parâmetro $(g_m/I_{DS})_{1,2}$, enquanto o valor de $(W/L)_{3,4}$ tende a ser reduzido, possibilitando aumentar o valor de $B_{4,6}$.

Pode-se observar também na Figura 6.74 (a) que a razão de aspecto do par diferencial [$(W/L)_{1,2}$] apresenta correlação relativamente elevada com a razão de aspecto do par M5-M6 [$(W/L)_{5,6}$], para todos os modos analisados, com os valores de 0,36 (Micropotência1); -0,35 (Micropotência2), -0,34 (HG) e 0,35 (HF). De forma análoga à correlação existente entre $(W/L)_{1,2}$ e $(W/L)_{3,4}$, pois tanto $(W/L)_{3,4}$ como $(W/L)_{5,6}$ influenciam no valor do parâmetro $B_{4,6}$, os valores de correlação são positivos para os modos Micropotência1 e HF e negativos para os modos Micropotência2 e HG. Este resultado é decorrente do compromisso com o ganho de tensão e com a frequência de ganho unitário e no caso dos modos Micropotência2 e HG são negativos devido ao ganho de tensão elevado, conforme discutido nos parágrafos anteriores. Os valores de correlação são negativos também, possivelmente, devido ao compromisso com a margem de fase, pois as razões de aspecto dos transistores M2, M4 e M6 influenciam diretamente no valor da capacitância interna do nó 1 (*C1*), conforme mostra a Figura 3.1. Por exemplo, a polarização do par diferencial na região de inversão fraca requer valores altos para $(W/L)_{1,2}$ e quanto maior o valor de $W_{1,2}$, menor devem ser os valores de $W_{3,4}$ e $W_{5,6}$, e consequentemente de $(W/L)_{3,4}$ e $(W/L)_{5,6}$, de forma a manter baixo o valor da capacitância *C1*, que possibilita manter alta a frequência do segundo polo, conforme mostra a equação (3.16),

permitindo manter a margem de fase suficientemente alta (conforme o objetivo de projeto), conforme mostra a equação (3.21).

Nos modos Micropotência2 e HG, os coeficientes de correlação de $(W/L)_{1,2}$ com $(W/L)_{3,4}$, $(W/L)_{5,6}$ e $(W/L)_{7,8}$ tendem a ser negativos devido ao valor elevado do ganho de tensão objetivo. A fim de maximizar o ganho de tensão (A_{V0}) deve-se maximizar o valor de $(g_m/I_{DS})_{1,2}$, maximizando o valor de $(W/L)_{1,2}$. Os valores de L6 e L8 também devem ser maximizados, para maximizar a tensão Early equivalente (V_{AEQ}) dos transistores M6 e M8, conforme mostra a equação (3.14), consequentemente os valores $(W/L)_{5,6}$ e $(W/L)_{7,8}$ tendem a apresentar valores baixos. Como os valores de $(W/L)_{1,2}$ tendem a ser altos, devido à polarização do par diferencial na região de inversão fraca, e os valores de $(W/L)_{5,6}$ e $(W/L)_{7,8}$ tendem a ser baixos e consequentemente resultam em coeficientes de correlação negativos.

Diferentemente dos outros modos, no modo HF o coeficiente de correlação de $(W/L)_{1,2}$ com $(W/L)_{7,8}$ tende a ser alto e positivo (0,66) devido ao valor baixo do ganho de tensão (A_{V0}) e ao valor elevado da frequência de ganho unitário (f_T). Como no modo HF o valor do ganho de tensão é baixo, os valores de L6 e L8 e de $(g_m/I_{DS})_{1,2}$ não necessitam ser elevados e o par diferencial é polarizado em direção à região de inversão forte. Assim os valores de L6 e L8 podem ser minimizados e os transistores do par diferencial, M1-M2, assim como o par M7-M8 tendem a ser polarizados em direção à região de inversão forte, apresentando valores baixos para os parâmetros $(W/L)_{1,2}$ e $(W/L)_{7,8}$, resultando no coeficiente de correlação positivo. Os valores baixos de $L_{5,6}$ e $L_{7,8}$ podem ser um compromisso com a margem de fase, pois a redução de área dos transistores M5, M7 e M8 permitem reduzir a capacitância interna do nó 2 (*C2*), conforme mostra a Figura 3.1. A redução no valor da capacitância *C2* possibilita aumentar a frequência do terceiro polo, conforme mostra a equação (3.18), e também a margem de fase, conforme mostra a equação (3.21). Uma vez que o valor elevado de f_T exige valores altos para $I_{DS1,2}$, conforme mostra a equação (3.15), assim como para as correspondentes correntes espelhadas $I_{DS5,6}$ e $I_{DS7,8}$, e considerando que o compromisso com a margem de fase tende a minimizar os valores de $(W/L)_{7,8}$, resulta que o par M7-M8 tende a ser polarizado em direção à região de inversão forte.

Na Figura 6.74 (b) observa-se que a razão de aspecto do par M3-M4 [$(W/L)_{3,4}$] apresenta forte correlação positiva com a razão de aspecto do par M5-M6 [$(W/L)_{5,6}$], para todos os modos analisados, alcançando os valores de 0,94 (modo Micropotência1); 0,98 (modo Micropotência2); 0,97 (modo HG) e 0,74 (modo HF). Isto ocorre devido a estes transistores formarem os espelhos de corrente pMOSFETs, considerando que o fator de ganho desses espelhos de corrente ($B_{4,6}$ e $B_{3,5}$) deve estar dentro de uma faixa de 2,41 a 5,46 para o

modo Micropotência1; 0,18 a 0,31 para o modo Micropotência2; 0,50 a 1,40 para o modo HG e 0,59 a 1,90 para o modo HF, de forma que todos os objetivos de projeto sejam alcançados. Dessa forma, as razões de aspecto dos transistores dos espelhos pMOSFETs seguem a mesma tendência de variação.

Os coeficientes de correlação de $(W/L)_{3,4}$ com $(W/L)_{7,8}$, mostrados na Figura 6.74 (b), tendem a ser negativos para os modos Micropotência1 e HF, enquanto que tendem a ser positivos nos modos Micropotência2 e HG. Este resultado sugere que quando um valor alto de A_{V0} é desejado, o fator geométrico do par M3-M4 deve variar no mesmo sentido do fator geométrico do par M7-M8, enquanto que quando não é necessário um valor alto para A_{V0}, independentemente da potência dissipada, o fator geométrico do par M3-M4 deve variar no sentido contrário do fator geométrico do par M7-M8. Isto ocorre, possivelmente, devido às condições de polarização dos transistores do circuito. O fator geométrico do par M3-M4 deve garantir que tanto o par diferencial quanto o transistor M10 estejam na região de saturação. Além disso, o fator de ganho dos espelhos pMOSFETs ($B_{4,6}$), o qual deve garantir que o objetivo da potência dissipada seja alcançado, determina o valor do fator geométrico do par M5-M6 e o fator geométrico do par M7-M8 deve permitir a obtenção de V_{OUT} próximo de $V_{DD}/2$.

Observa-se que o coeficiente de correlação de $(W/L)_{5,6}$ com $(W/L)_{7,8}$ tende a ser fortemente negativo para o modo Micropotência1, próximo de zero para o modo Micropotência2, levemente positivo para o modo HG e fortemente positivo para o modo HF, conforme mostra a Figura 6.74 (c). Este resultado sugere que o fator geométrico do par M5-M6 tende a variar no sentido contrário do fator geométrico do par M7-M8 para os modos que requerem baixa potência (Micropotência1 e Micropotência2), enquanto que para os modos que requerem maiores valores de potência dissipada (HG e HF) o fator geométrico do par M5-M6 tende a variar no mesmo sentido do fator geométrico do par M7-M8, ou seja, sugere-se que estes coeficientes de correlação estejam diretamente relacionados à potência dissipada. Isto ocorre, possivelmente, devido às condições de polarização dos transistores do circuito, conforme descrito no parágrafo anterior.

Os coeficientes de correlação de $(W/L)_{1,2}$ e $(W/L)_{3,4}$ com $(W/L)_{10}$ no modo HG são significativos e positivos, devido às condições de polarização dos transistores do circuito, conforme mostra a Figura 6.74, itens (a) e (b). Neste caso, o valor de $(W/L)_{1,2}$ deve ser alto o suficiente para permitir a polarização do par diferencial em direção à região de inversão fraca. Além disso, todos os transistores devem operar na região de saturação. Uma vez que a relação W/L é proporcional à condutância de saída do transistor, as razões de aspecto dos transistores

M1, M2, M3, M4 e M10 devem estar balanceadas de forma que a tensão entre dreno e fonte seja suficiente para polarizar esses transistores na região de saturação ($V_{DS} \geq V_{GS}$ - V_{th}). Lembrando que os transistores M3 e M4 estão sempre operando na região de saturação, visto que a porta e o dreno estão interligados, ou seja, $V_{DS} = V_{GS}$.

Na Tabela 6.33 (c) verifica-se que o valor de correlação de $(W/L)_{1,2}$ com $(W/L)_9$ para o modo Micropotência2 resultou um valor expressivo. Os valores de correlação de $(W/L)_{3,4}$, $(W/L)_{5,6}$ e $(W/L)_{7,8}$ com $(W/L)_9$ para o modo HG, assim como $(W/L)_{5,6}$ e $(W/L)_{7,8}$ com $(W/L)_9$ para o modo HF também resultaram valores expressivos. Porém não existe correlação do transistor M9 com os outros transistores do circuito, exceto com o transistor M10, pois o transistor M9 atua apenas como uma simples fonte de corrente com a função de polarizar o estágio diferencial do OTA por corrente elétrica. Dessa forma, estes valores de correlação, na coluna $(W/L)_9$, estão destacados em vermelho.

A Figura 6.74 (d) mostra que razão de aspecto do transistor M9 [$(W/L)_9$] apresenta forte correlação positiva com a razão de aspecto do transistor M10 [$(W/L)_{10}$], para todos os modos de operação analisados. Isto ocorre devido aos transistores M9 e M10 formarem o espelho de corrente nMOSFET da fonte de corrente do par diferencial OTA, considerando que o fator de ganho desse espelho de corrente ($B_{9,10}$) deve estar dentro da faixa de 0,52 a 21,14 para o modo Micropotência1; 1,59 a 6,46 para o modo Micropotência2; 0,54 a 4,5 para o modo HG e 0,62 a 3,91 para o modo HF de forma que todos os objetivos de projeto sejam alcançados.

A Tabela 6.34 mostra os coeficientes de correlação entre as correntes entre dreno e fonte normalizadas dos transistores do OTA para os modos Micropotência1, Micropotência2, HG e HF. Nesta tabela os valores mais significativos estão destacados em azul e os valores que não representam correlação estão destacados em vermelho.

Tabela 6.34 - Coeficientes de correlação entre as correntes entre dreno e fonte normalizadas dos transistores do OTA para os modos Micropotência1, Micropotência2, HG e HF. Correntes entre dreno e fonte normalizadas dos transistores do circuito com: $I_{DSn1,2}$ e $I_{DSn3,4}$ (a); $I_{DSn5,6}$ e $I_{DSn7,8}$ (b); I_{DSn9} e I_{DSn10} (c).

(a)

	$I_{DSn1,2}$				$I_{DSn3,4}$			
	µP1	**µP2**	**HG**	**HF**	**µP1**	**µP2**	**HG**	**HF**
$I_{DSn1,2}$	1,00	1,00	1,00	1,00	-0,06	-0,27	-0,11	0,51
$I_{DSn3,4}$					1,00	1,00	1,00	1,00
$I_{DSn5,6}$								
$I_{DSn7,8}$								
I_{DSn9}								
I_{DSn10}								

(b)

	$I_{DSn5,6}$				$I_{DSn7,8}$			
	µP1	**µP2**	**HG**	**HF**	**µP1**	**µP2**	**HG**	**HF**
$I_{DSn1,2}$	-0,07	-0,26	-0,12	0,49	0,57	0,75	0,25	0,00
$I_{DSn3,4}$	1,00	1,00	1,00	1,00	0,13	0,28	0,29	0,13
$I_{DSn5,6}$	1,00	1,00	1,00	1,00	0,14	0,28	0,28	0,08
$I_{DSn7,8}$					1,00	1,00	1,00	1,00
I_{DSn9}								
I_{DSn10}								

(c)

	I_{DSn9}				I_{DSn10}			
	µP1	**µP2**	**HG**	**HF**	**µP1**	**µP2**	**HG**	**HF**
$I_{DSn1,2}$	0,03	-0,48	-0,08	0,28	0,04	-0,49	-0,09	0,26
$I_{DSn3,4}$	-0,40	0,45	0,84	-0,09	-0,39	0,47	0,84	-0,09
$I_{DSn5,6}$	-0,41	0,45	0,83	-0,11	-0,40	0,46	0,83	-0,12
$I_{DSn7,8}$	-0,06	-0,36	0,35	0,09	-0,06	-0,35	0,35	0,10
I_{DSn9}	1,00	1,00	1,00	1,00	1,00	1,00	1,00	1,00
I_{DSn10}					1,00	1,00	1,00	1,00

A fim de facilitar a visualização dos valores de correlação apresentados na Tabela 6.34, a Figura 6.75 mostra uma representação gráfica dos valores de correlação mais expressivos. A Figura 6.75 (a) mostra os coeficientes de correlação da corrente entre dreno e fonte normalizada do par diferencial ($I_{DSn1,2}$) com as correntes entre dreno e fonte normalizadas dos pares M3-M4, M5-M6, M7-M8 e com a corrente entre dreno e fonte normalizada do transistor M10, ou seja, $I_{DSn3,4}$, $I_{DSn5,6}$, $I_{DSn7,8}$ e I_{DSn10}, para os modos Micropotência1, Micropotência2, HG e HF. Analogamente, a Figura 6.75 (b) mostra os coeficientes de correlação da corrente entre dreno e fonte normalizada do par M3-M4 ($I_{DSn3,4}$) ou do par M5-M6 ($I_{DSn5,6}$), com as

correntes entre dreno e fonte normalizadas dos pares M5-M6, M7-M8 e com a corrente entre dreno e fonte normalizada do transistor M10, ou seja, $I_{DSn5,6}$, $I_{DSn7,8}$ e I_{DSn10}. A Figura 6.75 (c) mostra os coeficientes de correlação da corrente entre dreno e fonte normalizada do par M7-M8 ($I_{DSn7,8}$) com a corrente entre dreno e fonte normalizada do transistor M10, ou seja, I_{DSn10}. Finalmente, a Figura 6.75 (d) mostra os coeficientes de correlação da corrente entre dreno e fonte normalizada do transistor M9 (I_{DSn9}) com a corrente entre dreno e fonte normalizada do transistor M10, ou seja, I_{DSn10}.

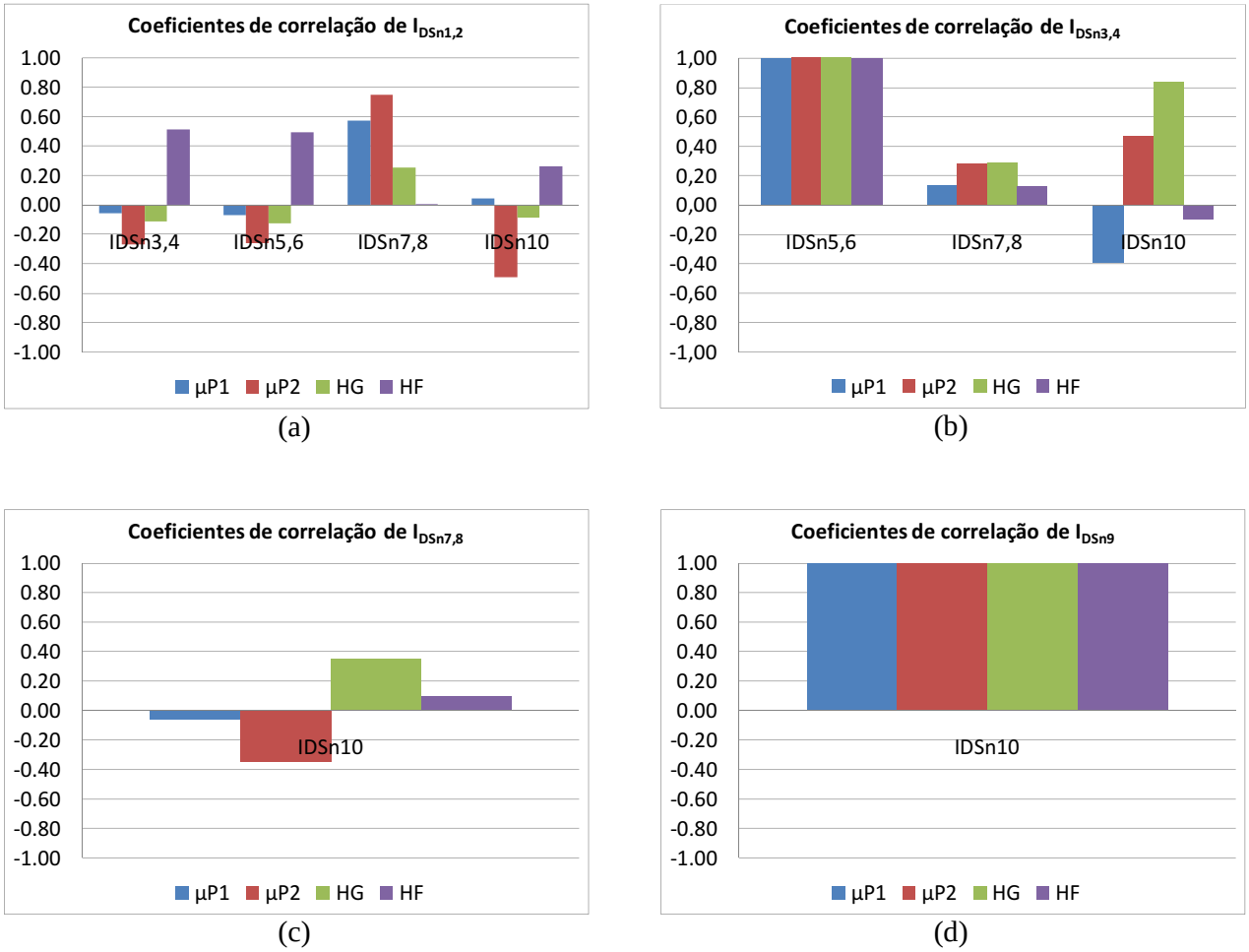


Figura 6.75 – Coeficientes de correlação entre as correntes entre dreno e fonte normalizadas dos transistores do OTA: $I_{DSn1,2}$ com $I_{DSn3,4}$, $I_{DSn5,6}$, $I_{DSn7,8}$ e I_{DSn10} (a); $I_{DSn3,4}$ com $I_{DSn5,6}$, $I_{DSn7,8}$ e I_{DSn10} (b); $I_{DSn7,8}$ com I_{DSn10} (c) e I_{DSn9} com I_{DSn10} (d) para os modos Micropotência1, Micropotência2, HG e HF.

Os coeficientes de correlação de $I_{DSn3,4}$ com $I_{DSn5,6}$ são iguais a 1,00 para todos os modos de operação analisados, devido aos pares de transistores M3-M5 e M4-M6 formarem os espelhos de corrente pMOSFETs, conforme observa-se na Figura 6.75 (b). Como esses transistores possuem a mesma tensão entre a porta e a fonte (V_{GS}), portanto valores

semelhantes para o regime de inversão do canal desses transistores, ou seja, a corrente entre dreno e fonte normalizada são semelhantes ($I_{DSn3,4} = I_{DSn5,6}$), independentemente da razão de aspecto *(W/L)* desses transistores. Analogamente, o coeficiente de correlação de I_{DSn9} com I_{DSn10} é igual a 1,00 para todos os modos de operação analisados devido aos transistores M9 e M10 formarem um espelho de corrente, conforme observa-se na Figura 6.75 (d).

Na Figura 6.75 (a) observa-se para o modo HF que a corrente entre dreno e fonte normalizada do par diferencial ($I_{DSn1,2}$) apresenta correlação fortemente positiva com a corrente entre dreno e fonte normalizada dos pares M3-M4 e M5-M6 ($I_{DSn3,4}$ e $I_{DSn5,6}$). Este valor positivo de correlação ocorre devido aos transistores do par diferencial tenderem ao mesmo regime de inversão dos espelhos pMOSFETs, formado pelos pares M3-M5 e M4-M6. Por exemplo, a polarização do par diferencial da região de inversão forte em direção à região de inversão moderada permite a otimização do valor de f_T, através do aumento do parâmetro $(g_m/I_{DS})_{1,2}$. Como no modo HF o valor de A_{V0} é baixo, os valores de *L6* e *L8* podem ser baixos para a otimização da *PM*, resultando na polarização dos espelhos pMOSFETs em direção à região de inversão fraca, conforme visto anteriormente no item 6.6.

O inverso ocorre para os modos Micropotência1, Micropotência2 e HG, que resultam coeficientes de correlação negativos, nos quais o par diferencial tende a ser polarizado na região de inversão fraca, enquanto que os transistores dos espelhos pMOSFETs tendem a ser polarizados na região de inversão forte. No caso dos modos Micropotência2 e HG este resultado pode estar associado ao valor elevado do ganho de tensão objetivo. A fim de maximizar o ganho de tensão (A_{V0}) deve-se polarizar o par diferencial em direção à região de inversão fraca. Como, nestes dois modos os valores de *L6* e *L8* tendem a apresentarem valores elevados, os valores de $(W/L)_{5,6}$ e $(W/L)_{7,8}$ tendem a apresentarem valores baixos. Dessa forma, os pares de transistores em espelho de corrente M3-M5, M4-M6 e M7-M8 tendem a serem polarizados em direção à região de inversão forte.

O regime de inversão do par diferencial ($I_{DSn1,2}$) tende a apresentar correlação fortemente positiva com o regime de inversão dos transistores do espelho de corrente nMOSFET formado pelo par M7-M8 ($I_{DSn7,8}$), no caso dos modos Micropotência1 e Micropotência2, enquanto que para o modo HG o coeficiente é baixo e tende a ser insignificante (próximo de zero) no caso do modo HF. Este resultado sugere que os valores expressivos da correlação do par diferencial com o par M7-M8 esteja relacionado principalmente ao ganho de tensão, pois valores elevados de ganho de tensão exigem valores altos para $(g_m/I_{DS})_{1,2}$, assim como para *L6* e *L8*. Conforme relatado anteriormente, no caso do

modo HF os parâmetros $(g_m/I_{DS})_{1,2}$, *L6* e *L8* não necessitam ser altos, consequentemente não há correlação do regime de inversão do par diferencial com o par M7-M8 no modo HF.

Na Figura 6.75 (a) observa-se que os coeficientes de correlação de $I_{DSn1,2}$ com I_{DSn10} são negativos para os modos Micropotência2 e HG, enquanto que são positivos para os modos Micropotência1 e HF. Além disso, os valores mais expressivos são para os modos Micropotência2 e HF, porém em sentidos opostos. Este resultado sugere que quanto maior o ganho de tensão e menor a potência dissipada maior a tendência de o par diferencial ser polarizado em direção contrária do transistor M10, que é o caso dos modos Micropotência2 e HG. Dessa forma, se o par diferencial tender a ser polarizado em direção à região de inversão fraca, o transistor M10, consequentemente o espelho da fonte de corrente formado por M9-M10, deve tender a ser polarizado em direção à região de inversão forte, se o par diferencial tender a ser polarizado em direção à região de inversão forte o espelho da fonte de corrente, formado por M9-M10, deve tender a ser polarizado em direção à região de inversão fraca. Por outro lado, quanto menor o ganho de tensão e maior a potência dissipada maior a tendência de o par diferencial ser polarizado no mesmo sentido do transistor M10, que é o caso dos modos Micropotência1 e HF. Esses resultados estão relacionados às condições de polarização dos transistores do circuito, de forma a obter soluções satisfatórias para os objetivos de projeto para cada modo de operação desejado.

Na Figura 6.75 (b) observa-se que os coeficientes de correlação de $I_{DSn3,4}$ com I_{DSn10} são opostos em relação aos resultados obtidos no parágrafo anterior (correlação de $I_{DSn1,2}$ com I_{DSn10}), embora o par M1-M2 esteja em série com o par M3-M4. Os coeficientes de correlação de $I_{DSn3,4}$ com I_{DSn10} são positivos para os modos Micropotência2 e HG, enquanto que são negativos para os modos Micropotência1 e HF. Neste caso, os valores mais expressivos são para os modos Micropotência2 HG, que apresentam os maiores valores de ganho de tensão. Este resultado sugere que nos modos que requerem valores altos para o ganho de tensão, os espelhos pMOSFETs possuem a tendência de serem polarizados no mesmo sentido dos transistores da fonte de corrente, formado por M9-M10. Por outro lado, para os modos que requerem valores menores para o ganho de tensão, os espelhos pMOSFETs tendem a ser polarizados em sentido contrário do transistor M10.

Os coeficientes de correlação de $I_{DSn3,4}$ com $I_{DSn7,8}$ são positivos para todos os modos de operação, embora sejam mais expressivos nos modos que requerem os maiores ganhos de tensão (Micropotência2 e HG), possivelmente devido ao compromisso com o ganho de tensão e ao ajuste de V_{OUT} igual a $V_{DD}/2$.

Na Tabela 6.34 (c) os valores de I_{DSn9} e I_{DSn10} são similares, devido aos transistores M9 e M10 formarem um espelho de corrente. Assim, os coeficientes de correlação de $I_{DSn1,2}$, $I_{DSn3,4}$, $I_{DSn5,6}$, $I_{DSn7,8}$ e I_{DSn9} com I_{DSn9} e I_{DSn10} apresentam valores similares. Dessa forma, as colunas I_{DSn9} e I_{DSn10} apresentam valores similares. Além disso, não existe correlação direta do transistor M9 com os outros transistores do circuito, pois o transistor M9 atua apenas como uma fonte de corrente com a função de polarizar o estágio diferencial do OTA por corrente elétrica. Dessa forma, os valores de correlação da coluna I_{DSn9} estão destacados em vermelho nessa tabela.

Os coeficientes de correlação de $I_{DSn7,8}$ com I_{DSn10} para os modos Micropotência2 e HG resultaram nos valores mais expressivos, porém em sentidos contrários, conforme observado na Figura 6.75 (c), devido ao compromisso com a potência dissipada, sendo que o alto ganho de tensão tende a elevar o valor de correlação. Pode-se observar também que para os modos Micropotência1 e Micropotência2 os coeficientes de correlação são negativos, enquanto que para os modos HG e HF são positivos. A corrente I_{DS10} (I_O da Figura 3.1) é a corrente que polariza o par diferencial e $I_{DS7,8}$ é a corrente que polariza o estágio de saída do OTA. Considerando que uma determinada solução, que atenda todos os requisitos de projeto, obtenha um determinado valor para I_{DS10} e um determinado valor para $I_{DS7,8}$, sendo que $I_{DS7,8}$ é igual a corrente do par diferencial ($I_O/2$) multiplicada pelo fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$). No caso do modo Micropotência2, normalmente quando uma determinada outra solução resulta em um valor maior para I_{DS10}, o fator de ganho do espelho de corrente $B_{4,6}$ resulta menor que o valor da primeira solução de forma que a corrente espelhada para o estágio de saída seja menor com o objetivo de manter a potência dissipada dentro do limite especificado pelo projetista, uma vez que a potência dissipada é proporcional à corrente total drenada pelo circuito do OTA. Dessa forma, a corrente de polarização do par diferencial e a corrente de polarização do estágio de saída seguem a tendência de sentidos contrários resulta em um coeficiente de correlação negativo. No caso do modo HG, embora estas correntes de polarização possuam a tendência de seguirem o mesmo sentido, resultando em um coeficiente de correlação positivo, estas correntes de polarização resultam de forma que o valor da potência dissipada se aproxime do valor objetivo da potência dissipada.

No próximo capítulo, último capítulo desta dissertação, será apresentada uma conclusão dos resultados e serão discutidas as possibilidades de desenvolvimento futuros dessa pesquisa.

7. CONCLUSÃO

Neste trabalho foi desenvolvido o AGSPICE: sistema evolucionário que utiliza uma das técnicas de inteligência artificial, neste caso o Algoritmo Genético, que foi integrado ao SPICE e busca soluções para determinados objetivos de projeto de um OTA CMOS, com o objetivo de auxiliar o projeto de circuitos integrados analógicos, que é uma tarefa complexa e dependente principalmente da experiência e até mesmo da intuição do projetista.

A característica mais importante deste trabalho é o foco no mapeamento e compreensão do comportamento das condições de polarização (I_{POL} e V_{INPOL}), dos regimes de inversão e consequentemente das dimensões dos transistores (W, L, e W/L) para diferentes modos operacionais dos OTAs projetados, tais como Micropotência1: baixo consumo de potência, ganho de tensão mediano e baixa frequência de ganho de tensão unitário; Micropotência2: baixo consumo de potência, alto ganho de tensão e baixa frequência de ganho de tensão unitário; HG: médio consumo de potência, alto ganho de tensão e média frequência de ganho de tensão unitário e HF: alto consumo de potência, baixo ganho de tensão e alta frequência de ganho de tensão unitário. Adicionalmente, permite a elaboração de dicas de projeto para novos projetistas de CIs analógicos, como por exemplo, a importância de polarizar adequadamente o par diferencial e ajustar corretamente o fator de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) com o objetivo de alcançar os valores da margem de fase (PM), da potência dissipada (P_{TOT}), do ganho de tensão (A_{V0}) e da frequência de ganho de tensão unitário (f_T) especificados como objetivo de projeto; a necessidade de adotar os valores para os comprimentos de canal dos transistores de saída ($L_{5,6}$ e $L_{7,8}$) tão altos quanto possível e polarizar o par diferencial, formado pelos transistores M1 e M2, na região de inversão fraca com o objetivo de alcançar altos valores de ganho de tensão (A_{V0}); a importância de utilizar baixos valores de comprimento de canal para o par diferencial ($L_{1,2}$), em vez de utilizar altos valores para a largura de canal ($W_{1,2}$), com o objetivo de obter altos valores para a razão de aspecto [$(W/L)_{1,2}$], permite aumentar a margem de fase, devido à redução da área e das capacitâncias intrínsecas associadas ao par diferencial.

Foi observada a alta dependência das dimensões do par diferencial e dos espelhos de corrente que compõem o OTA com I_{POL} e os objetivos de projeto.

O tempo de desenvolvimento do projeto dos OTAs pelo AGSPICE se mostrou bastante promissor, quando comparado com o desenvolvimento através do método tradicional (manual). Assim, acreditamos que o uso do AGSPICE pode reduzir significativamente o tempo e o custo do projeto de circuitos integrados analógicos. Além disso, o AGSPICE

permite ao projetista um melhor entendimento sobre o comportamento do OTA e como as regiões de inversão e as dimensões dos transistores de cada bloco do OTA (par diferencial, espelhos de corrente e estágio de saída) se comportam para um determinado objetivo de projeto.

O AGSPICE permite a obtenção da correlação entre os regimes de inversão dos transistores e consequentemente do comportamento das dimensões dos dispositivos para cada objetivo de projeto.

Como trabalhos subsequentes, vislumbramos as seguintes possibilidades de desenvolvimento futuro:

- Desenvolvimento na prática dos dispositivos otimizados e simulados pelo AGSPICE, ou seja, a elaboração dos leiautes e fabricação dos OTAs CMOS para posterior medição e verificação em bancada se os objetivos experimentais foram efetivamente alcançados, comparando as medições realizadas em bancada com os resultados de simulação apresentados neste trabalho [27];
- Inclusão de outros objetivos de projeto na função de avaliação do AGSPICE, tais como o *slew rate* e a razão de rejeição em modo comum (CMRR);
- Atribuição dos pesos referentes aos objetivos de projeto dinamicamente e com os valores maiores para os objetivos menos satisfeitos, tal como o método da minimização de energia ("*Energy Minimization Strategy*") [1], p. 69.
- Inclusão de outros tipos de funções de avaliação diferentes da Gaussiana no AGSPICE que privilegiem a maximização ou a minimização de determinadas variáveis de projeto. Por exemplo quando a maximização dos valores de A_{V0}, f_T, e *PM* e minimização dos valores de P_{TOT} e da *AREA* forem desejados.
- Estudo sobre novas formas de avaliação do sistema AGSPICE que não estejam baseadas em uma função de agregação de objetivos, mas sim em análises de superfícies de Pareto com múltiplos objetivos, tais como os procedimentos VEGA (“*Vector Evaluated Genetic Algorithm*”) e NSGA (“*Non-dominated Sorting Genetic Algorithm*”) [28].
- Implementação de novas topologias (arquiteturas) de OTAs CMOS e outros circuitos que também fazem parte dos blocos básicos de circuitos integrados analógicos (conversores digitais-analógicos e amplificadores).

8. REFERÊNCIAS

[1] ZEBULUM, Ricardo Salem; PACHECO, Marco Aurélio C.; VELLASCO, Marley Maria B. R. **Evolutionary Electronics: Automatic Design of Electronic Circuits and Systems by Genetic Algorithms**. EUA: Editora CRC, 2002.

[2] SANTINI, Cristina C. **Desenvolvimento de uma plataforma reconfigurável analógica para a evolução intrínseca de circuitos**. 2001, 118 f. Dissertação (Mestrado em Engenharia Elétrica) – Departamento de Engenharia Elétrica – Pontifícia Universidade Católica do Rio de Janeiro, Rio de Janeiro.

[3] GOLDBERG, David E. **Genetic Algorithms in Search, Optimization, and Machine Learning.** 27 ed., EUA: Editora Adison Wesley Longman, Inc., 1989.

[4] COELLO, Carlos A.; LAMONT, Gary B.; VELDHUIZEN, David A. Van. **Evolutionary Algorithms for Solving Multi-Objective Problems**. Editora: SPRINGER VERLAG NY, 2007.

[5] BLICKLE, T.; TEICH, J.; THIELE, L. **System-level synthesis using evolutionary algorithms**. Technical Report TIK Report-Nr. 16, Computer Engineering and Communication Networks Lab (TIK), Swiss Federal Institute of Technology (ETH), Gloriastrasse 35, 8092 Zurich, April 1996.

[6] DICK, R. P.; JHA, N. K. **CORDS: Hardware-Software Co-Synthesis of Reconfigurable Real-Time Distributed Embedded Systems**. In Proceedings of the International Conference on Computer-Aided Design, pages 62–68, November 1998.

[7] Spice Opus (c) version 2.31. Revision: 175. Circuit Simulator. Date Built: Oct 14 2009. University of Ljubljana Slovenia. Faculty of Electrical Engineering. Group for Computer Aided Design. <http://www.spiceopus.si>.

[8] SEDRA, Adel S.; SMITH, Kenneth C. **Microeletrônica**. 4 ed., São Paulo: Editora Makron Books, 2000.

[9] Parâmetros SPICE BSIM3 versão 3.1. Data: 22 de Dezembro de 2009, lote: T99J. Disponível em: <http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ami-c5/t99j-params.txt>.

[10] ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design**. New York: Oxford University Press, 2002. 775p.

[11] MARTINO, João Antonio; PAVANELLO, Marcelo Antonio; VERDONCK, Patrick Bernard. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**, São Paulo: Pioneira Thomson, Learning, 2003.

[12] COLINGE, Jean-Paul; COLINGE, A. Cynthia. **Physics of Semiconductor Devices.** 2 ed. Massachusetts, EUA: Kluwer Academic Publishers, 2003. cap. 7.14.2, p. 228.

[13] MARSHALL, Andrew; NATARAJAN, Sreedhar. **SOI Design: Analog, Memory and Digital Techniques**. Editora Kluwer Academic Publishers, 2002.

[14] SILVEIRA, Fernando; FLANDRE, Denis; JESPERS, Paul G. A. **A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA**. IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31, N. 9, SEPTEMBER 1996.

[15] TUMA, Tadej; BŰRMEN, Árpád; **Circuit Simulation with SPICE OPUS Theory and Practice**. Birkhäuser Boston.

[16] CORTES, FERNANDO DA ROCHA PAIXÃO. **Modelagem e Projeto de Módulos Amplificadores e Comparadores em Tecnologia CMOS 0,35µm**. 2003, 124 f. Dissertação (Mestrado em Ciência da Computação) - UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL, Porto Alegre.

[17] BINKLEY, David M.; BUCHER, Matthias; FOTY, Daniel. **Design-Oriented Characterization of CMOS over the Continuum of Inversion Level and Channel Length**. Proc. 7th IEEE Int. Conf. on Electronics, Circuits & Systems ICECS'2k, pp. 161-164, Kaslik, Lebanon, Dec. 17-20, 2000.

[18] EGGERMONT, Jean-Paul; CEUSTER, Denis De; FLANDRE, Denis; GENTINNE, Bernard; JESPERS, Paul G. A.; COLINGE, Jean-Pierre. **Design of SOI CMOS Operational Amplifiers for Applications up to 300°C**. In: IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31, N. 2, FEBRUARY 1996.

[19] NATIONAL Semiconductors. **LM13700 Dual Operational Transconductance Amplifiers,** *Datasheet number* DS007981, Junho 2004.

[20] GIMENEZ, Salvador P. **Estudo do GC SOI nMOSFET e aplicações em amplificadores operacionais de transcondutância**. 2004, 115 f. Dissertação (Doutorado em Engenharia Elétrica) – Escola Politécnica da Universidade de São Paulo, São Paulo.

[21] Barros, M.; Neves, G.; Guilherme, J.; Horta, N.C.: **An Evolutionary Optimization Kernel with adaptative Parameters Applied to Analog Circuit Design**. International Symposium on Signals, Circuits and Systems, 2005 (ISSCS 2005), pp. 545-548 v.2 July 14-15, 2005.

[22] Wójcikowski, M.; Jacek, G.; Bialko, M.: **System for Optimization of Electronic Circuit Using Genetic Algorithm**. 3rd IEEE international conference on electronics, circuits and systems (ICECS'96), Rodos, Greece, pp. 247-250, October 13-16, 1996.

[23] ANDO, Shin; IBA, Hitoshi. **Analog Circuit Design with a Variable Length Cromossome**. In: IEEE PROCEEDINGS OF 2000, CONGRESS ON EVOLUTIONARY COMPUTATION, 200, USA, p 994-1001.

[24] REGO, T. T. do; GIMENEZ, S. P.; THOMAZ, C. E.: **Mapping and understanding the multivariate and multi-objective optimization behavior of a SOI CMOS OTA using genetic algorithms**. In proceedings of the 9th Students Forum on Microelectronic SForum'09, 4pp., Natal, Rio Grande do Norte, Brazil, August 31st – September 3rd 2009.

[25] REGO, T. T. do; GIMENEZ, S. P.; THOMAZ, C. E.: **Analog Integrated Circuits Design by Means of Genetic Algorithms**. In proceedings of the 8th Students Forum on Microelectronic SForum'08, 4pp., Gramado, Rio Grande do Sul, Brazil, September 1st – 4th 2008.

[26] Microsoft Visual Studio 2008 Version 9.0.21022.8 RTM. Microsoft .NET Framework Version 3.5 SP1.

[27] Programa educacional MOSIS. Disponível em: <http://www.mosis.com/>.

[28] DEB, K. **Multi-Objective Optimization using Evolutionary Algorithms**. Wiley, 2008.

APÊNDICE A: ILUSTRAÇÃO DE UM ARQUIVO *NETLIST* DO CIRCUITO DO OTA

```
OTA BSIM3 v3.1 MOSIS
* Por: Rodrigo A. L. Moreto

* Tensão de alimentação
Vdd (1 0) dc=4

* Tensão diferencial de entrada
Vinneg (8 0) dc=2.57 acmag=1
Vinpos (13 0) dc=2.57

* Corrente de polarização
Icc (2 3) dc=1125.06u

* Carga capacitiva
CL (15 0) c=10.00p

* Par diferencial
M1 (7 8 9 9) nmosmod w=496.53u l=1.00u
M2 (12 13 9 9) nmosmod w=496.53u l=1.00u

* Carga ativa do par diferencial
M3 (6 6 1 1) pmosmod w=345.38u l=2.22u
M4 (11 11 1 1) pmosmod w=345.38u l=2.22u

* pMOSFETs de saída
M5 (4 6 1 1) pmosmod w=284.32u l=2.20u
M6 (14 11 1 1) pmosmod w=284.32u l=2.20u

* nMOSFETs de saída
M7 (5 5 0 0) nmosmod w=538.25u l=19.11u
M8 (15 5 0 0) nmosmod w=538.25u l=19.11u

* nMOSFETs da fonte de corrente
M9 (3 3 0 0) nmosmod w=805.41u l=6.58u
M10 (10 3 0 0) nmosmod w=605.48u l=2.76u

* Fontes de tensão em 0V (amperímetro)
v1 (1 2) dc=0
v2 (4 5) dc=0
v3 (6 7) dc=0
v4 (9 10) dc=0
v5 (11 12) dc=0
v6 (14 15) dc=0

.include nmosmod.mod
.include pmosmod.mod

.control
```

```
op

let vodc = v(15)
let area = @m1[w]*@m1[l] + @m2[w]*@m2[l] + @m3[w]*@m3[l] + @m4[w]*@m4[l] +
+ @m5[w]*@m5[l] + @m6[w]*@m6[l] + @m7[w]*@m7[l] + @m8[w]*@m8[l] +
+ @m9[w]*@m9[l] + @m10[w]*@m10[l]
let power = -i(vdd)*v(1)
let m1si = @m1[vds]-@m1[vdsat]
let m2si = @m2[vds]-@m2[vdsat]
let m3si = @m3[vds]-@m3[vdsat]
let m4si = @m4[vds]-@m4[vdsat]
let m5si = @m5[vds]-@m5[vdsat]
let m6si = @m6[vds]-@m6[vdsat]
let m7si = @m7[vds]-@m7[vdsat]
let m8si = @m8[vds]-@m8[vdsat]
let m9si = @m9[vds]-@m9[vdsat]
let m10si = @m10[vds]-@m10[vdsat]
let im1n = @m1[id]/(@m1[w]/@m1[l])
let im2n = @m2[id]/(@m2[w]/@m2[l])
let im3n = @m3[id]/(@m3[w]/@m3[l])
let im4n = @m4[id]/(@m4[w]/@m4[l])
let im5n = @m5[id]/(@m5[w]/@m5[l])
let im6n = @m6[id]/(@m6[w]/@m6[l])
let im7n = @m7[id]/(@m7[w]/@m7[l])
let im8n = @m8[id]/(@m8[w]/@m8[l])
let im9n = @m9[id]/(@m9[w]/@m9[l])
let im10n = @m10[id]/(@m10[w]/@m10[l])
* Imprime os resultados DC no arquivo de saída
print m1si m2si m3si m4si m5si m6si m7si m8si m9si m10si vodc area power
+ im1n im2n im3n im4n im5n im6n im7n im8n im9n im10n > OutAC_210.out
set units=degrees
ac dec 10 1 10g
let AvDB = db(v(15)/v(8))
let Av0= max(AvDB)
let fase = unwrap(phase(v(15)/v(8)))
* Obtenção da margem de fase (move o cursor c para o ganho de tensão=0dB)
let c=0
cursor c right AvDB 0
let pm=fase[%c]
* Obtenção da frequência de ganho de tensão unitário (fT)
let fT=abs(frequency[%c])
let c=0
cursor c right AvDB (Av0-3)
let f3db=real(frequency[%c])
* Imprime os resultados AC no arquivo de saída
print Av0 pm fT f3db >> OutAC_20000.out
.endc
.end
```

APÊNDICE B: ILUSTRAÇÕES DAS JANELAS DO *SOFTWARE* DESENVOLVIDO NESTE TRABALHO PARA O ESTUDO DO OTA

Nas Figuras a seguir, são ilustradas as telas do *software* do AGSPICE, desenvolvido nesta dissertação para o estudo OTA.

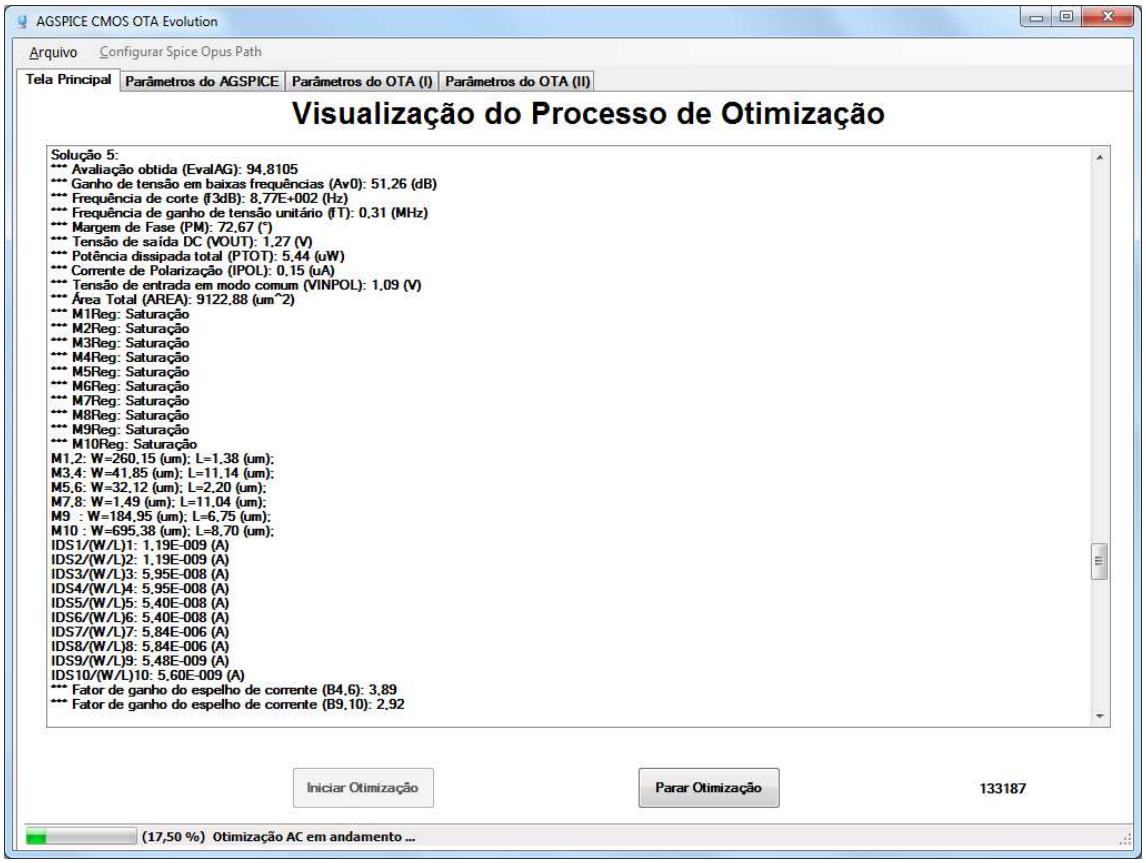


Figura B.1 – Ilustração da janela principal do AGSPICE, que contém uma lista que exibe informação sobre o processo de otimização em tempo real. Nesta lista são exibidas também as soluções (W, L, I_{POL} e V_{INPOL}), os valores de avaliação ($Eval_{AG}$) e os resultados de desempenho (A_{V0}, f_T, PM, etc.) obtidos para o projeto até o momento no processo de otimização.

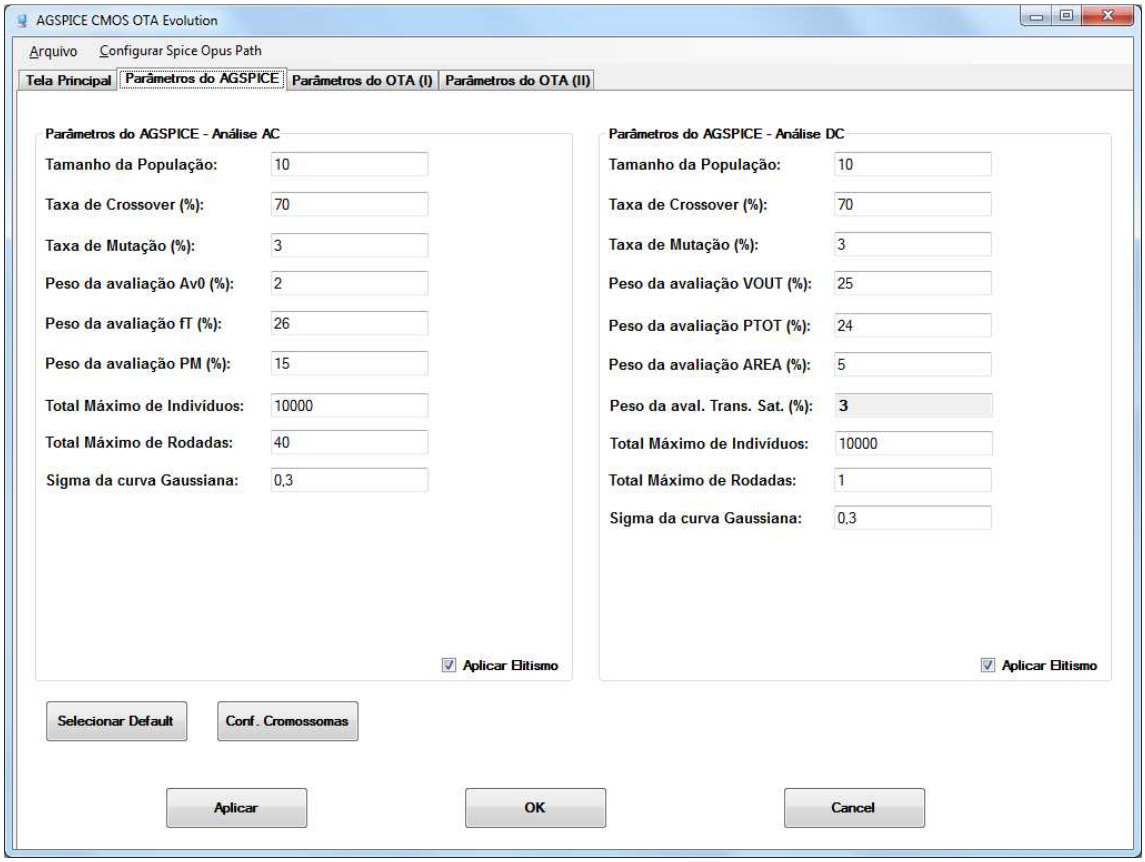


Figura B.2 – Aba "Parâmetros do AGSPICE", onde o projetista configura os parâmetros do algoritmo genético (AG) para o AGSPICE.

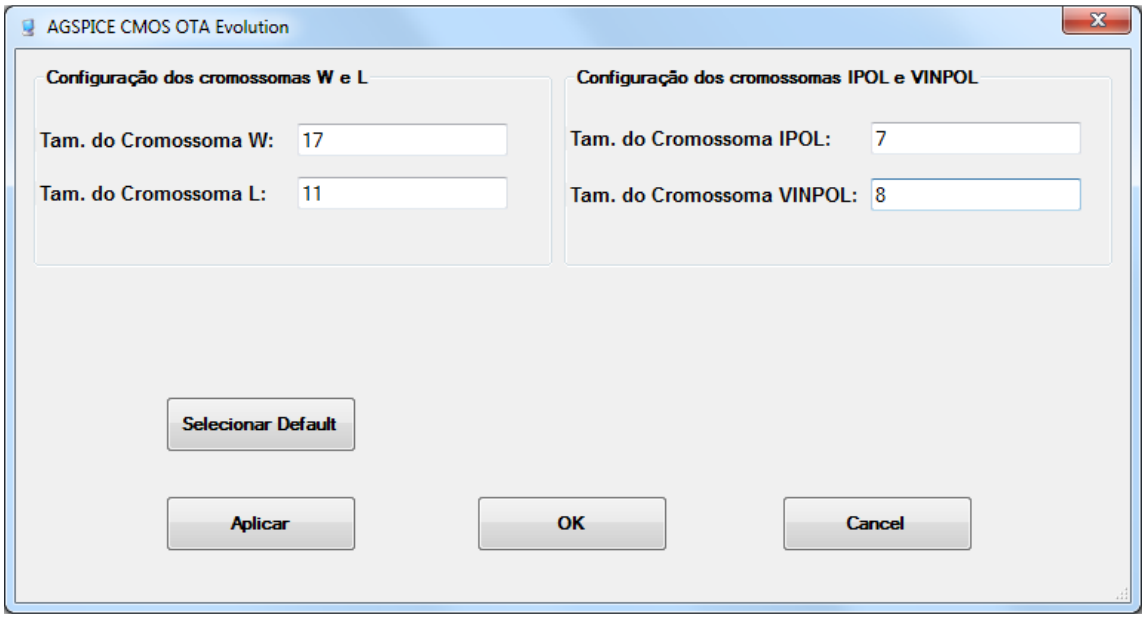


Figura B.3 – Através do botão "Conf. Cromossomas", localizado na aba "Parâmetros do AGSPICE", o projetista configura o tamanho dos cromossomas W, L, I_{POL} e V_{INPOL}.

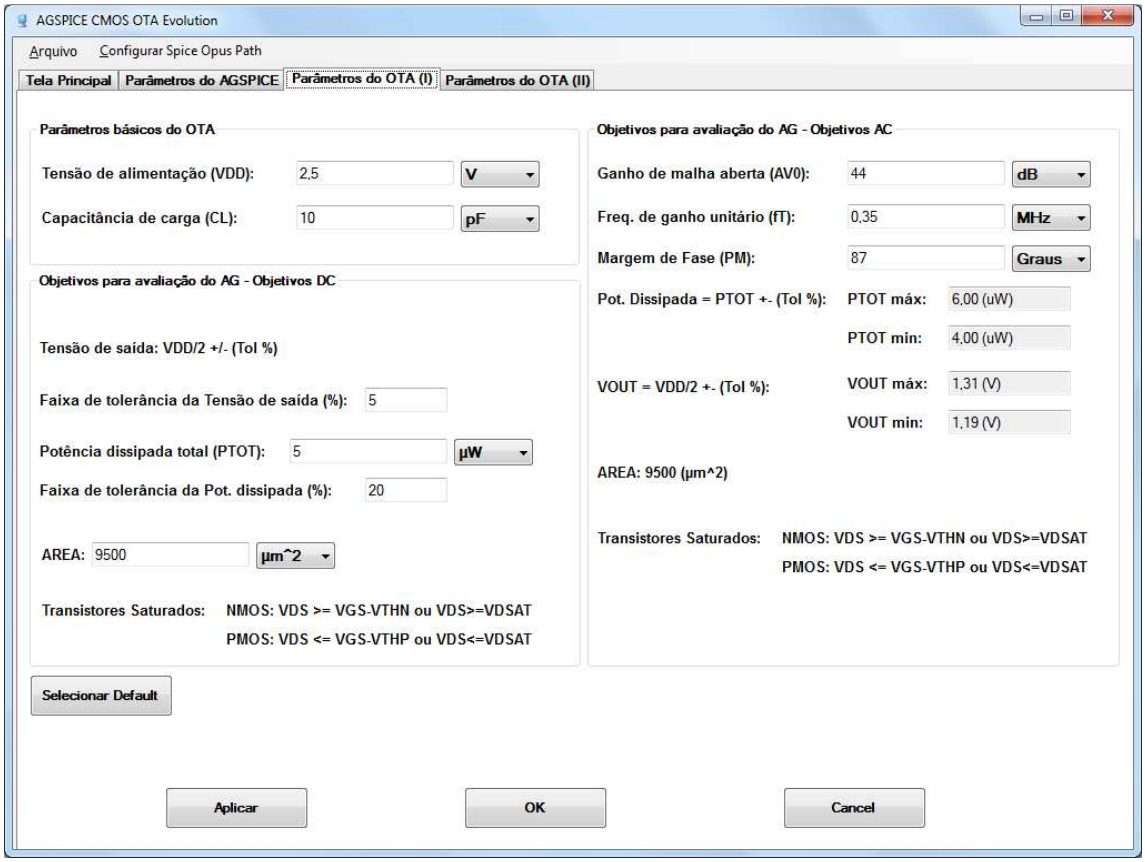


Figura B.4 – Aba "Parâmetros do OTA (I)", onde são especificados pelo projetista V_{DD} e C_L, os quais são mantidos fixos durante a execução do AGSPICE, além dos valores dos objetivos, P_{TOT_obj}, $AREA_obj$, A_{V0_obj}, f_{T_obj}, PM_obj, e as faixas de tolerância de $V_{OUT_obj} = V_{DD}/2$ (%) e P_{TOT_obj} (%).

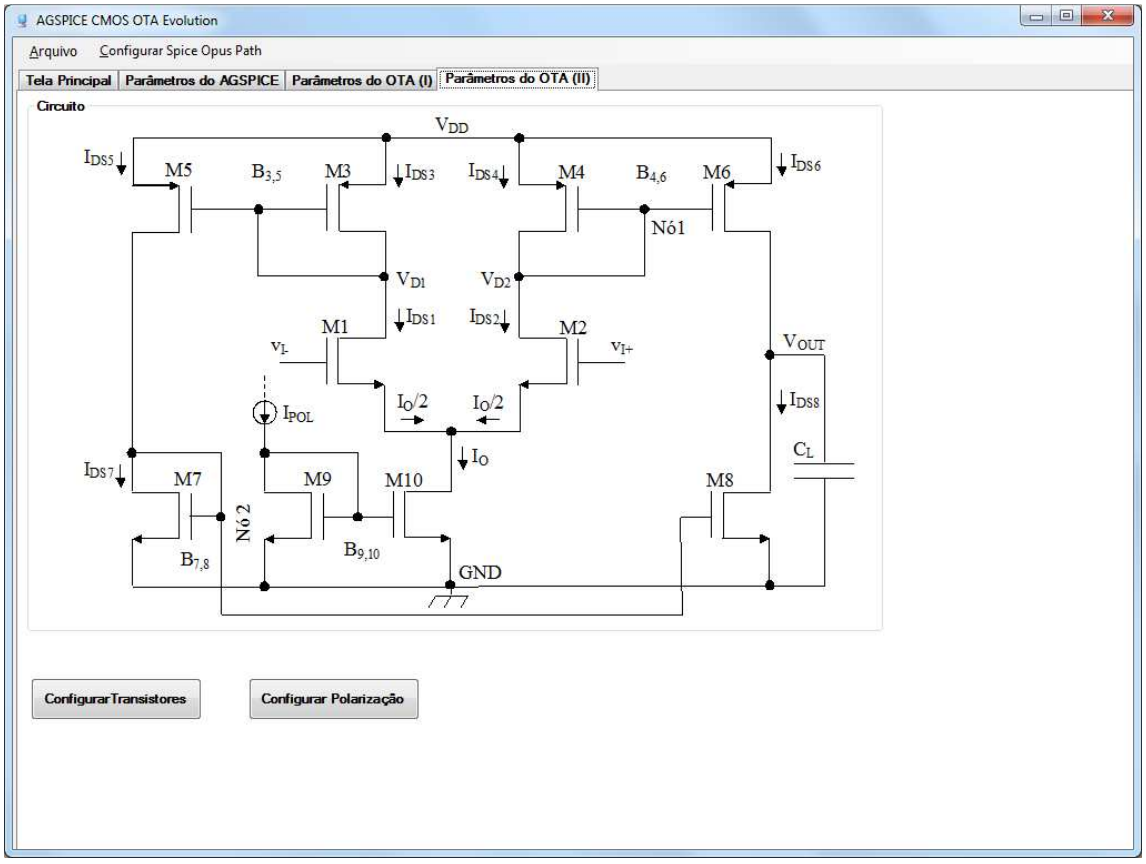


Figura B.5 – Aba “Parâmetros do OTA (II)”, onde o projetista acessa a Tela dos parâmetros das faixas W_{xmin}, W_{xmax}, L_{xmin}, L_{xmax} para cada transistor e também a tela de configuração dos parâmetros de polarização do circuito: I_{POLmin}, I_{POLmax}, $V_{INPOLmin}$ e $V_{INPOLmax}$.

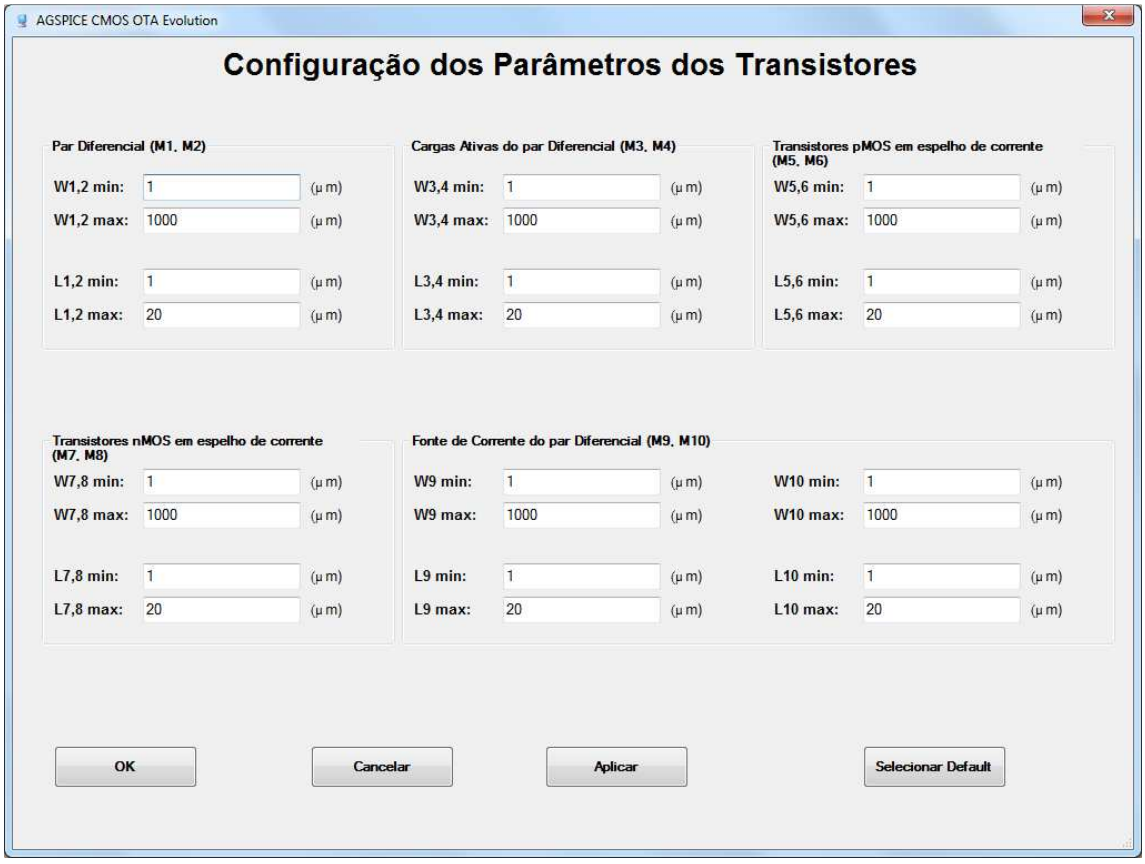


Figura B.6 – Tela acessada através da aba "Parâmetros do OTA (II)", onde o projetista determina as faixas W_{xmin}, W_{xmax}, L_{xmin}, L_{xmax} para cada transistor do circuito do OTA.

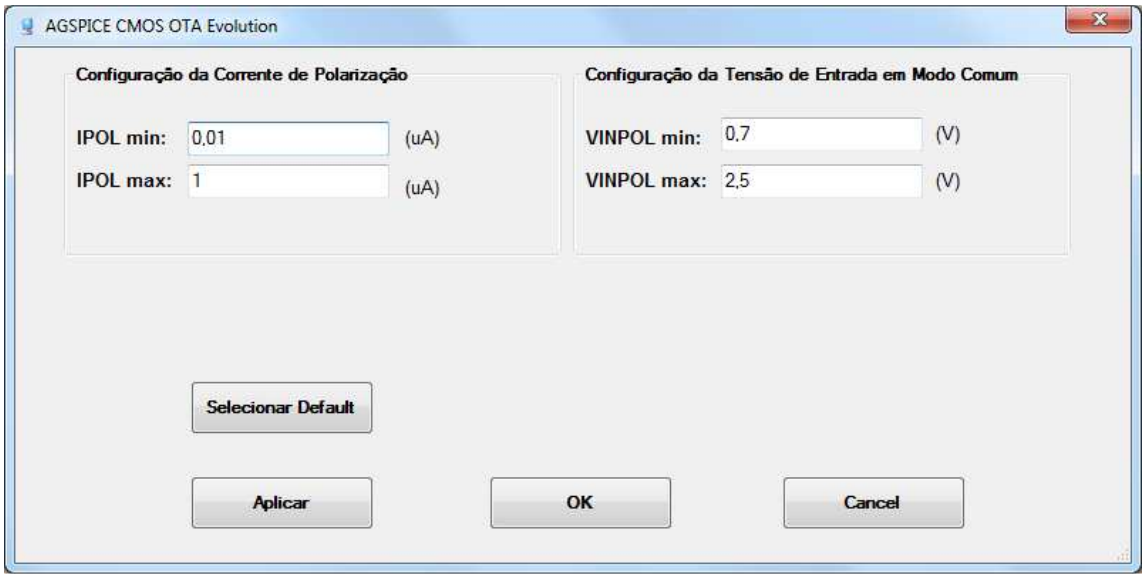


Figura B.7 – Tela acessada através da aba "Parâmetros do OTA (II)", onde o projetista determina as faixas dos parâmetros de polarização do circuito I_{POLmin}, I_{POLmax}, $V_{INPOLmin}$ e $V_{INPOLmax}$.

APÊNDICE C: ILUSTRAÇÃO DA SOLUÇÃO COM O MAIOR VALOR DE AVALIAÇÃO APRESENTADA PELO *SOFTWARE* DESENVOLVIDO NESTE TRABALHO PARA O AMPLIFICADOR OTA MICROPOTÊNCIA2

Solução 17:
*** Avaliação obtida (EvalAG): 91,3288
*** Ganho de tensão em baixas frequências (Av0): 58,42 (dB)
*** Frequência de corte (f3dB): 2,49E+002 (Hz)
*** Frequência de ganho de tensão unitário (fT): 0,21 (MHz)
*** Margem de Fase (PM): 71,00 (°)
*** Tensão de saída DC (VOUT): 1,43 (V)
*** Potência dissipada total (PTOT): 9,67 (uW)
*** Corrente de Polarização (IPOL): 0,67 (uA)
*** Tensão de entrada em modo comum (VINPOL): 1,57 (V)
*** Área Total (AREA): 4961,94 (um^2)
*** M1Reg: Saturação
*** M2Reg: Saturação
*** M3Reg: Saturação
*** M4Reg: Saturação
*** M5Reg: Saturação
*** M6Reg: Saturação
*** M7Reg: Saturação
*** M8Reg: Saturação
*** M9Reg: Saturação
*** M10Reg: Saturação
M1,2: W=29,34 (um); L=19,70 (um);
M3,4: W=39,44 (um); L=5,22 (um);
M5,6: W=31,67 (um); L=19,40 (um);
M7,8: W=1,00 (um); L=20,00 (um);
M9 : W=94,95 (um); L=17,89 (um);
M10 : W=81,75 (um); L=5,22 (um);
IDS1/(W/L)1: 7,03E-007 (A)
IDS2/(W/L)2: 7,03E-007 (A)
IDS3/(W/L)3: 1,38E-007 (A)
IDS4/(W/L)4: 1,38E-007 (A)
IDS5/(W/L)5: 1,41E-007 (A)
IDS6/(W/L)6: 1,41E-007 (A)
IDS7/(W/L)7: 4,61E-006 (A)
IDS8/(W/L)8: 4,61E-006 (A)
IDS9/(W/L)9: 1,26E-007 (A)
IDS10/(W/L)10: 1,34E-007 (A)
*** Fator de ganho do espelho de corrente (B4,6): 0,22
*** Fator de ganho do espelho de corrente (B9,10): 2,95
***

ANEXO A: MODELO SPICE BSIM3 VERSÃO 3.1

A.1 Transistor nMOSFET da Tecnologia CMOS de 0,35 µm da AMIS (ON-SEMICONDUCTOR)

Segue abaixo os parâmetros do modelo BSIM3 Versão 3.1 para os transistores nMOSFETs e seus respectivos valores para o simulador de circuitos Spice Opus:

```
* T99J SPICE BSIM3 VERSION 3.1 PARAMETERS
* DATE: Dec 22/09
* LOT: T99J                WAF: 7101

.model nmosmod nMOS
+ Level = 53
+ VERSION = 3.1 TNOM = 27 TOX = 1.42E-8
+ XJ = 1.5E-7 NCH = 1.7E17 VTH0 = 0.6066706
+ K1 = 0.8916583 K2 = -0.0984787 K3 = 23.6382023
+ K3B = -8.4234075 W0 = 3.807398E-8 NLX = 1.509888E-9
+ DVT0W = 0 DVT1W = 0 DVT2W = 0
+ DVT0 = 0.7849492 DVT1 = 0.3994002 DVT2 = -0.5
+ U0 = 452.2685957 UA = 1E-13 UB = 1.176277E-18
+ UC = -5.73121E-14 VSAT = 1.841184E5 A0 = 0.5371856
+ AGS = 0.0886407 B0 = 1.957761E-6 B1 = 5E-6
+ KETA = -2.530193E-3 A1 = 7.230825E-5 A2 = 0.315185
+ RDSW = 1.081837E3 PRWG = 0.112333 PRWB = -1.908309E-4
+ WR = 1 WINT = 1.761404E-7 LINT = 9.06256E-8
+ XL = 1E-7 XW = 0 DWG = -1.191345E-9
+ DWB = 5.413496E-8 VOFF = -1.406284E-4 NFACTOR = 0.8085791
+ CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+ CDSCB = 0 ETA0 = 1.449343E-3 ETAB = 1
+ DSUB = 0.0129169 PCLM = 2.2363819 PDIBLC1 = 1.729314E-4
+ PDIBLC2 = 1.682325E-3 PDIBLCB = -0.5 DROUT = 1.01633E-4
+ PSCBE1 = 2.511791E9 PSCBE2 = 1E-3 PVAG = 0
+ DELTA = 0.01 RSH = 84.4 MOBMOD = 1
+ PRT = 0 UTE = -1.5 KT1 = -0.11
+ KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+ UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+ WL = 0 WLN = 1 WW = 0
+ WWN = 1 WWL = 0 LL = 0
+ LLN = 1 LW = 0 LWN = 1
+ LWL = 0 CAPMOD = 2 XPART = 0.5
+ CGDO = 1.82E-10 CGSO = 1.82E-10 CGBO = 1E-9
+ CJ = 4.14902E-4 PB = 0.839007 MJ = 0.429248
+ CJSW = 3.600151E-10 PBSW = 0.8 MJSW = 0.2047744
+ CJSWG = 1.64E-10 PBSWG = 0.8 MJSWG = 0.2047744
+ CF = 0 PVTH0 = -0.0632742 PRDSW = 203.232232
+ PK2 = -0.07324 WKETA = 2.457772E-3 LKETA = -6.437462E-3
```

A.2 Transistor pMOSFET da Tecnologia CMOS de 0,35 µm da AMIS (ON-SEMICONDUCTOR)

Segue abaixo os parâmetros do modelo Spice BSIM3 Versão 3.1 para os transistores pMOSFETs e seus respectivos valores para o simulador de circuitos Spice Opus:

```
* T99J SPICE BSIM3 VERSION 3.1 PARAMETERS
* DATE: Dec 22/09
* LOT: T99J                WAF: 7101

.model pmosmod pMOS
+ Level = 53
+ VERSION = 3.1 TNOM = 27 TOX = 1.42E-8
+ XJ = 1.5E-7 NCH = 1.7E17 VTH0 = -0.9152268
+ K1 = 0.553472 K2 = 7.871921E-3 K3 = 6.2769786
+ K3B = -0.4898254 W0 = 1.23924E-7 NLX = 1.141647E-7
+ DVT0W = 0 DVT1W = 0 DVT2W = 0
+ DVT0 = 0.9353874 DVT1 = 0.3671023 DVT2 = -0.1875761
+ U0 = 201.3603195 UA = 2.408572E-9 UB = 1E-21
+ UC = -1E-10 VSAT = 1.202516E5 A0 = 0.8828557
+ AGS = 0.088966 B0 = 5.175071E-7 B1 = 0
+ KETA = -4.865785E-3 A1 = 1.370912E-4 A2 = 0.4773832
+ RDSW = 3E3 PRWG = -0.0281209 PRWB = -0.0479695
+ WR = 1 WINT = 2.309781E-7 LINT = 1.226577E-7
+ XL = 1E-7 XW = 0 DWG = -5.470108E-9
+ DWB = -1.983267E-8 VOFF = -0.0625678 NFACTOR = 1.1137245
+ CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+ CDSCB = 0 ETA0 = 0 ETAB = -0.2
+ DSUB = 1 PCLM = 2.3939111 PDIBLC1 = 0.0494294
+ PDIBLC2 = 3.663793E-3 PDIBLCB = -0.0364718 DROUT = 0.2462657
+ PSCBE1 = 1E8 PSCBE2 = 3.359223E-9 PVAG = 0.0150055
+ DELTA = 0.01 RSH = 105.9 MOBMOD  = 1
+ PRT = 0 UTE = -1.5 KT1 = -0.11
+ KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+ UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+ WL = 0 WLN = 1 WW = 0
+ WWN = 1 WWL = 0 LL = 0
+ LLN = 1 LW = 0 LWN = 1
+ LWL = 0 CAPMOD = 2 XPART = 0.5
+ CGDO = 2.3E-10 CGSO = 2.3E-10 CGBO = 1E-9
+ CJ = 7.238228E-4 PB = 0.8735391 MJ = 0.4909204
+ CJSW = 2.545206E-10 PBSW = 0.8 MJSW = 0.1987115
+ CJSWG = 6.4E-11 PBSWG = 0.8 MJSWG = 0.1987115
+ CF = 0 PVTH0 = 5.98016E-3 PRDSW = 14.8598424
+ PK2 = 3.73981E-3 WKETA = 0.0104146 LKETA = -8.958097E-3
```