

CENTRO UNIVERSITÁRIO DA FEI

FELIPE NEVES SOUZA

**EFEITO DA TENSÃO MECÂNICA BIAxIAL EM
TRANSISTORES SOI TOTALMENTE DEPLETADOS EM
FUNÇÃO DA TEMPERATURA**

São Bernardo do Campo
2010

FELIPE NEVES SOUZA

**EFEITO DA TENSÃO MECÂNICA BIAxIAL EM
TRANSISTORES SOI TOTALMENTE DEPLETADOS EM
FUNÇÃO DA TEMPERATURA**

Dissertação apresentada ao Centro Universitário da
FEI como parte dos requisitos necessários para a
obtenção do título de Mestre em Engenharia
Elétrica.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo
2010



Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Felipe Neves Souza

Matrícula: 1082197

Título do Trabalho: **Efeito da tensão mecânica biaxial em transistores SOI totalmente depletados em função da temperatura.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 20 / outubro / 2010

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

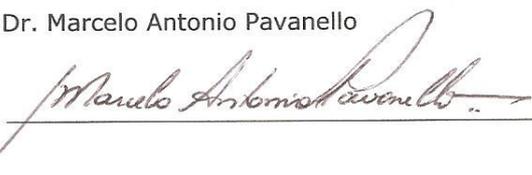
APROVADO

REPROVADO

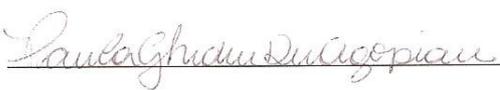
São Bernardo do Campo, 20 / 10 / 2010.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: 

Profa. Dra. Paula Ghedini Der Agopian

Ass.: 

Prof. Dr. Antonio Luis Pacheco Rotondaro

Ass.: 

VERSÃO FINAL DA DISSERTAÇÃO

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA**



Aprovação do Coordenador do Programa de Pós-graduação



Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho aos meus pais, Milton e Elisabete, e a minha família, os quais amo muito e devo tudo que sou.

AGRADECIMENTOS

Em primeiro lugar a Deus que iluminou nossos caminhos durante essa caminhada.

Ao meu orientador Prof. Dr. Marcelo Antonio Pavanello, não somente pela dedicação e orientação, mais pela oportunidade que me foi dada, pelo voto de confiança e toda compreensão nos momentos de dificuldade ao longo desses dois anos. Agradeço sua amizade e seu incentivo.

Aos meus pais, Milton e Elisabete, às minhas irmãs, Thaís e Amanda, e aos meus familiares, pelo constante incentivo e apoio em todas as minhas escolhas, e por acreditarem em todos os meus projetos.

À minha querida amiga e namorada Pâmella, por estar sempre ao meu lado, com seu apoio e dedicação, que contribuíram para que este trabalho fosse possível. Agradeço pela compreensão nos muitos momentos de ausência.

Aos amigos e companheiros nessa jornada, Eduardo, Márcio, Ingrid, Michelly, Renan, Rodrigo e Rudolf, pela ajuda e discussões ao longo deste trabalho, pela convivência e momentos de descontração.

Aos professores, Dr. Renato Giacomini, Dr. Salvador Pinillos Gimenez, Dr. Marcello Bellodi, pelos ensinamentos que contribuíram para o trabalho.

À professora Dra. Paula Agopian, por sua ajuda e contribuição para a finalização deste trabalho.

Ao Centro Universitário da FEI, por ceder a infraestrutura e recursos necessários para a realização do meu trabalho.

Ao CNPq, pelo suporte financeiro prestado ao longo desses dois anos, tornando possível a conclusão deste trabalho.

Aos demais colegas e tantos outros que de alguma forma colaboraram para a realização deste trabalho e que, de forma involuntária, foram aqui omitidos.

A todos, o meu sincero agradecimento.

O primeiro passo em direção ao sucesso é o conhecimento.

Nikola Tesla

RESUMO

Souza, F. N. Efeito da Tensão Mecânica Biaxial em Transistores SOI Totalmente Depletados em Função da Temperatura. 2010. 122 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2010.

Neste trabalho é apresentado um estudo dos efeitos da tensão mecânica biaxial associada à redução de temperatura nas características elétricas de transistores SOI MOSFETs com tecnologia planar de porta única. A atenção será dedicada às características analógicas dos transistores, tais como tensão de limiar, inclinação de sublimiar, transcondutância e condutância de dreno. As estruturas foram geradas através do editor de estruturas *Sentaurus Structure Editor* e, posteriormente, foram realizadas simulações numéricas bidimensionais com o programa *Sentaurus Device*. Para a realização destas simulações foi necessário escolher e ajustar um conjunto de modelos que englobassem todos os fenômenos físicos envolvidos no funcionamento destes transistores, como o efeito do campo elétrico, ionização incompleta dos portadores, ionização por impacto, estreitamento da faixa proibida, os efeitos da redução de temperatura na mobilidade dos portadores, entre outros. Os ajustes de modelo foram realizados de forma empírica, tendo como referência medidas experimentais. Foram obtidas as curvas de corrente de dreno em função da tensão aplicada à porta para transistores SOI convencionais e SOI tensionados biaxialmente, com comprimento de canal variando de 65 nm a 1 μm e temperatura variando de 60 K a 300 K. A partir destas curvas foram extraídos parâmetros elétricos, como a tensão de limiar, transcondutância máxima, inclinação de sublimiar, condutância de dreno, ganho intrínseco de tensão e realizadas comparações entre os transistores SOI tensionados e convencionais, sendo este último usado como referência. Os resultados obtidos através de simulações foram comparados com resultados experimentais. A tensão mecânica apresentou uma elevação significativa da transcondutância máxima para os transistores SOI com canal tensionado em relação aos transistores SOI convencionais, indicando um aumento da mobilidade dos portadores. Os mais altos ganhos foram observados para os maiores comprimentos de canal, atingindo cerca de 75% para transistores tensionados com canal de 1 μm operando em temperatura ambiente, aproximadamente 300 K, e chegando a quase 195% para temperatura de 100 K. Notou-se a redução da tensão de limiar com a aplicação da tensão mecânica. Não foram observadas alterações significativas na inclinação de sublimiar e nos parâmetros analógicos.

Palavras chaves: SOI, sSOI, tensão mecânica, temperatura crionigênica.

ABSTRACT

Souza, F. N. Biaxial Mechanical Strain Effect in Fully Depleted SOI Transistors as a Function of the Temperature. 2010. 122 p., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2010.

In this work a study about the effects of biaxial strain associated to low temperature in the electrical characteristics of transistors SOI MOSFETs from a 65 nm planar single gate technology is presented. The attention will be dedicated to the analog characteristics of the transistors, such as, threshold voltage, subthreshold voltage, transconductance and drain conductance. The structure has been generated in Sentaurus Structure Editor and afterwards was performed a two dimensional numerical simulation in Sentaurus Device. To simulate was necessary to choose and adjust a set of physical and mathematical models, such as effect of electric field, incomplete ionization, generation and recombination of carriers, impact ionization, bandgap narrowing and effects of the temperature reduction in the carriers mobility. These models adjusts were made empirically, using experimental measures as reference. The drain current as function of the voltage applied to gate to unstrained SOI and to biaxial strained SOI, with length from 65 nm to 1 μm with temperature form 60 K to 300 K was obtained. From the curves were extracted electrical parameters as the threshold voltage, maximum transconductance and sub-threshold slope, the results of strained SOI and unstrained SOI were compared, with the last being a reference. The results obtained by simulations were compared with experimental results. The strained devices showed a significant improvement in the drain current level and in maximum transconductance in comparison to unstrained SOI because of the carrier mobility increase thanks to the strain application. The highest gains were observed for the larger channel lengths, reaching about 75% to a strained transistor of a 1 μm operating at room temperature, (about 300 K) and reaching about 195% operating at 100 K. It has been noted a reduction of the threshold voltage with the application of mechanical stress. And there were no significant changes in subthreshold slope and the analog parameters.

Keywords: SOI, sSOI, strained transistors, cryogenics temperatures.

LISTA DE FIGURAS

| | |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 2.1 - Perfil dos transistores nMOSFET convencional (a) e SOI nMOSFET (b)..... | 6 |
| Figura 2.2 - Perfil transversal de um SOI nMOSFET. | 6 |
| Figura 2.3 - Diagrama de faixas de energia para um nMOSFET convencional (a) e um SOI nMOSFET parcialmente depletado (b)..... | 8 |
| Figura 2.4 - Diagrama de faixas de energia para um SOI nMOSFET totalmente depletado. . | 10 |
| Figura 2.5 – Curva esquemática da variação da tensão de limiar com a polarização do substrato para transistores SOI totalmente depletados [3]..... | 14 |
| Figura 2.6 – Curva esquemática $\log(I_{DS}) \times V_{G1}$ evidenciando a região de sublimiar..... | 17 |
| Figura 2.7 - Distribuição das cargas de depleção para o nMOSFET convencional de canal longo (a) e nMOS de canal curto (b) [3]..... | 19 |
| Figura 2.8 - Distribuição das cargas de depleção para o SOI nMOSFET de canal longo (a) e SOI nMOSFET de canal curto (b) [3]. | 20 |
| Figura 2.9 – Concentração intrínseca de portadores e largura da faixa proibida em função da temperatura, obtidas através das equações (2.38) e (2.39) [43]..... | 24 |
| Figura 2.10 – Curvas de porcentagem de impurezas ionizadas e potencial de Fermi em função da temperatura [43]..... | 25 |
| Figura 2.11 – Diagrama esquemático da formação da tensão mecânica uniaxial [56]. | 32 |
| Figura 2.12 – Transistor SOI nMOS com tensão mecânica uniaxial induzida pela deposição de uma camada de nitreto de silício. | 33 |
| Figura 2.13 – Estruturas cúbicas do Si e do SiGe (a) e uma estrutura formada por uma camada epitaxial de SiGe sobre um substrato de Si [59]..... | 34 |
| Figura 2.14 – Discordâncias de misfit na interface Si-SiGe. | 35 |
| Figura 2.15 – Formação da lâmina de silício tensionado através da utilização de ligas SiGe. | 35 |
| Figura 2.16 – Esquemático do processo de fabricação do transistor SOI com canal tensionado. | 36 |
| Figura 2.17 – Representação das componentes da tensão mecânica. | 37 |
| Figura 2.18 – Elipsóides representando a energia constante na faixa de condução do Si (a), do Si deformado por força compressiva (b), do silício por força tensiva (c) e a variação da faixa de energia para um Si deformado por força tensiva (d). | 41 |
| Figura 2.19 – Comportamento da faixa de valência do Si sem tensão mecânica (a) e com tensão mecânica biaxial (b). | 42 |

| | |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 2.20 – Variação bidimensional da tensão mecânica na direção da largura de uma ilha de silício (a) e distribuição unidimensional à 1 μm abaixo do óxido de porta [78]. | 44 |
| Figura 4.1 – Seção transversal de um nMOSFET gerado no Sentaurus Estructure Editor indicando as regiões de fonte, dreno, canal e LDD. | 51 |
| Figura 4.2 – Corte realizado a 1 nm da primeira interface demonstrando a distribuição da concentração de dopantes ao longo do comprimento de canal. | 51 |
| Figura 4.3 – Comparação das curvas de $I_{DS} \times V_{G1}$ em escala linear (a) e semi-logarítmica (b) simuladas no Sentaurus Device e no Atlas. | 52 |
| Figura 4.4 – Comparação das curvas de $g_m \times V_{G1}$ simuladas no Sentaurus Device e no Atlas. | 52 |
| Figura 4.5 – Comparação das curvas de $V_{Th} \times L$ (a), $g_{m,max} \times L$ (b) e $S \times L$ (c), obtidos por simulações utilizando o Sentaurus Device e Atlas. | 53 |
| Figura 4.6 - Comparação das curvas de $I_{DS} \times V_{G1}$ em escala linear (a) e semi-logarítmica (b) variando a temperatura, simuladas no Sentaurus Device e no Atlas. | 55 |
| Figura 4.7 - Comparação das curvas de $g_m \times V_{G1}$ variando a temperatura, simuladas no Sentaurus Device e no Atlas. | 55 |
| Figura 4.8 – Comparação das curvas de $I_{DS} \times V_{DS}$ com V_{GT} de 200 mV, simuladas no Sentaurus Device e no Atlas para transistores de 140 nm e 900 nm. | 56 |
| Figura 4.9 – Curvas $I_{DS} \times V_{G1}$ (a) e $g_m \times V_{G1}$ (b) de um transistor SOI com comprimento de canal de 160nm, 600 nm e 900 nm, onde são comparados os resultados experimentais com os simulados, usando o modelo de mobilidade com o valor de mobilidade máxima ajustado. | 57 |
| Figura 4.10 – Curvas de $I_{DS} \times V_{DS}$ de um transistor SOI com comprimento de canal de 600 nm, em temperatura ambiente ($T = 300\text{ K}$), variando a sobre tensão de porta (V_{GT}). São comparados os resultados experimentais e simulados. | 59 |
| Figura 4.11 – Curva utilizada para aproximar o efeito do relaxamento da tensão mecânica nas interfaces laterais dos dispositivos (equação (4.3)). | 60 |
| Figura 4.12 – Distribuição da tensão mecânica ao longo do comprimento de canal para um dispositivo com $L = 100\text{ nm}$ | 61 |
| Figura 4.13 – Corte longitudinal mostrando a distribuição da tensão mecânica ao longo do comprimento de canal de transistores com diferentes comprimentos de canal. | 61 |

| | |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 4.14 – Curvas simuladas e experimentais da transcondutância em função da tensão aplicada à porta para transistores SOI e sSOI com comprimento de canal de 600 nm e 900 nm. | 63 |
| Figura 4.15 – Curvas de transcondutância máxima e aumento percentual da transcondutância máxima em função do comprimento de canal, obtidos através de simulações e experimentalmente para transistores SOI convencional e sSOI. | 64 |
| Figura 4.16 – Curvas de tensão de limiar em função do comprimento de canal para transistores SOI e sSOI, obtidas através de simulações e experimentalmente. | 65 |
| Figura 4.17 – Curvas de tensão de limiar em função do comprimento de canal para transistores SOI e sSOI, obtidas através de simulações e experimentalmente. | 66 |
| Figura 4.18 – Curvas $I_{DS} \times V_{G1}$ em função da temperatura para um transistor SOI convencional com comprimento de canal de 65 nm (a), 500 nm (b) e 1 μm (c). | 67 |
| Figura 4.19 – Curvas $I_{DS} \times V_{G1}$ para transistores SOI e sSOI com comprimentos de canal de 100 nm (a), 500 nm (b) e 1 μm (c), demonstrando o efeito da tensão mecânica associado à redução de temperatura. | 68 |
| Figura 4.20 - Curvas $g_m \times V_{G1}$ para transistores SOI com comprimento de canal de 65 nm (a) e 1 μm (b), com temperatura variando de 60 K à 300 K. | 69 |
| Figura 4.21 – Curvas de transcondutância máxima em função da temperatura, variando de 60 K à 300 K para transistores SOI convencionais com comprimento de canal de 65 nm à 1 μm | 70 |
| Figura 4.22 - Curvas de transcondutância máxima normalizada em função do comprimento de canal, para transistores SOI convencionais com comprimento de canal variando de 65 nm à 1 μm , em diversas temperaturas. | 70 |
| Figura 4.23 - Curvas de $g_{m,max} \times T$ em função do comprimento de canal comparando os transistores SOI convencionais e SOI com tensão mecânica biaxial. | 71 |
| Figura 4.24 - Curvas de $g_{m,max}/L \times L$ em função da temperatura comparando os transistores SOI convencionais e SOI com tensão mecânica biaxial. | 71 |
| Figura 4.25 – Curvas apresentando o ganho percentual de $g_{m,max}$ dos transistores SOI tensionados em relação aos convencionais em função da temperatura. | 72 |
| Figura 4.26 - Curvas apresentando o ganho percentual de $g_{m,max}$ dos transistores SOI tensionados em relação aos convencionais em função do comprimento de canal. | 72 |
| Figura 4.27 – Curvas de tensão de limiar em função da temperatura para transistores SOI convencionais com diversos comprimentos de canal. | 73 |

| | |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 4.28 – Curvas de tensão de limiar em função do comprimento de canal para transistores SOI convencionais operando em diversas temperaturas. | 74 |
| Figura 4.29 – Curvas de tensão de limiar em função da temperatura comparando transistores sSOI com SOI convencionais, ambos com comprimentos de canal de 1 μm , 500 nm e 100nm. | 74 |
| Figura 4.30 – Curvas de tensão de limiar em função do comprimento de canal, variando a temperatura de 100 K à 300 K, comparando transistores sSOI e SOI convencional, | 75 |
| Figura 4.31 – Curvas $S \times L$ em função da temperatura para transistores SOI convencionais.. | 76 |
| Figura 4.32 - Curvas de $S \times T$ em função do comprimento de canal para transistores SOI convencionais. | 76 |
| Figura 4.33 - Curvas experimentais e simuladas de $g_m \times L$ com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI, em temperatura ambiente. | 78 |
| Figura 4.34 – Curvas experimentais e simuladas de $g_D \times L$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI, em temperatura ambiente. | 78 |
| Figura 4.35 - Curvas experimentais e simuladas de $A_V \times L$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI, em temperatura ambiente. | 79 |
| Figura 4.36 - Curvas de $g_D \times T$ com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI com comprimento de canal de 1 μm , 600 nm e 200 nm. ... | 80 |
| Figura 4.37 - Curvas de $g_D \times L$ com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI em diversas faixas de temperatura. | 80 |
| Figura 4.38 - Curvas de $g_m \times T$ com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI com comprimento de canal de 1 μm , 600 nm e 200 nm. ... | 81 |
| Figura 4.39 - Curvas de g_m normalizado $\times L$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI em diversas faixas de temperatura..... | 81 |
| Figura 4.40 - Curvas de $A_V \times T$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI com comprimento de canal de 1 μm , 600 nm e 200 nm. ... | 82 |
| Figura 4.41 - Curvas de $A_V \times L$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI em diversas faixas de temperatura. | 82 |
| Figura 4.42 - Curvas de $A_V \times T$ com V_{GT} de 600 mV e $V_{DS} = 550$ mV para transistores SOI, obtidas experimentalmente [87]. | 83 |

LISTA DE TABELAS

| | |
|------------------------------------------------------------------------------------|----|
| Tabela 3.1 – Equivalência entre os programas do TCAD Sentaurus e TCAD Silvaco..... | 45 |
| Tabela 3.2 – Equivalência entre os modelos do TCAD Sentaurus e TCAD Silvaco..... | 48 |
| Tabela 4.1 – Comparação entre os parâmetros medidos e simulados.. | 58 |

LISTA DE ABREVIATURAS E SIGLAS

| | |
|---------|-------------------------------------------------------------------------------------------------------------------|
| CI | Circuitos Integrados |
| DOS | <i>Density of States</i> (densidade de estados) |
| FD | <i>Fully Depleted</i> (totalmente depletado) |
| FET | <i>Field Effect Transistor</i> (transistor de efeito de campo) |
| IMEC | <i>Interuniversity Microelectronics Centre</i> |
| LDD | <i>Lightly Doped Drain</i> (dreno fracamente dopado) |
| MOS | <i>Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor) |
| MOSFET | <i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> (transistor de efeito de campo metal-óxido-semicondutor) |
| NFD | <i>Near Fully Depleted</i> (quase totalmente depletado) |
| nMOSFET | MOSFET com canal tipo n |
| PD | <i>Partially Depleted</i> (parcialmente depletado) |
| pMOSFET | MOSFET com canal tipo p |
| RSD | <i>Raised Source and Drain</i> (fonte e dreno elevados) |
| sCESL | <i>Strained Contact-Etch Stop Layer</i> |
| SDE | <i>Sentaurus Structure Editor</i> |
| SDevice | <i>Sentaurus Device</i> |
| SOI | <i>Silicon-on-Insulator</i> (silício-sobre-isolante) |
| SRH | <i>Shockley-Read-Hall</i> |
| sSOI | <i>strained Silicon-On-Insulator</i> (silício tensionado sobre isolante) |
| TCAD | <i>Technology Computer-Aided Design</i> |
| VLSI | <i>Very-Large-Scale Integration</i> |

LISTA DE SÍMBOLOS

| | |
|--------------------|-------------------------------------------------------------------------------------------------|
| A_1 | Parâmetro que representa a assíntota horizontal do início da curva [GPa] |
| A_2 | Parâmetro que representa a assíntota horizontal do final da curva [GPa] |
| A_V | Ganho intrínseco de tensão |
| a_{Ge} | Parâmetro de rede do germânio [nm] |
| a_H | Parâmetro de rede horizontal [nm] |
| a_{Si} | Parâmetro de rede do silício [nm] |
| $a_{Si_{1-x}Ge_x}$ | Parâmetro de rede da liga silício-germânio [nm] |
| a_V | Parâmetro de rede vertical [nm] |
| C | Quarta ordem do módulo tensor de elasticidade |
| C_{11}^{SiGe} | Constante elástica da liga SiGe |
| C_{12}^{SiGe} | Constante elástica da liga SiGe |
| C_D | Capacitância da região de depleção por unidade de área [F/cm^2] |
| C_{it1} | Capacitância das armadilhas de interface por unidade de área na primeira interface [F/cm^2] |
| C_{it2} | Capacitância das armadilhas de interface por unidade de área na segunda interface [F/cm^2] |
| C_{ox} | Capacitância do óxido de porta por unidade de área do transistor MOSFET [F/cm^2] |
| C_{ox1} | Capacitância do óxido de porta por unidade de área do transistor SOI MOSFET [F/cm^2] |
| C_{ox2} | Capacitância do óxido enterrado por unidade de área [F/cm^2] |
| C_r | Parâmetro de ajuste da equação de mobilidade |
| C_s | Parâmetro de ajuste da equação de mobilidade |
| C_{Si} | Capacitância da camada de silício por unidade de área [F/cm^2] |
| d | Distância de parte do comprimento de canal do transistor [μm] (figura 2.11) |

| | |
|-------------|---------------------------------------------------------|
| E_A | Nível de energia das impurezas aceitadoras [eV] |
| E_C | Nível de energia inferior da faixa de condução [eV] |
| E_D | Nível de energia das impurezas doadoras [eV] |
| E_{FS} | Nível de energia de Fermi do semiconductor [eV] |
| E_{FM} | Nível de Fermi do metal de porta [eV] |
| E_{Fn} | Nível de Fermi para elétrons [eV] |
| E_{Fp} | Nível de Fermi para lacunas [eV] |
| E_{FS} | Nível de Fermi da camada do semiconductor [eV] |
| E_g | Largura da faixa proibida [eV] |
| E_i | Nível de Fermi intrínseco [eV] |
| E_V | Nível de energia superior da faixa de valência [eV] |
| F_n | Nível de quase-Fermi dos elétrons [eV] |
| g_D | Condutância de dreno [S] |
| g_{DSat} | Condutância de dreno na região de saturação [S] |
| g_m | Transcondutância do dispositivo [S] |
| $g_{m,max}$ | Transcondutância máxima do dispositivo [S] |
| \hbar | Constante de Plank [$6,626 \times 10^{-34}$ J.s] |
| I_D | Corrente de dreno [A] |
| I_{DS} | Corrente entre dreno e fonte [A] |
| I_{DSat} | Corrente entre dreno e fonte em saturação [A] |
| k | Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K] |
| L | Comprimento de canal do transistor [μm] |
| m^* | Massa efetiva total do silício |
| m_0 | Massa do elétron [$9,11 \times 10^{-31}$ Kg] |
| m_l | Massa efetiva longitudinal do silício |
| m_n | Massa efetiva de densidade de estado para elétrons |

| | |
|------------|-----------------------------------------------------------------------------------------------------------|
| $m_{n,l}$ | Massa efetiva longitudinal dos elétrons |
| $m_{n,t}$ | Massa efetiva transversa dos elétrons |
| m_p | Massa efetiva de densidade de estado para lacunas |
| m_t | Massa efetiva transversal do silício |
| n | Fator de corpo do transistor |
| N | Concentração de impurezas [cm^{-3}] |
| N^+ | Concentração de impurezas ionizadas [cm^{-3}] |
| N_A | Concentração de impurezas aceitadoras [cm^{-3}] |
| N_A^- | Concentração de impurezas aceitadoras ionizadas [cm^{-3}] |
| N_c | Densidade de estados na faixa de condução |
| N_D | Concentração de impurezas doadoras [cm^{-3}] |
| N_D^+ | Concentração de impurezas doadoras ionizadas [cm^{-3}] |
| n_i | Concentração intrínseca de portadores [cm^{-3}] |
| N_{it} | Densidade de armadilhas de interface por unidade de área [F/cm^2] |
| N_{it1} | Densidade de armadilhas de interface na primeira interface por unidade de área [F/cm^2] |
| N_{it2} | Densidade de armadilhas de interface na segunda interface por unidade de área [F/cm^2] |
| N_v | Densidade de estados na faixa de valência |
| q | Carga do elétron [$1,6 \times 10^{-19} \text{ C}$] |
| Q_{dl} | Densidade de cargas de depleção efetiva na camada de silício [C/cm^2] |
| Q_{depl} | Densidade de cargas de depleção na camada de silício [C/cm^2] |
| Q_{inv1} | Densidade de cargas de inversão na primeira interface [C/cm^2] |
| Q_{ox} | Densidade de cargas fixas no óxido por unidade de área no MOSFET convencional [C/cm^2] |
| Q_{ox1} | Densidade de cargas fixas no óxido no óxido de porta por unidade de área [C/cm^2] |

| | |
|----------------|-------------------------------------------------------------------------------|
| Q_{ox2} | Densidade de cargas fixas no óxido enterrado por unidade de área [C/cm^2] |
| R_0 | Resistência sem aplicação da tensão mecânica [Ω] |
| r_j | Profundidade de junção de fonte e dreno [μm] |
| R_S | Resistência série [Ω] |
| T | Temperatura [K] |
| t_{ox1} | Espessura do óxido de porta [μm] |
| t_{ox2} | Espessura do óxido enterrado [μm] |
| t_{Si} | Espessura da camada de silício [μm] |
| V_D | Tensão aplicada ao dreno [V] |
| V_{DS} | Tensão aplicada entre dreno e fonte [V] |
| V_{EA} | Tensão de Early [V] |
| V_{FB} | Tensão de faixa plana [V] |
| V_{G1} | Tensão aplicada à primeira porta do transistor SOI [V] |
| V_{G2} | Tensão aplicada ao substrato do transistor SOI [V] |
| $V_{G2,acc2}$ | Tensão aplicada ao substrato para que a segunda interface acumule [V] |
| V_{GT} | Sobretensão de porta [V] |
| V_{ox} | Queda de potencial no óxido de porta [V] |
| V_{ox1} | Queda de potencial no óxido de porta [V] |
| V_{ox2} | Queda de potencial no óxido enterrado [V] |
| V_S | Tensão aplicada à fonte [V] |
| $v_{sat,e}$ | Velocidade de saturação dos elétrons na camada de silício [cm/s] |
| $v_{sat,n}$ | Velocidade de saturação das lacunas na camada de silício [cm/s] |
| V_{Th} | Tensão de limiar [V] |
| V_{Th0} | Tensão de limiar com tensão aplicada ao substrato igual a zero [V] |
| V_{Th1} | Tensão de limiar da primeira interface [V] |
| $V_{Th1,acc2}$ | Tensão de limiar da primeira interface com a segunda interface acumulada [V] |

| | |
|--------------------|--------------------------------------------------------------------------------------|
| $V_{Th1,depl2}$ | Tensão de limiar da primeira interface com a segunda interface depletada [V] |
| $V_{Th1,inv2}$ | Tensão de limiar da primeira interface com a segunda interface em invertida [V] |
| W | Largura do canal do transistor [μm] |
| x | Fração atômica de germânio na liga silício-germânio ($\text{Si}_{1-x}\text{Ge}_x$) |
| x_d | Espessura da camada de depleção [μm] |
| x_{d1} | Espessura da camada de depleção da primeira interface [μm] |
| x_{d2} | Espessura da camada de depleção da segunda interface [μm] |
| x_{dmax} | Espessura máxima da camada de depleção [μm] |
| α | Acoplamento capacitivo entre o canal, a porta e o substrato |
| α_1 | Coefficiente de dilatação do primeiro material |
| α_2 | Coefficiente de dilatação do segundo material |
| Δ_2 | Vales degenerados de energia perpendiculares ao plano |
| Δ_4 | Vales degenerados de energia paralelos ao plano |
| Δ_6 | Vales degenerados de energia |
| ΔE_c | Variação na faixa de condução |
| ΔE_g | Variação no largura de faixa proibida |
| ΔR | Variação da resistência |
| $\Delta \rho$ | Variação da resistividade |
| ε_{kl} | Deformação mecânica (strain) |
| ε_{xx} | Deformação na direção da largura de canal (<i>strain</i>) |
| ε_{zz} | Deformação na direção do comprimento de canal (<i>strain</i>) |
| ε_{Si} | Permissividade do silício [$1,6 \cdot 10^{-12}$ F/cm] |
| Φ_F | Potencial de Fermi [V] |
| Φ_M | Função trabalho do metal [V] |
| Φ_{MS} | Diferença da função trabalho entre o metal e silício [V] |
| Φ_{M1} | Função trabalho do metal da primeira interface [V] |

| | |
|----------------|----------------------------------------------------------------------------------------------------------------------|
| Φ_{M2} | Função trabalho do metal da segunda interface [V] |
| Φ_{Si} | Função trabalho do silício [V] |
| Φ_{S1} | Potencial de superfície da primeira interface [V] |
| Φ_{S2} | Potencial de superfície da segunda interface [V] |
| η | Diferença entre o nível de quase-Fermi dos elétrons e a energia de condução |
| λ | Parâmetro que considera o efeito de modulação do comprimento de canal devido à tensão aplicada ao dreno [V^{-1}] |
| μ_0 | Mobilidade dos portadores independente do campo elétrico [$cm^2/V.s$] |
| μ_{ac} | Mobilidade devido ao espalhamento por fônons [$cm^2/V.s$] |
| μ_B | Mobilidade do substrato [$cm^2/V.s$] |
| $\mu_{i,C}$ | Mobilidade dos elétrons devido ao espalhamento portador-portador |
| $\mu_{i,DAeh}$ | Mobilidade dos elétrons unificando os mecanismos de espalhamento portador-portador e impurezas ionizadas |
| $\mu_{i,L}$ | Mobilidade devido ao espalhamento de rede |
| $\mu_{i,N}$ | Mobilidade devido ao espalhamento de impurezas |
| μ_n | Mobilidade efetiva dos elétrons [$cm^2/V.s$] |
| μ_{n0} | Mobilidade efetiva dos elétrons sem aplicação de tensão mecânica [$cm^2/V.s$] |
| μ_{sr} | Mobilidade devido à rugosidade de superfície |
| Π | Matriz de coeficientes piezoresistivos |
| ρ_0 | Resistividade sem aplicação da tensão mecânica |
| σ_{ij} | Tensão mecânica (stress) [GPa] |
| σ_{xx} | Tensão mecânica na direção da largura de canal [GPa] |
| σ_{zz} | Tensão mecânica na direção do comprimento de canal [GPa] |
| τ | Tempo de vida dos portadores |
| τ_0 | Tempo total de vida dos portadores para silício não tensionado |
| τ_i | Tempo total de vida dos portadores para silício tensionado |

SUMÁRIO

| | |
|-----------------------------------------------------------------|-------------|
| AGRADECIMENTOS | v |
| RESUMO | vii |
| ABSTRACT | viii |
| LISTA DE FIGURAS | ix |
| LISTA DE TABELAS | xiii |
| LISTA DE ABREVIATURAS E SIGLAS | xiv |
| LISTA DE SÍMBOLOS | xv |
| 1 INTRODUÇÃO | 1 |
| 1.1 Histórico | 1 |
| 1.2 Motivação e objetivo | 2 |
| 1.3 Organização | 4 |
| 2 CONCEITOS FUNDAMENTAIS | 5 |
| 2.1 Tecnologia Silício Sobre Isolante (SOI MOSFET)..... | 5 |
| 2.2 Modo de funcionamento dos SOI MOSFET | 7 |
| 2.2.1 Dispositivo SOI de parcialmente depletados (PD SOI)..... | 7 |
| 2.2.2 Dispositivo SOI totalmente depletado (FD SOI)..... | 9 |
| 2.2.3 Dispositivo SOI quase totalmente depletado (NFD SOI)..... | 10 |
| 2.2.4 Vantagens do dispositivo SOI totalmente depletado | 10 |
| 2.3 Parâmetros elétricos do SOI MOSFET..... | 11 |
| 2.3.1 Tensão de limiar (V_{Th})..... | 11 |
| 2.3.2 Efeito de corpo..... | 13 |
| 2.3.3 Características Corrente x Tensão | 16 |
| 2.3.4 Inclinação de sublimiar (S)..... | 16 |
| 2.3.5 Transcondutância (g_m) | 18 |
| 2.3.6 Efeitos de canal curto..... | 19 |
| 2.3.7 Ionização por impacto..... | 21 |

| | | |
|----------|---------------------------------------------------------------------------------|-----------|
| 2.4 | Influência da temperatura nos dispositivos semicondutores | 21 |
| 2.4.1 | Efeitos nas propriedades elétricas dos semicondutores | 22 |
| 2.4.1.1 | Concentração intrínseca de portadores e largura da faixa proibida | 22 |
| 2.4.1.2 | Ionização incompleta de portadores e potencial de Fermi..... | 24 |
| 2.4.2 | Efeito da redução de temperatura nos parâmetros elétricos | 26 |
| 2.4.2.1 | Tensão de limiar | 26 |
| 2.4.2.2 | Inclinação de sublimiar..... | 26 |
| 2.4.2.3 | Mobilidade..... | 27 |
| 2.4.2.4 | Transcondutância..... | 30 |
| 2.5 | Transistor SOI MOSFET com canal tensionado | 31 |
| 2.5.1 | Processos de indução da tensão mecânica | 31 |
| 2.5.1.1 | Tensão mecânica uniaxial induzida pelo estresse térmico | 31 |
| 2.5.1.2 | Tensão mecânica biaxial induzida pela diferença de distância interatômica | 33 |
| 2.5.2 | Relação entre tensão mecânica (stress) e deformação (strain) | 37 |
| 2.5.3 | Piezoresistência..... | 39 |
| 2.5.4 | Estrutura de faixas de energia..... | 40 |
| 2.5.5 | Efeito na mobilidade dos portadores | 42 |
| 2.5.6 | Efeito na tensão de limiar | 43 |
| 2.5.7 | Dependência da tensão biaxial com as dimensões do dispositivo..... | 44 |
| 3 | SIMULADOR NUMÉRICO DE DISPOSITIVOS..... | 45 |
| 3.1 | Editor de dispositivos: Sentaurus Structure Editor..... | 46 |
| 3.2 | Simulador de dispositivos: Sentaurus Device..... | 46 |
| 3.3 | Visualizador de estruturas: Tecplot SV | 47 |
| 3.4 | Visualizador de resultados: Inspect | 47 |
| 3.5 | Modelos utilizados..... | 47 |
| 4 | DISPOSITIVOS UTILIZADOS E RESULTADOS..... | 50 |
| 4.1 | Características dos dispositivos | 50 |
| 4.2 | Calibração do simulador TCAD Sentaurus | 50 |

| | | |
|----------|--------------------------------------------------------------------------------------------------------|-----------|
| 4.2.1 | Comparação entre modelos do TCAD Sentaurus e TCAD Silvaco | 51 |
| 4.2.1.1 | Corrente de dreno em função da tensão de porta ($I_{DS} \times V_{G1}$) em temperatura ambiente..... | 52 |
| 4.2.1.2 | Corrente de dreno em função da tensão de porta ($I_{DS} \times V_{G1}$) em baixas temperaturas..... | 54 |
| 4.2.1.3 | Corrente de dreno em função da tensão aplicada ao dreno ($I_{DS} \times V_{DS}$)..... | 55 |
| 4.2.2 | Comparação entre curvas simuladas e experimentais | 56 |
| 4.2.2.1 | Corrente de dreno em função da tensão de porta ($I_{DS} \times V_{G1}$)..... | 57 |
| 4.2.2.2 | Corrente de dreno em função da tensão aplicada ao dreno ($I_{DS} \times V_{DS}$)..... | 58 |
| 4.3 | Características dos dispositivos com tensão mecânica..... | 59 |
| 4.3.1 | Aplicação da tensão mecânica e simulação do relaxamento | 59 |
| 4.3.2 | Modelos utilizados nas simulações com tensão mecânica | 62 |
| 4.4 | Efeito da tensão mecânica biaxial em transistores SOI..... | 62 |
| 4.4.1 | Transcondutância..... | 63 |
| 4.4.2 | Tensão de limiar | 64 |
| 4.4.3 | Inclinação de sublimiar..... | 65 |
| 4.5 | Efeitos da redução de temperatura em transistores SOI e sSOI..... | 66 |
| 4.5.1 | Corrente de dreno em função da tensão aplicada à porta | 66 |
| 4.5.2 | Transcondutância..... | 68 |
| 4.5.3 | Tensão de limiar | 73 |
| 4.5.4 | Inclinação de sublimiar..... | 75 |
| 4.6 | Parâmetros analógicos | 77 |
| 5 | CONCLUSÕES E TRABALHOS FUTUROS..... | 84 |
| | REFERÊNCIAS | 86 |
| | APÊNDICE A – Arquivo de entrada para gerar uma estrutura sSOI MOSFET..... | 94 |
| | APÊNDICE B – Arquivo de entrada para simulação de uma estrutura sSOI MOSFET ... | 99 |

1 INTRODUÇÃO

1.1 Histórico

A microeletrônica refere-se à tecnologia voltada à integração de circuitos, promovendo a miniaturização dos componentes eletrônicos em escala microscópica. Os circuitos integrados (CI) englobam bilhões de componentes em um pequeno pedaço de silício, como um microprocessador, por exemplo [1]. Iniciou-se em meados de 1930, com a concepção do conceito do transistor de efeito de campo tipo metal-óxido-semicondutor (MOSFET), sendo fabricado apenas na década de 60 e tornando-se extremamente popular no final de 1970 [1]. Em sua fabricação, ocupava uma pequena área de silício ou germânio na pastilha do circuito integrado, com um processo de fabricação relativamente simples. Circuitos complexos como funções analógico-digitais e memórias podem ser implementadas utilizando exclusivamente transistores MOSFETs, isto é, não há necessidade de resistores ou diodos. Por essa razão, a maioria dos circuitos integrados em escala muito alta de integração (*Very-Large-Scale Integration* – VLSI) utiliza a tecnologia MOSFET, tornando o transistor a base de grande parte dos circuitos eletrônicos da atualidade [1].

O nome transistor surgiu originalmente como uma abreviação para “*transfer resistor*”, referindo-se ao fato da operação do transistor envolver a transferência de corrente do dreno para a fonte, sendo esta transferência controlada pela porta. Com o avanço da tecnologia, torna-se cada vez mais necessária uma maior densidade de componentes em uma única pastilha, resultando em menor custo de montagem, volume e aumento da confiabilidade devido à diminuição das dimensões dos circuitos integrados [2]. Porém, com a miniaturização dos dispositivos MOSFETs surgiram efeitos indesejados, especialmente decorrentes da redução do comprimento de canal, chamados de efeito de canal curto. Com isso, foi incentivado o desenvolvimento de uma nova tecnologia com o intuito de reduzir estes efeitos de canal curto, dando origem à tecnologia silício sobre isolante, denominada SOI MOSFET [3].

Embora os primeiros circuitos integrados em lâminas SOI tenham sido fabricados em 1963, apenas três anos após o surgimento dos primeiros transistores MOSFETs convencionais, sua utilização permaneceu restrita a poucas aplicações neste período, como ambientes sujeitos a radiação [4] e alta temperatura [5]. Somente na década de 80, com a

evolução das etapas de processo foi possível a obtenção de lâminas de silício SOI com qualidade comparável às convencionais e com menor custo, tornando assim esta tecnologia uma substituta em potencial para a tecnologia MOS convencional (*bulk* MOS) [3]. Na tecnologia SOI MOSFET, os dispositivos são fabricados em uma fina camada de silício (região ativa), da ordem de centenas ou até dezenas de nanômetros, separada do restante do substrato por um material isolante. O isolamento dielétrico proporcionado por essa camada isolante tende a minimizar, ou em alguns casos, suprimir os efeitos parasitários decorrentes da redução de dimensões dos dispositivos MOSFETs convencionais [3].

Algumas vantagens que tornam o transistor SOI mais interessante são: aumento da mobilidade [6]; e da transcondutância; redução do efeito de canal curto [7]; da inclinação de sublimiar [8]; das capacitâncias parasitárias de fonte e dreno [9]; da corrente de fuga do dreno; da sensibilidade com a variação de temperatura [10]; baixo consumo de potência; baixa tensão de alimentação; eliminação do efeito tiristor parasitário; menor sensibilidade à radiação [11], entre outras. Essas vantagens resultam em uma maior densidade de integração e um melhor desempenho quando comparado à tecnologia MOS convencional.

Com o avanço tecnológico, surgiu o dispositivo SOI de camada fina (*Thin film* SOI MOSFET), que operando com a região do canal totalmente depletada, apresenta algumas vantagens adicionais as mencionadas anteriormente, como: aumento da mobilidade dos portadores na camada de inversão [6] e, conseqüentemente, da transcondutância; redução da inclinação de sublimiar, tornando-se quase ideal; redução dos efeitos de canal curto [7]; diminuição do campo elétrico lateral; entre outros benefícios [11],[13],[14],[15].

1.2 Motivação e objetivo

Recentemente, com a contínua miniaturização dos dispositivos e busca por melhor desempenho, chegou-se próximo ao limite físico dos materiais utilizados. De modo a oprimir os efeitos de canal curto decorrente deste escalamento das dimensões, fez-se necessário o aumento da concentração de dopantes na região do canal e aumento do campo elétrico vertical [7], porém, como conseqüência, o aumento destes parâmetros provoca a redução da mobilidade dos portadores devido ao espalhamento de impurezas e ao alto campo elétrico. Dessa forma, surgiram os transistores SOI com tensão mecânica, sendo considerado uma

alternativa promissora aos efeitos indesejados devido à redução do comprimento de canal dos transistores SOI, sendo a principal melhoria da tensão mecânica o aumento da mobilidade dos portadores.

A tensão mecânica pode ser uniaxial, quando aplicada em apenas uma direção do dispositivo, geralmente no sentido do comprimento de canal [16], ou biaxial, quando a tensão é aplicada em duas direções, geralmente no sentido da largura e do comprimento do canal [17], sendo cada uma delas obtida por um processo de fabricação diferente. A vantagem dos métodos utilizados para a obtenção da tensão mecânica é que não há necessidade de grandes alterações nos processos de fabricação dos transistores SOI já existentes.

Outra forma de prover ganhos significativos de desempenho dos dispositivos eletrônicos consiste na redução de temperatura a valores muito baixos, até próximo do congelamento dos portadores. A redução de temperatura oferece vantagens como: aumento da mobilidade dos portadores; redução da inclinação de sublimar e do efeito de canal curto; entre outras, sem necessidade de alterar as dimensões do dispositivo [18]. O estudo do funcionamento desses dispositivos em temperaturas criogênicas é de grande importância para algumas áreas, como a eletrônica aero espacial [19].

Por ainda não existirem muitos estudos sobre os transistores SOI com tensão mecânica submetidos a baixas temperaturas, este trabalho tem como objetivo contribuir com os estudos dos efeitos destes dispositivos operando em uma faixa de temperatura que compreende desde a temperatura ambiente, aproximadamente 300 K, até temperaturas abaixo de 100 K. Para isso, serão comparados os parâmetros elétricos dos dispositivos através de simulações numéricas bidimensionais. Como referências serão utilizados transistores SOI convencionais com comprimentos de canal semelhantes, operando na mesma faixa de temperaturas.

Foram realizadas inúmeras simulações bidimensionais de dispositivos, utilizando o simulador numérico bidimensional TCAD Sentaurus, desenvolvido pela Synopsys®. Para validar os modelos analíticos selecionadas e as estruturas utilizadas, foram realizadas comparações entre as simulações e dispositivos reais, seguidas de ajustes de parâmetros, como será mostrado mais adiante.

1.3 Organização

Este trabalho está dividido em cinco capítulos organizados da seguinte forma:

Capítulo 1: Um breve histórico sobre a evolução da eletrônica, motivação e objetivo deste trabalho.

Capítulo 2: Conceitos fundamentais para o entendimento deste trabalho, compreendendo o modo de funcionamento e os parâmetros elétricos dos transistores SOI MOSFETS convencionais, como a tensão de limiar, inclinação de sublimiar e transcondutância. O efeito da redução da temperatura sobre os dispositivos semicondutores, tais como a influência sobre a concentração intrínseca dos portadores, a largura da faixa proibida, a ionização incompleta dos portadores e a variação do potencial de Fermi. Os efeitos sobre os parâmetros elétricos, como a tensão de limiar, inclinação de sublimiar, transcondutância e mobilidade. Em seguida, o estudo dos transistores SOI com tensão mecânica, sendo demonstrados os processos de obtenção da tensão mecânica uniaxial e biaxial, relação entre tensão mecânica e deformação. Serão apresentados, também, os efeitos da tensão mecânica sobre a estrutura de faixas de energia e a mobilidade dos portadores. E por fim, a dependência da tensão mecânica biaxial com as dimensões dos dispositivos.

Capítulo 3: Introdução ao simulador numérico TCAD Sentaurus, modelos utilizados, suas justificativas e uma comparação com as ferramentas do TCAD Silvaco.

Capítulo 4: Descrição e características das estruturas utilizadas no desenvolvimento deste trabalho. Comparação entre simulações realizadas no TCAD Sentaurus e no TCAD Silvaco, seguido da calibração dos modelos utilizados no simulador TCAD Sentaurus. Análise dos efeitos da tensão mecânica biaxial em temperatura ambiente, utilizando resultados obtidos através de simulações e comparados com resultados experimentais. Estudo dos efeitos da redução de temperatura sobre os transistores SOI nMOSFET utilizando as características das curvas de corrente de dreno em função da tensão aplicada à porta e os parâmetros elétricos extraídos destas curvas. E por fim, estudo dos parâmetros analógicos destes dispositivos.

Capítulo 5: Conclusões e proposta de continuidade deste trabalho.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo serão apresentados os principais conceitos da tecnologia Silício Sobre Isolante (SOI), seus tipos e principais parâmetros elétricos. Serão apresentados ainda alguns conceitos sobre a influência da redução de temperatura sobre os dispositivos. E por fim a tecnologia Silício Sobre Isolante com tensão mecânica biaxial (sSOI).

Os transistores SOI MOSFETs podem ser classificados como: modo enriquecimento, também conhecido como modo inversão, ou modo acumulação. Neste trabalho serão estudados transistores SOI de canal tipo n, e o modo mais comum para esse tipo de transistor é o enriquecimento [3], por isso somente este será considerado.

2.1 Tecnologia Silício Sobre Isolante (SOI MOSFET)

Os transistores da tecnologia MOSFET convencional são fabricados em lâminas de silício com espessura de algumas centenas de micrômetros, porém apenas o primeiro micrômetro, ou uma fração dele é realmente utilizado para o transporte de elétrons (região ativa). Devido à interação entre a região ativa e o restante do substrato, temos a ocorrência de efeitos indesejados, como o tiristor parasitário e elevadas capacitâncias parasitárias. Com a miniaturização dos dispositivos eletrônicos, principalmente decorrente da redução do comprimento de canal, esses efeitos são ainda mais evidentes [20].

A tecnologia SOI MOSFET consiste na fabricação dos dispositivos semicondutores em uma fina camada de silício sobre um material isolante. Este material isolante, além de suporte mecânico, provê o isolamento dielétrico entre a região ativa e o substrato, fazendo com que esses efeitos parasitários indesejados sejam minimizados ou até mesmo eliminados, adequando essa tecnologia a melhores condições de miniaturização [3].

A figura 2.1 apresenta a seção transversal de um transistor nMOSFET convencional (a) e de um transistor SOI nMOSFET (b), onde pode-se observar a presença do óxido enterrado.

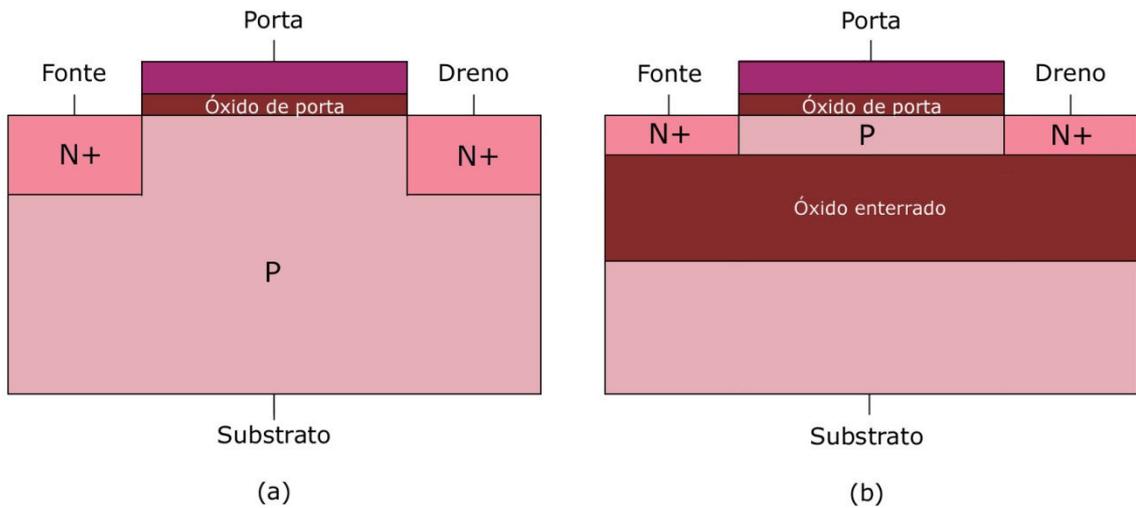


Figura 2.1 - Perfil dos transistores nMOSFET convencional (a) e SOI nMOSFET (b).

A figura 2.2 ilustra a seção transversal de um SOI nMOSFET indicando os contatos de porta (V_{G1}), substrato (V_{G2}), fonte (V_S) e dreno (V_D), as espessuras do óxido de porta (t_{ox1}), do óxido enterrado (t_{ox2}) e da camada de silício (t_{Si}), o comprimento de canal (L) e, por fim, as três interfaces Si-SiO₂ existentes na estrutura.

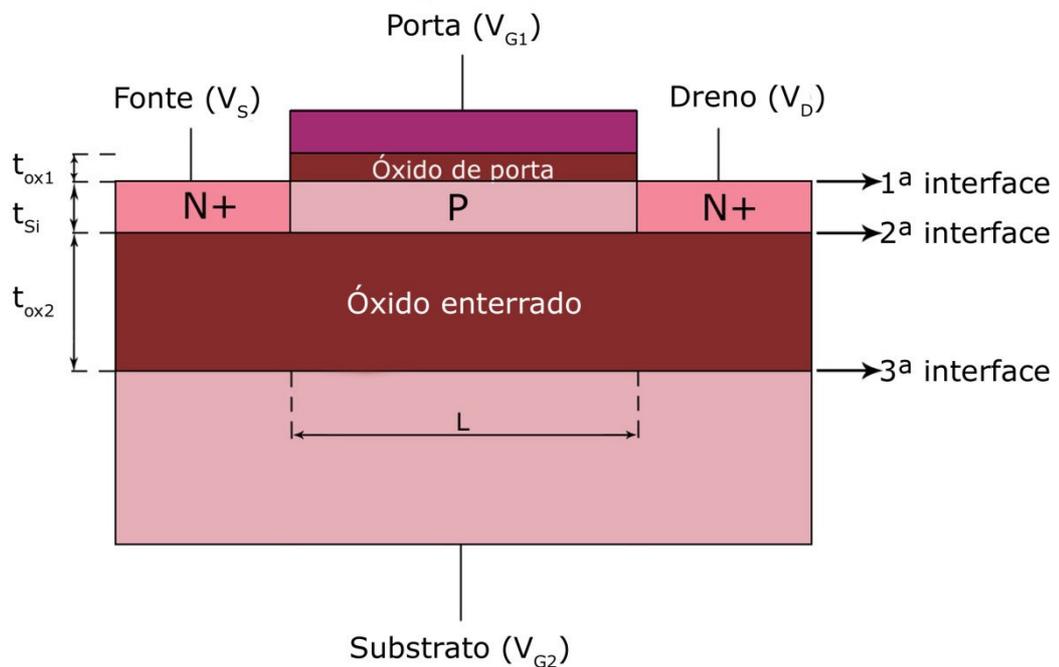


Figura 2.2 - Perfil transversal de um SOI nMOSFET.

2.2 Modo de funcionamento dos SOI MOSFET

O modo de funcionamento dos transistores SOI está diretamente ligado à espessura da camada de silício (t_{Si}), temperatura (T) e concentração de dopantes (N_A), que influenciam na profundidade da região de depleção (x_d). Dessa forma, os transistores SOI são classificados de acordo com a espessura da camada de silício, sendo eles: SOI de camada espessa ou parcialmente depletados (*partially depleted* – PD SOI), SOI de camada fina ou totalmente depletados (*fully depleted* – FD SOI) e SOI de camada média ou quase totalmente depletados (*near-fully depleted* – NFD SOI).

Em dispositivos MOS a camada de depleção se estende da primeira interface Si-SiO₂ até a profundidade máxima de depleção (x_{dmax}), dada pela equação (2.1) [3].

$$x_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \Phi_F}{q \cdot N_A}} \quad (2.1)$$

sendo que, ϵ_{Si} é a permissividade do silício, q a carga elementar do elétron, N_A a concentração de impurezas aceitadoras do substrato e Φ_F o potencial de Fermi, dado pela equação (2.2) [3].

$$\Phi_F = \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_A}{n_i} \right) \quad (2.2)$$

onde k é a constante de Boltzmann, T a temperatura absoluta e n_i a concentração intrínseca de portadores. Além da presença explícita da temperatura na equação (2.2), os termos N_A e n_i também são dependentes da temperatura, como será apresentado na seção 2.4.

2.2.1 Dispositivo SOI de parcialmente depletados (PD SOI)

Os transistores SOI são classificados como camada espessa ou parcialmente depletados quando a espessura da camada de silício for maior que o dobro da profundidade máxima da região de depleção ($t_{Si} > 2 \cdot x_{dmax}$), não havendo interação entre as regiões de depleção formadas na primeira e segunda interfaces, criando uma zona neutra entre as duas. Dessa forma, se for colocado um contato de corpo e este aterrado, o funcionamento será idêntico ao do transistor MOS convencional, ou com esse contato eletricamente flutuando o

transistor apresentará efeitos de corpo flutuante, como elevação abrupta de corrente (efeito *Kink*) [21] e efeito bipolar parasitário entre a fonte e o dreno [3].

Na figura 2.3 é apresentado o diagrama de faixas de energia de um transistor MOS convencional (a) e de um transistor SOI parcialmente depletado (b), ambos com canal do tipo n.

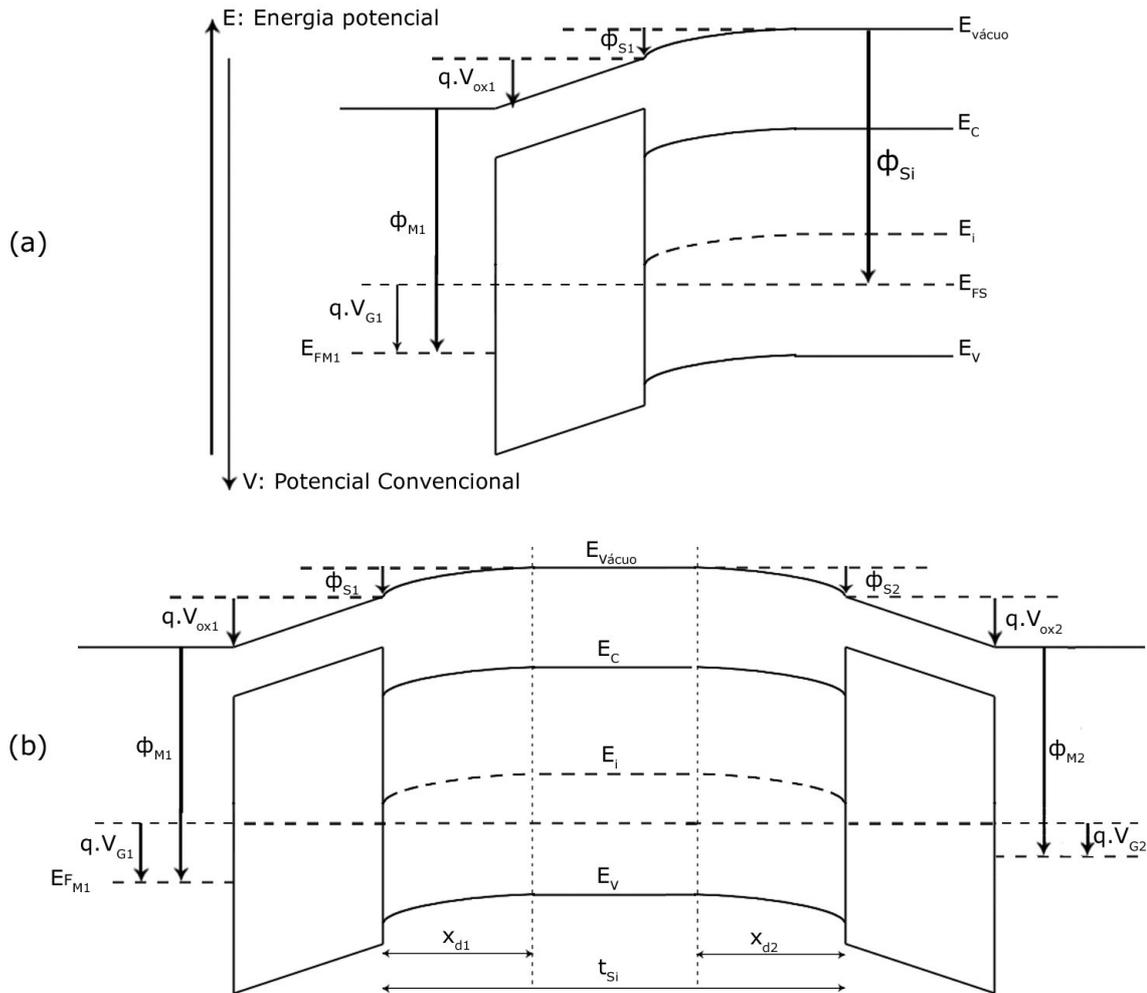


Figura 2.3 - Diagrama de faixas de energia para um nMOSFET convencional (a) e um SOI nMOSFET parcialmente depletado (b).

Na figura 2.3 os índices 1 e 2 relacionam os parâmetros, respectivamente, à primeira e segunda interfaces Si-SiO₂ do transistor SOI nMOSFET. Onde E_C representa o nível energético inferior da faixa de condução, E_V o nível energético superior da faixa de valência, E_i o nível de Fermi intrínseco, E_{FS} o nível de Fermi da camada do semiconductor (neste caso silício), E_{FM1} o nível de Fermi do metal de porta, x_{d1} a espessura da camada de depleção da primeira interface, x_{d2} a espessura da camada de depleção da segunda interface, ϕ_{M1} a função

trabalho do metal da primeira interface, Φ_{M2} a função trabalho do metal da segunda interface, Φ_{Si} a função trabalho do silício, Φ_{S1} o potencial de superfície da primeira interface, Φ_{S2} o potencial de superfície da segunda interface, V_{ox1} e V_{ox2} a queda de potencial no óxido de porta e no óxido enterrado, respectivamente, e V_{G1} a tensão aplicada à porta.

2.2.2 Dispositivo SOI totalmente depletado (FD SOI)

Quando a espessura da camada silício for menor que a profundidade máxima da região de depleção ($t_{Si} < x_{dmax}$), o transistor SOI é classificado como camada fina ou totalmente depletado. Nesse dispositivo, qualquer valor de tensão aplicada à porta (V_{G1}) maior ou igual que a tensão de limiar (V_{th}), fará com que a região de depleção da primeira interface consuma toda a região de silício, fazendo com que esta fique depletada, independente da polarização do substrato (V_{G2}) do transistor, a menos que se forme uma fina camada de acumulação ou inversão na segunda interface caso seja aplicado uma tensão negativa ou positiva, respectivamente [3].

Dessa forma, operando com a camada de silício totalmente depletada, haverá interação entre as regiões de depleção da primeira e da segunda interface, criando um acoplamento elétrico entre elas.

A figura 2.4 apresenta o diagrama de faixas de energia de um transistor SOI totalmente depletado, onde E_C representa o nível energético inferior da faixa de condução, E_V o nível energético superior da faixa de valência, E_i o nível de Fermi intrínseco, E_{FM1} o nível de Fermi do metal de porta, x_{d1} a espessura da camada de depleção da primeira interface, x_{d2} a espessura da camada de depleção da segunda interface, Φ_{M1} a função trabalho do metal da primeira interface, Φ_{M2} a função trabalho do metal da segunda interface, Φ_{S1} o potencial de superfície da primeira interface, Φ_{S2} o potencial de superfície da segunda interface, V_{ox1} e V_{ox2} a queda de potencial no óxido de porta e no óxido enterrado, respectivamente, e V_{G1} a tensão aplicada à porta.

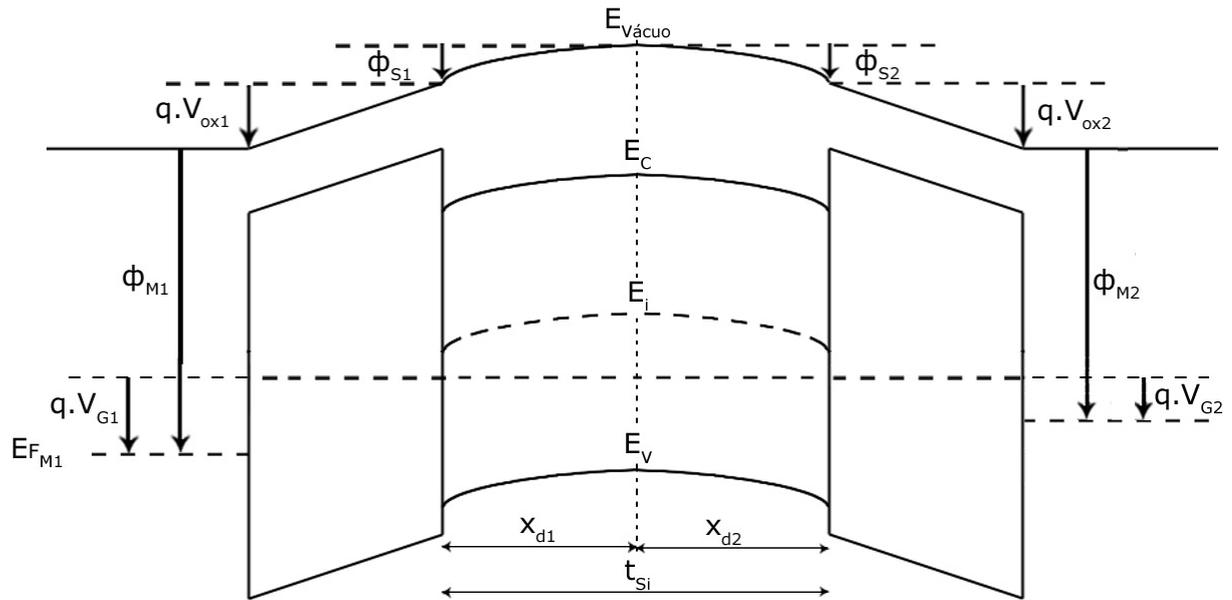


Figura 2.4 - Diagrama de faixas de energia para um SOI nMOSFET totalmente depletado.

2.2.3 Dispositivo SOI quase totalmente depletado (NFD SOI)

Em dispositivos com a espessura da camada de silício maior que a profundidade máxima de depleção, porém menor que o dobro dela ($x_{dmax} < t_{Si} < 2 \cdot x_{dmax}$), as camadas de depleção da primeira e segunda interface poderão ou não estar em contato, dependendo da tensão aplicada ao substrato (V_{G2}). Assim, podem assumir comportamento de transistor SOI parcialmente depletado ou totalmente depletado, sendo então classificados como SOI de camada média ou quase totalmente depletados.

2.2.4 Vantagens do dispositivo SOI totalmente depletado

O transistor SOI totalmente depletado apresenta melhores características elétricas, quando comparado ao MOSFET convencional e ao SOI parcialmente depletado, como maior mobilidade dos portadores na região do canal para transistores com filme de silício bastante fino [22], menor variação da tensão de limiar com a variação da temperatura [23], menor efeito de canal curto [24], inclinação de sublimiar quase ideal [27],[26], redução do campo elétrico horizontal [27], imunidade ao efeito da elevação abrupta de corrente (efeito *Kink*), menor efeito de corpo [28], entre outras vantagens.

Por esse motivo foi escolhido o transistor SOI totalmente depletado para o desenvolvimento deste trabalho.

2.3 Parâmetros elétricos do SOI MOSFET

Nesta seção serão apresentados alguns parâmetros elétricos importantes dos transistores SOI MOSFET, como a tensão de limiar, o efeito de corpo, a característica da corrente de dreno em função da tensão aplicada à porta, transcondutância, inclinação de sublimiar, entre outros para melhor entendimento.

2.3.1 Tensão de limiar (V_{Th})

O valor de V_{G1} para qual um número suficiente de elétrons móveis se aproxime da primeira interface na região do canal para formar um canal de condução, ou seja, eleve o potencial na superfície da camada de silício para $2\Phi_F$ é chamado de tensão de limiar (*Threshold Voltage* – V_{Th}) [1].

A tensão de limiar de um transistor MOSFET convencional com canal do tipo n pode ser determinada pela seguinte equação [3]:

$$V_{Th1} = V_{FB} + 2\Phi_F + \frac{q \cdot N_A \cdot x_{dmax}}{C_{ox}} \quad (2.3)$$

onde V_{FB} é a tensão de faixa plana, dada pela equação (2.4), Φ_F o potencial de Fermi, dado pela equação (2.2), x_{dmax} a profundidade máxima da camada de depleção, dada pela equação (2.1) e C_{ox} capacitância de óxido de porta por unidade de área ($C_{ox} = \epsilon_{ox}/x_{ox}$).

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (2.4)$$

sendo Φ_{MS} a diferença da função trabalho entre metal de porta e silício e Q_{ox} a densidade de cargas fixas no óxido de porta por unidade de área.

Como apresentado no item 2.2.1, nos transistores SOI parcialmente depletados não há interação entre as regiões de depleção da primeira e segunda interface, existindo uma região neutra entre as duas, fazendo com que o seu funcionamento seja idêntico ao do MOSFET convencional. Portanto, a tensão de limiar da primeira interface desse dispositivo (com canal tipo n) também pode ser calculada pela equação (2.3) [3].

Para calcular a tensão de limiar dos transistores SOI totalmente depletados, onde há interação entre as regiões de depleção da primeira e segunda interface, é necessário considerar a influência da tensão de porta (V_{G1}) sobre o potencial de superfície da segunda interface (Φ_{S2}) e a influência da tensão de substrato (V_{G2}) sobre o potencial de superfície da primeira interface (Φ_{S1}). A dependência dos potenciais de superfície Φ_{S1} e Φ_{S2} com as tensões aplicadas à porta (V_{G1}) e ao substrato (V_{G2}) são descritas a seguir, seguindo o modelo de Lim & Fossum [29]:

$$V_{G1} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot \Phi_{S1} - \frac{C_{Si}}{C_{ox1}} \cdot \Phi_{S2} - \frac{\frac{1}{2} \cdot Q_{depl} + Q_{inv1}}{C_{ox1}} \quad (2.5)$$

$$V_{G2} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{Si}}{C_{ox2}} \cdot \Phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \cdot \Phi_{S2} - \frac{\frac{1}{2} \cdot Q_{depl} + Q_{S2}}{C_{ox2}} \quad (2.6)$$

Nas equações (2.5) e (2.6), Φ_{MS1} é diferença de função trabalho entre a porta e a camada de silício, Φ_{MS2} é a diferença de função trabalho entre o substrato e a camada de silício, Q_{ox1} a densidade de carga fixa no óxido de porta por unidade de área, Q_{ox2} a densidade de cargas fixas no óxido enterrado por unidade de área, C_{Si} é a capacitância da camada de silício por unidade de área, Φ_{S1} o potencial de superfície da primeira interface, Φ_{S2} o potencial de superfície da segunda interface, Q_{inv1} a carga de inversão por unidade de área na primeira interface ($Q_{inv1} < 0$), Q_{depl} a carga de depleção total na camada de silício por unidade de área, dada pela equação (2.7), Q_{S2} a carga de inversão por unidade de área, quando $Q_{S2} < 0$, ou de acumulação por unidade de área, quando $Q_{S2} > 0$, ambas na segunda interface.

$$Q_{depl} = -q \cdot N_A \cdot t_{Si} \quad (2.7)$$

Com base nas equações (2.5) e (2.6), três diferentes equações de tensão de limiar da primeira interface do SOI totalmente depletado (V_{Th1}) podem ser obtidas, sendo cada uma delas em função da polarização do substrato, onde a segunda interface pode estar em acumulação, depleção ou inversão.

a) Segunda interface acumulada ($V_{Th1,acc2}$):

Considerando $\Phi_{S2}=0$, $Q_{inv1}=0$ e $\Phi_{S1}=2 \cdot \Phi_F$, obtemos:

$$V_{Th1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot \Phi_F - \frac{Q_{depl}}{2 \cdot C_{ox1}} \quad (2.8)$$

b) Segunda interface invertida ($V_{Th1,inv2}$):

Considerando $\Phi_{S2}=2\cdot\Phi_F$, $Q_{inv1}=0$ e $\Phi_{S1}=2\cdot\Phi_F$, obtemos:

$$V_{Th1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\cdot\Phi_F - \frac{Q_{depl}}{2\cdot C_{ox1}} \quad (2.9)$$

c) Segunda interface depletada ($V_{Th1,depl2}$):

Considerando $0 < \Phi_{S2} < 2\cdot\Phi_F$, $Q_{inv1}=0$ e $\Phi_{S1}=2\cdot\Phi_F$, obtemos:

$$V_{Th1,depl2} = V_{Th1,acc2} - \frac{C_{Si}\cdot C_{ox2}}{C_{ox1}\cdot (C_{Si} + C_{ox2})} \cdot (V_{G2} - V_{G2,acc2}) \quad (2.10)$$

onde $V_{G2,acc2}$ é a tensão aplicada ao substrato para que a segunda interface acumule, podendo ser obtida pela equação (2.6) considerando $\Phi_{S2}=0$, $\Phi_{S1}=2\cdot\Phi_F$ e $Q_{S2}=0$.

As equações (2.8), (2.9) e (2.10) são válidas somente se a espessura da camada de inversão ou acumulação for desprezível em relação à espessura da camada de silício [29].

Para transistores com baixa tensão de dreno, na ordem de 50 mV, foi utilizado o método da segunda derivada. Esse método consiste em obter o valor da tensão de limiar a partir do ponto de máxima da derivada de segunda ordem da curva de corrente de dreno em função da tensão de porta [30].

2.3.2 Efeito de corpo

A maioria das vantagens apresentadas pelos dispositivos SOI totalmente depletados estão relacionadas ao efeito de corpo, que é definido como a dependência da tensão de limiar (V_{Th}) com a polarização do substrato (V_{G2}), influenciando diretamente sobre a capacidade de fornecimento de corrente do dispositivo [29]. A tensão de limiar para transistores MOS convencionais e SOI parcialmente depletados com contato de corpo, pode ser expressa pela equação (2.11) [3].

$$V_{Th1} = V_{Th0} + \gamma \cdot (\sqrt{2\cdot\Phi_F + |V_{G2}|} - \sqrt{2\cdot\Phi_F}) \quad (2.11)$$

onde V_{Th0} é a tensão de limiar com a tensão aplicada ao substrato (V_{G2}) igual a zero e γ a constante de efeito de corpo, dada por:

$$\gamma = \frac{\sqrt{2\cdot\epsilon_{Si}\cdot q\cdot N_A}}{C_{ox}} \quad (2.12)$$

Na equação (2.11) nota-se a dependência da tensão de limiar com a polarização do substrato, assim, quando uma tensão negativa, em relação à fonte, for aplicada ao substrato, a tensão de limiar aumenta com a raiz quadrada da polarização do substrato.

A variação da tensão de limiar para um dispositivo SOI totalmente depletado pode ser obtida derivando-se as equações (2.8), (2.9) e (2.10) em relação ao contato de substrato [3].

$$\frac{dV_{Th1,acc2}}{dV_{G2}} = 0 \quad (2.13)$$

$$\frac{dV_{Th1,inv2}}{dV_{G2}} = 0 \quad (2.14)$$

$$\frac{dV_{Th1,depl2}}{dV_{G2}} = -\frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} \quad (2.15)$$

onde $C_{Si} = \epsilon_{Si}/t_{Si}$ a capacitância da camada de silício por unidade de área, $C_{ox1} = \epsilon_{ox}/t_{ox1}$ e $C_{ox2} = \epsilon_{ox}/t_{ox2}$ a capacitância do óxido de porta por unidade de área e a capacitância do óxido enterrado por unidade de área, respectivamente.

A figura 2.5 apresenta de forma esquemática a variação da tensão de limiar em função da polarização do substrato para um SOI totalmente depletado.

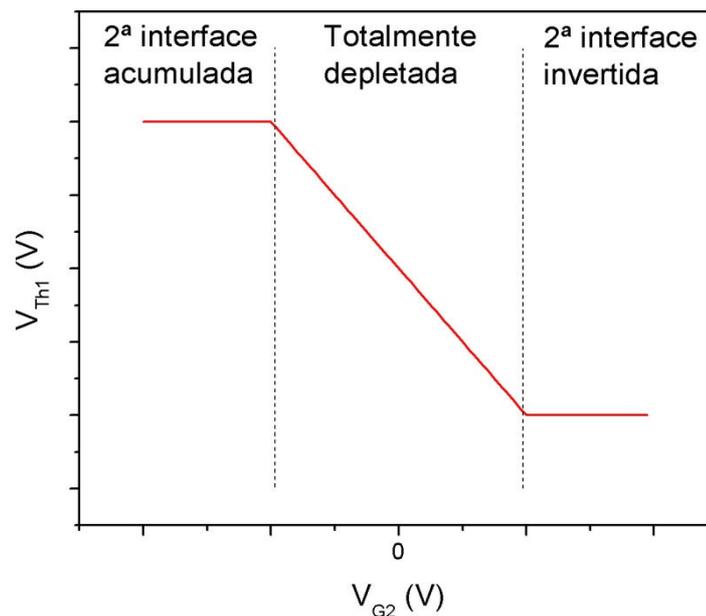


Figura 2.5 – Curva esquemática da variação da tensão de limiar com a polarização do substrato para transistores SOI totalmente depletados [3].

Observa-se que a tensão de limiar da primeira interface aumenta quando a segunda interface tende a acumulação e diminui quando tende a inversão.

Fazendo uma aproximação linear com o objetivo de simplificar a modelagem dos dispositivos, a equação da tensão de limiar (V_{Th}) pode ser descrita da seguinte forma [31]:

$$V_{Th} = V_{Th0} + (1+\alpha) \cdot V_S \quad (2.16)$$

$$n = 1+\alpha. \quad (2.17)$$

onde V_{Th0} é a tensão de limiar com a tensão aplicada ao substrato (V_{G2}) igual a zero, V_S a tensão aplicada à fonte, n é o fator de corpo e α o acoplamento capacitivo entre o canal, a porta e o substrato. Desprezando as armadilhas de interface, o acoplamento capacitivo pode ser descrito pelas seguintes equações [3]:

- a) Transistor MOSFET convencional ou SOI parcialmente depletado:

$$\alpha = \frac{\epsilon_{Si}}{x_{dmax} \cdot C_{ox1}} \quad (2.18)$$

- b) SOI totalmente depletado com a segunda interface em acumulação

$$\alpha = \frac{C_{Si}}{C_{ox1}} \quad (2.19)$$

- c) SOI totalmente depletado com a segunda interface em depleção

$$\alpha = \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} \quad (2.20)$$

onde ϵ_{Si} é a permissividade do silício, $C_{Si} = \epsilon_{Si}/t_{Si}$ a capacitância da camada de silício por unidade de área, $C_{ox1} = \epsilon_{ox}/t_{ox1}$ e $C_{ox2} = \epsilon_{ox}/t_{ox2}$ a capacitância do óxido de porta por unidade de área e a capacitância do óxido enterrado por unidade de área, respectivamente.

Analisando as equações (2.18), (2.19) e (2.20), concluí-se que:

$$\alpha_{SOI \text{ totalmente depletado}} < \alpha_{MOSFET \text{ convencional}} < \alpha_{SOI \text{ com a segunda interface acumulada}}$$

2.3.3 Características Corrente x Tensão

As características de corrente x tensão de um transistor SOI parcialmente depletados com o corpo aterrado são idênticas à de um transistor MOSFET convencional, pois não há interação entre as duas interfaces Si-SiO₂, assim, cada uma das interfaces funciona como um dispositivo independente. Se o corpo não estiver aterrado, uma série de efeitos denominados de “efeitos de corpo flutuante” serão encontrados [3].

Para os transistores SOI totalmente depletados, as características de corrente x tensão podem ser descritas pelo modelo de Lim & Fossum [32], dada pelas seguintes equações:

a) Corrente de dreno em triodo:

$$I_D = \mu_n \cdot C_{ox1} \cdot \frac{W}{L} \cdot \left[(V_{G1} - V_{Th}) \cdot V_{DS} - \frac{1}{2} (1 + \alpha) \cdot V_{DS}^2 \right] \quad (2.21)$$

b) Corrente de dreno em saturação:

$$I_{Dsat} = \frac{W \cdot \mu_n \cdot C_{ox1}}{2 \cdot L \cdot (1 + \alpha)} \cdot (V_{G1} - V_{Th})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (2.22)$$

onde W e L são, respectivamente, a largura e o comprimento de canal do transistor, μ_n a mobilidade efetiva dos elétrons no canal e λ o parâmetro que considera o efeito de modulação do comprimento de canal devido à tensão aplicada ao dreno.

Observando as equações (2.21) e (2.22), pode-se notar que, devido ao menor fator de corpo, os transistores SOI totalmente depletados apresentam maior intensidade de corrente, quando comparado aos transistores MOSFETs convencionais com a mesma tensão de polarização e tensão de limiar idênticas [3].

2.3.4 Inclinação de sublimiar (S)

A inclinação de sublimiar (S) é um importante parâmetro utilizado para medir a velocidade de resposta do transistor MOSFET, onde quanto menor o seu valor, mais rápido e eficiente será o chaveamento (corte e condução) do dispositivo. Pode ser definida como a variação de tensão de porta (V_{G1}) necessária para elevar em uma década a corrente de dreno (I_{DS}) na região de sublimiar, sendo esta a região anterior à ocorrência da tensão de limiar.

Na região de sublimiar a passagem de corrente elétrica deve-se predominantemente pelo mecanismo de difusão [33], podendo ser melhor observada na curva de corrente de dreno em função da tensão aplicada à porta ($I_{DS} \times V_{G1}$) apresentada em escala semi-logarítmica, uma vez que seu crescimento com V_{G1} é exponencial, como demonstrado na figura 2.6.

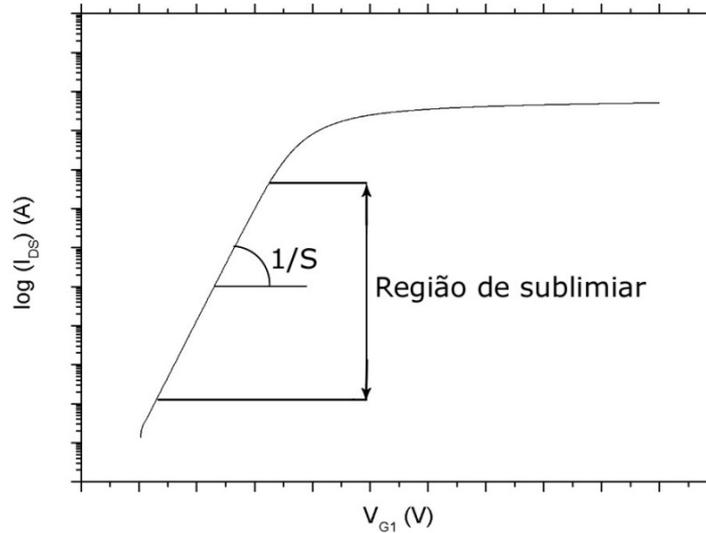


Figura 2.6 – Curva esquemática $\log(I_{DS}) \times V_{G1}$ evidenciando a região de sublimiar.

A expressão da inclinação de sublimiar é dada pela equação (2.23) [31]:

$$S = \frac{dV_{G1}}{d(\log I_{DS})} \quad (2.23)$$

Utilizando a equação de corrente de dreno em regime de sublimiar, desprezando as armadilhas de interface e após algumas simplificações, obtém-se a seguinte equação [34]:

$$S = \frac{k \cdot T}{q} \cdot \ln(10) \cdot (1 + \alpha) \quad (2.24)$$

onde k é a constante de Boltzmann, T a temperatura absoluta, q a carga elementar do elétron e α o acoplamento capacitivo.

Pode-se notar na equação (2.24) que a inclinação de sublimiar é dependente da temperatura e do fator de corpo (n), sendo $n = 1 + \alpha$. Conforme demonstrado no item 2.3.2, o fator de corpo está relacionado ao acoplamento capacitivo do dispositivo, dado pelas equações (2.18), (2.19) e (2.20), onde:

$$\alpha_{\text{SOI totalmente depletado}} < \alpha_{\text{MOS convencional}} < \alpha_{\text{SOI com a segunda interface acumulada}}$$

Assim, analisando a equação (2.24), concluímos que:

$$S_{\text{SOI totalmente depletado}} < S_{\text{MOS convencional}} < S_{\text{SOI com a segunda interface acumulada}}$$

O fator de corpo dos transistores SOI totalmente depletados aproxima-se da unidade, resultando em valores de inclinação de sublimiar próximos do limite teórico de 60 mV/dec, em temperatura ambiente, enquanto que para os transistores MOSFET convencionais e SOI parcialmente depletados, esse valor varia entre 80 mV/dec e 120 mV/dec. Desta forma, os transistores SOI totalmente depletados apresentam um melhor desempenho em alta velocidade e tensões de alimentação reduzidas [35].

2.3.5 Transcondutância (g_m)

A transcondutância (g_m) mede a eficácia do controle da corrente de dreno pela tensão de porta, dada pela equação (2.25).

$$g_m = \frac{dI_{DS}}{dV_{G1}} \quad (2.25)$$

Considerando o modelo de Lim & Fossum para os transistores SOI totalmente depletados [32], as equações de transcondutância quando o transistor opera nas regiões de triodo e saturação podem ser descritas, respectivamente, pelas seguintes equações:

$$g_m = \frac{dI_{DS}}{dV_{G1}} = \mu_n \cdot C_{ox1} \cdot \frac{W}{L} \cdot V_{DS} \quad (2.26)$$

$$g_m = \frac{dI_{DS}}{dV_{G1}} = \frac{\mu_n \cdot C_{ox1}}{(1 + \alpha)} \cdot \frac{W}{L} \cdot (V_{G1} - V_{Th}) \quad (2.27)$$

Analisando as equações (2.26) e (2.27), nota-se que a transcondutância é diretamente proporcional à mobilidade dos portadores, podendo assim, ser adotado como um parâmetro de referência para analisar a mobilidade.

Além disso, nota-se que assim como a inclinação de sublimiar, a transcondutância em saturação também é dependente do fator de corpo. Sendo o fator de corpo menor para os transistores SOI totalmente depletados, maior será a transcondutância, garantindo um melhor controle da corrente de dreno pela tensão de porta.

2.3.6 Efeitos de canal curto

Com a miniaturização dos dispositivos, surgem diversos efeitos indesejáveis, especialmente decorrentes da redução do comprimento de canal, chamado de efeito de canal curto [36]. Com a redução do comprimento de canal, as zonas de depleção induzidas pelas junções de fonte e dreno tornam-se significativas, reduzindo o controle da porta sobre as cargas da região de depleção do canal, devido ao compartilhamento dessas cargas entre fonte, dreno e porta.

Essa redução significativa das cargas de depleção provoca a variação da tensão de limiar, degradação da inclinação de sublimiar, entre outros efeitos indesejados [36].

Nas figuras a seguir são demonstradas as distribuições de cargas de um transistor MOSFET convencional de canal longo (figura 2.7(a)) e de canal curto (figura 2.7(b)).

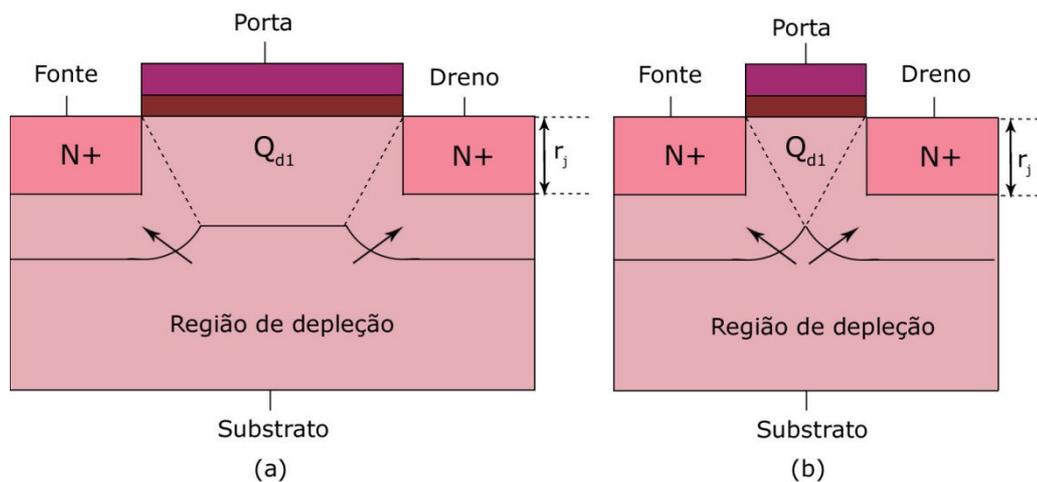


Figura 2.7 - Distribuição das cargas de depleção para o nMOSFET convencional de canal longo (a) e nMOS de canal curto (b) [3].

Como indicado na figura 2.7(a), em um transistor MOSFET de canal longo as cargas de depleção controladas pela porta (Q_{d1}) podem ser calculadas considerando a geometria de sua área como um trapézio, onde a base maior e a base menor são aproximadamente do tamanho do comprimento de canal (L), resultando na equação (2.28). Porém, para o transistor MOS de canal curto, a base inferior é reduzida significativamente, fazendo com que a área das cargas de depleção controladas pela porta se aproxime de um triângulo, podendo ser expressa pela equação (2.29) [3].

$$Q_{d1} = Q_{depl} = -q \cdot N_A \cdot x_{dmax} \cdot \quad (2.28)$$

$$Q_{d1} = Q_{depl} \cdot \left[1 - \frac{r_j}{L} \cdot \left(\sqrt{1 + \frac{2 \cdot x_{dmax}}{r_j}} - 1 \right) \right] \quad (2.29)$$

onde r_j é a profundidade de junção de fonte e dreno, definida na figura 2.7.

Para os transistores SOI totalmente depletados, devido à fina espessura da camada de silício e a presença do óxido enterrado, esse efeito de redução do comprimento de canal torna-se menos pronunciado, pois a redução do controle das cargas da região de depleção pela porta é menor, como pode ser observado na figura 2.8(a) e (b).

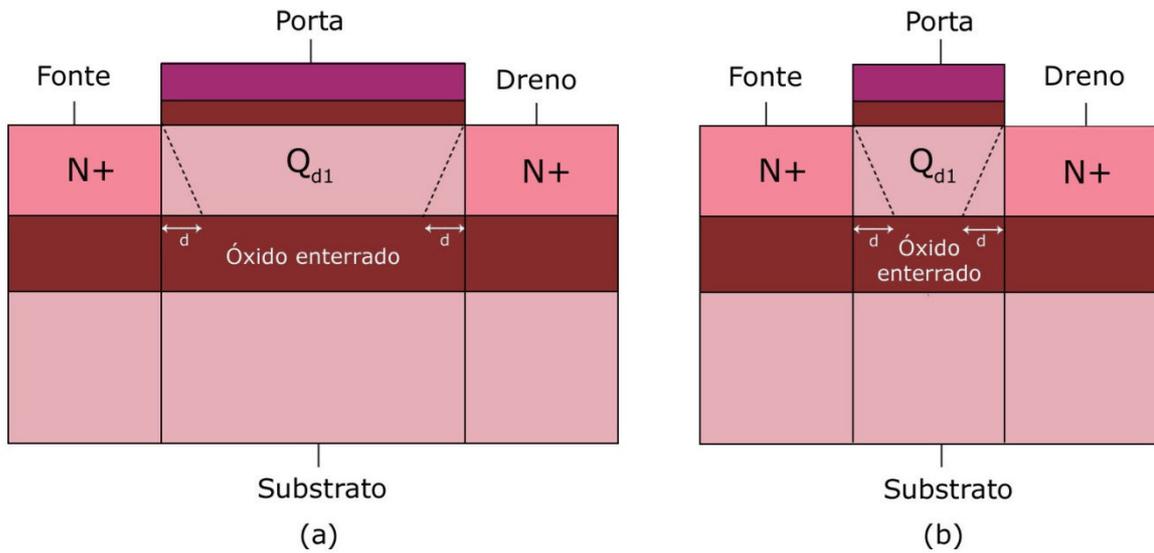


Figura 2.8 - Distribuição das cargas de depleção para o SOI nMOSFET de canal longo (a) e SOI nMOSFET de canal curto (b) [3].

Considerando a geometria da área de carga na figura 2.8, as equações das cargas controladas pela porta para os transistores SOI totalmente depletados de canal longo e canal curto são dadas, respectivamente, pelas equações (2.30) e (2.31).

$$Q_{d1} = Q_{depl} = -q \cdot N_A \cdot t_{Si} \cdot \quad (2.30)$$

$$Q_{d1} = Q_{depl} \cdot \left(1 - \frac{d}{L} \right) \quad (2.31)$$

onde d é a distância definida na figura 2.8.

Dessa forma, os transistores SOI apresentam menor efeito de canal curto, pois a redução das cargas de depleção controladas pela porta é menor.

2.3.7 Ionização por impacto

Quando altas tensões de dreno são aplicadas aos transistores MOSFETs, o campo elétrico gerado é capaz de acelerar os elétrons que fluem no canal com energia suficiente para gerar pares de elétrons-lacuna através do impacto com a rede cristalina próxima à região de dreno [37].

Os elétrons gerados nesse processo migram para a região de dreno (maior potencial), incorporando uma parcela adicional à corrente de dreno, enquanto as lacunas migram para a região de fonte (menor potencial). Nos transistores SOI totalmente depletados, a junção fonte-corpo está diretamente polarizada devido à depleção da camada de silício, por isso, as lacunas podem recombinar-se na região de fonte sem aumentar o potencial do corpo. Para os transistores SOI parcialmente depletados e MOSFET convencional, o acúmulo das lacunas na região de fonte promove o aumento do potencial, produzindo um efeito semelhante ao de aplicar tensão negativa no substrato, fazendo com que a segunda interface tenda a acumulação, reduzindo a tensão de limiar e aumentando a corrente do canal [3]. Este efeito é conhecido como Efeito de Elevação de Corrente (“Kink”) [3]. Já os transistores SOI totalmente depletados são imunes a este efeito se a segunda interface estiver em aculação, pois a junção canal-fonte encontra-se diretamente polarizada, assim, as lacunas recombinam-se rapidamente na fonte, sem aumentar o potencial de corpo. Além disso, o campo elétrico transversal nos transistores SOI totalmente depletados é menor em relação ao MOS convencional e ao SOI parcialmente depletado, assim, provocando menor geração de portadores devido a ionização por impacto [37].

2.4 Influência da temperatura nos dispositivos semicondutores

A redução de temperatura em dispositivos eletrônicos, também conhecida como eletrônica criogênica, tem demonstrado importantes melhorias nos parâmetros elétricos dos dispositivos semicondutores. Nesta seção serão apresentados alguns conceitos importantes sobre os efeitos físicos decorrentes desta redução de temperatura.

2.4.1 Efeitos nas propriedades elétricas dos semicondutores

2.4.1.1 Concentração intrínseca de portadores e largura da faixa proibida

Um cristal de um material semicondutor que não contém impurezas ou defeitos na rede cristalina é denominado semicondutor intrínseco. Neste caso, não há portadores de carga quando o material é submetido à temperatura de zero absoluto ($T=0$ K), uma vez que todos os níveis energéticos da faixa de valência estão ocupados por elétrons e todos os níveis energéticos da faixa de condução estão desocupados. Nessa temperatura, o material se comporta como um isolante. Quando há um aumento da temperatura, pares elétrons-lacunas são gerados, pois alguns elétrons da faixa de valência são excitados termicamente, adquirindo energia suficiente para passar para a faixa de condução, deixando um número igual de estados desocupados, chamados de lacunas, na faixa de valência. Quanto maior a temperatura, mais níveis da faixa de condução tornam-se ocupados e mais níveis da faixa de valência desocupados. Estes pares elétrons-lacunas são os únicos portadores de carga no material intrínseco [38]. A concentração intrínseca de portadores (n_i) pode ser descrita da seguinte forma [39]:

$$n_i = 2 \cdot \left[\frac{2 \cdot \pi \cdot m_0 \cdot k}{\hbar^2} \right]^{\frac{3}{2}} \cdot (m_n \cdot m_p)^{\frac{3}{4}} \cdot T^{\frac{3}{2}} \cdot e^{\left(\frac{-E_g}{2 \cdot k \cdot T}\right)} \quad (2.32)$$

onde m_0 é a massa do elétron, k a constante de Boltzmann, \hbar a constante de Planck, m_n e m_p as massas efetivas de densidades de estado para elétrons e lacunas, respectivamente, E_g a largura da faixa proibida e T a temperatura.

A equação da concentração intrínseca dos portadores (n_i) também pode ser escrita da seguinte forma [39]:

$$n_i = \sqrt{N_c \cdot N_v} \cdot \left(e^{\left(\frac{-E_g}{2 \cdot k \cdot T}\right)} \right) \quad (2.33)$$

onde N_c é a densidade de estados na faixa de condução, N_v é a densidade de estados na faixa de valência, dada respectivamente por:

$$N_c = 2 \cdot \sqrt{\frac{2 \cdot \pi \cdot k \cdot T \cdot m_n}{\hbar}} \quad (2.34)$$

$$N_v = 2 \cdot \sqrt{\frac{2 \cdot \pi \cdot k \cdot T \cdot m_p}{\hbar}} \quad (2.35)$$

As massas efetivas de densidades de estado para os elétrons e lacunas, também estão relacionadas à temperatura, como demonstram as seguintes equações (válidas para temperaturas entre 50 K e 350 K) [40],[41]:

$$m_n = m_0 \cdot (1,045 + 4,5 \cdot 10^{-4} \cdot T) \quad (2.36)$$

$$m_p = m_0 \cdot (0,523 + 1,4 \cdot 10^{-3} \cdot T - 1,48 \cdot 10^{-6} T^2) \quad (2.37)$$

Rearranjando as equações e assumindo que o material seja silício, podemos mais uma vez reescrever a equação da concentração intrínseca dos portadores (n_i) [3]:

$$n_i = 3,9 \cdot 10^{16} \cdot T^{\frac{3}{2}} \cdot e^{\left(-\frac{E_g}{2 \cdot k \cdot T}\right)} \quad (2.38)$$

Além do material e da temperatura, a concentração intrínseca de portadores está diretamente relacionada com a largura da faixa proibida (E_g), que também é dependente da temperatura. A equação a seguir foi obtida experimentalmente para o silício e validada na faixa de 2 à 300K [39]:

$$E_g = E_{g0} + E_{g1} \cdot T + E_{g2} \cdot T^2 + E_{g3} \cdot T^3 + E_{g4} \cdot T^4 \quad (2.39)$$

sendo $E_{g0}=1,1702\text{eV}$, $E_{g1}=-3,6277 \cdot 10^{-6}\text{eV}$, $E_{g2}=-3,9703 \cdot 10^{-7}$, $E_{g3}=-1,3207 \cdot 10^{-9}\text{eV}$ e $E_{g4}=3,2798 \cdot 10^{-12}\text{eV}$.

A figura 2.9 apresenta as curvas de concentração intrínseca de portadores e a largura da faixa proibida em função da temperatura. As curvas foram calculadas de acordo com as equações (2.38) e (2.39), respectivamente [42].

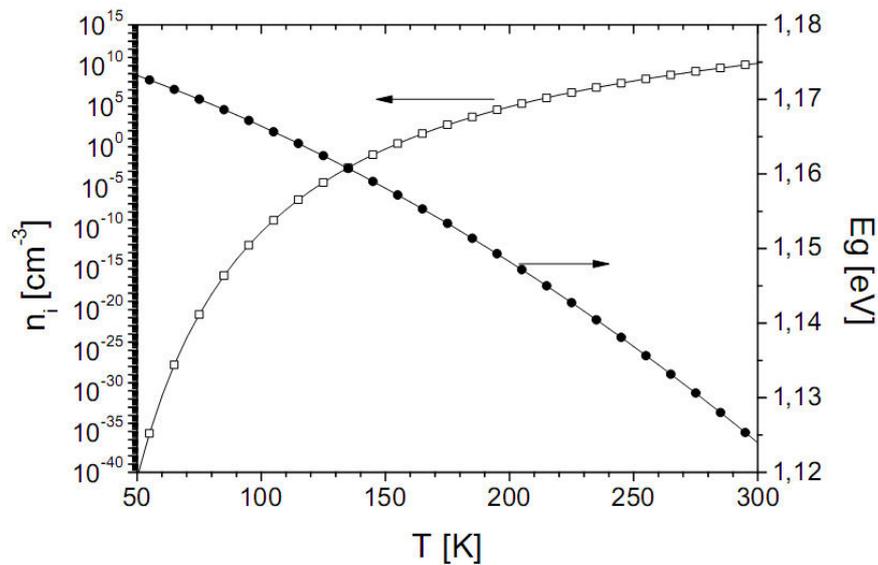


Figura 2.9 – Concentração intrínseca de portadores e largura da faixa proibida em função da temperatura, obtidas através das equações (2.38) e (2.39) [42].

Pode-se observar que a concentração intrínseca de portadores diminui em dezenas de ordens de grandeza em temperaturas mais baixas, enquanto que a largura da faixa proibida sofre um aumento moderado nessa mesma faixa de temperatura. Essa redução da concentração intrínseca dos portadores em temperaturas abaixo de 90K é um grande complicador para a realização de simulações numéricas [42].

2.4.1.2 Ionização incompleta de portadores e potencial de Fermi

Para aumentar a versatilidade dos semicondutores é possível aumentar o número de portadores nos semicondutores pela introdução de impurezas na rede cristalina, este processo é conhecido como dopagem [38]. Quando um cristal é dopado, tal que, a concentração de portadores de cargas é diferente da concentração intrínseca, o material é chamado de extrínseco.

Em temperaturas mais altas, através da energia térmica, as impurezas do material extrínseco são ionizadas liberando elétrons, quando dopados com impurezas doadoras, ou lacunas quando dopados com impurezas aceitadoras, que contribuem com o aumento da concentração de portadores do material [31]. Quando o material extrínseco é submetido a baixas temperaturas a energia térmica disponível passa a não ser suficiente para ionizar todas

as impurezas [43], assim, não contribuindo com o aumento da concentração de portadores. As impurezas aceitadoras (N_A^-) e doadoras (N_D^+) ionizadas podem ser calculadas por: [39]:

$$N_A^- = \frac{N_A}{1 + 4 \cdot e^{\left(\frac{E_A - E_{Fp}}{k.T}\right)}} \quad (2.40)$$

$$N_D^+ = \frac{N_D}{1 + 2 \cdot e^{\left(\frac{E_{Fn} - E_D}{k.T}\right)}} \quad (2.41)$$

onde N_A é a concentração de impurezas aceitadoras, N_D a concentração de impurezas doadoras, E_A e E_D os níveis de energia das impurezas, E_{Fn} e E_{Fp} os níveis de Fermi para os elétrons e lacunas.

Com base no conceito de ionização incompleta dos portadores reescrevemos a equação de potencial de Fermi substituindo N_A por N_A^- , resultando na seguinte equação:

$$\Phi_F = \frac{k.T}{q} \cdot \ln \left(\frac{N_A^-}{n_i} \right) \quad (2.42)$$

Podemos observar que o potencial de Fermi está diretamente relacionado com a temperatura e com a concentração de portadores ionizados. A figura 2.10 apresenta as curvas da porcentagem de impurezas aceitadoras ionizadas e do potencial de Fermi em função da temperatura para o silício dopado com $N_A = 10^{17} \text{ cm}^{-3}$.

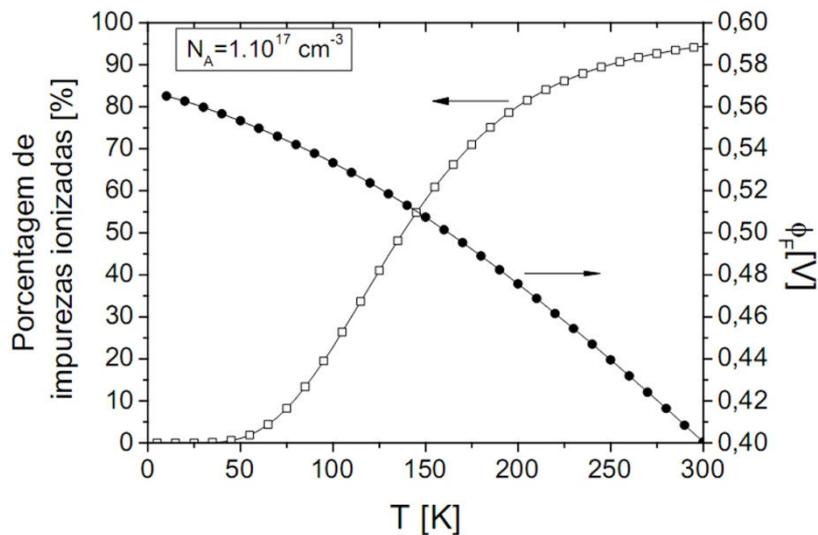


Figura 2.10 – Curvas de porcentagem de impurezas ionizadas e potencial de Fermi em função da temperatura [42].

Das curvas apresentadas podemos observar que apesar do potencial de Fermi estar relacionado de forma diretamente proporcional com a temperatura, este aumenta com a redução da mesma. Isto ocorre devido à redução da concentração intrínseca de portadores em baixas temperaturas. Observa-se também que a quantidade de impurezas ionizadas diminui com a redução de temperatura e em temperaturas abaixo de 50 K uma parcela muito pequena de impurezas é ionizada.

2.4.2 Efeito da redução de temperatura nos parâmetros elétricos

2.4.2.1 Tensão de limiar

Na primeira interface Si-SiO₂ na superfície do silício podem ser encontradas algumas ligações incompletas, sendo chamadas de armadilhas de interface. Essas armadilhas podem aprisionar ou liberar elétrons, dependendo do potencial de superfície [44]. Com a redução de temperatura a densidade de armadilhas de interface (N_{it}) passa a ter um valor apreciável e não pode mais ser desprezada como no equacionamento da tensão de limiar apresentado no item 2.3.1. Assim, podemos reescrever a equação (2.3) da seguinte forma [3]:

$$V_{Th1} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} + \frac{2 \cdot q \cdot N_{it} \cdot \Phi_F}{C_{ox}} + 2 \cdot \Phi_F + \frac{q \cdot N_A \cdot x_{dmax}}{C_{ox}} \quad (2.43)$$

Nesta equação, pode-se observar que a tensão de limiar apresenta dependência com a variação de temperatura através do potencial de Fermi. Ao reduzir a temperatura, a tensão de limiar aumenta devido ao aumento do potencial de Fermi, como demonstrado anteriormente.

2.4.2.2 Inclinação de sublimiar

Conforme apresentado no item 2.3.4, a expressão da inclinação de sublimiar é dada pela equação (2.24), sendo: $S = (k \cdot T / q) \cdot \ln(10) \cdot (1 + \alpha)$, onde nota-se a dependência da inclinação de sublimiar com a temperatura e com o fator de corpo, que também tem dependência com a temperatura.

Considerando as armadilhas de interface, podemos reescrever as equações de acoplamento capacitivo do MOS convencional e do SOI totalmente depletado, respectivamente, da seguinte forma:

$$\alpha = \frac{C_D + C_{it1}}{C_{ox}} \quad (2.44)$$

$$\alpha = \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}} - \frac{\frac{C_{Si}^2}{C_{ox1} \cdot C_{ox2}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{Si}}{C_{ox2}}} \quad (2.45)$$

sendo que C_D é a capacitância da região de depleção, $C_{it1}=q \cdot N_{it1}$ e $C_{it2}=q \cdot N_{it2}$, respectivamente, as capacitâncias das armadilhas de interfaces na primeira e segunda interface, onde N_{it1} e N_{it2} são as densidades de armadilhas de interfaces na primeira e segunda interface.

Observando a equação (2.24) nota-se que a inclinação de sublimiar varia diretamente com a temperatura, onde qualquer redução também diminui a inclinação de sublimiar. Porém, com a redução de temperatura o aumento da parcela das capacitâncias de armadilhas de interfaces torna-se significativa, reduzindo a diminuição da inclinação de sublimiar em temperaturas mais baixas.

2.4.2.3 Mobilidade

A mobilidade dos portadores é definida como a facilidade com que os elétrons e lacunas atravessam a rede cristalina de um material. Este parâmetro está relacionado diretamente com a capacidade de fornecimento de energia do dispositivo. Quanto menor for a resistência do material, menor será a perda de energia, e assim, maior mobilidade dos portadores.

No interior do material o movimento dos elétrons não é livre, ocorrendo colisões entre portadores e átomos da rede cristalina. Essas colisões ocorrem devido aos mecanismos de espalhamento, que podem ser classificados como: espalhamento de rede, espalhamento por impurezas ionizadas, espalhamento portador-portador e espalhamento por impurezas neutras [39].

a) Espalhamento de rede ou espalhamento por fônons

É um dos mais importantes mecanismos de espalhamento, está relacionado às interações entre os portadores e a vibração da rede cristalina, também chamada de

fônons. Este mecanismo está diretamente relacionado com a temperatura, onde as vibrações diminuem com a redução de temperatura [39].

b) Espalhamento por impurezas ionizadas

Este mecanismo considera a redução da mobilidade dos portadores devido às altas concentrações de dopantes introduzidas na rede cristalina do material [39].

c) Espalhamento portador-portador

O mecanismo de espalhamento portador-portador exerce influência sobre a mobilidade em altas densidades de portadores, como em dispositivos de potência, quando a quantidade de portadores supera a de dopantes [43], ou em dispositivos submicrométricos, que apresentam altas densidades de corrente.

d) Espalhamento por impurezas neutras

Este mecanismo está relacionado às impurezas não ionizadas em baixas temperaturas e tem influência sobre a mobilidade apenas para concentrações de impurezas neutras acima de 10^{18} cm^{-3} [45].

A mobilidade dos portadores pode ser descrita pelo modelo unificado para baixos campos elétricos proposto por Klaassen [46],[47], onde são considerados os mecanismos de espalhamento, por temperatura e concentração de dopantes, podendo ser combinados através da regra de Mathiessen [39]:

$$\mu_0 = \frac{1}{\frac{1}{\mu_{i,L}} + \frac{1}{\mu_{i,DAeh}}} \quad (2.46)$$

onde μ_0 é a mobilidade dos portadores independente do campo elétrico, $\mu_{i,L}$ representa os mecanismos de espalhamento de rede, dado pela equação (2.47), e $\mu_{i,DAeh}$ um modelo unificado para os mecanismos de espalhamento portador-portador e impurezas ionizadas, dado pela equação (2.48).

$$\mu_{i,L} = \mu_{i,max} \left(\frac{T}{300} \right)^{-\theta_i} \quad (2.47)$$

$$\mu_{i,DAeh} = \mu_{i,N} \left(\frac{N_{i,SC}}{N_{i,SC,eff}} \right) \left(\frac{N_{i,ref}}{N_{i,SC}} \right)^{\alpha_i} + \mu_{i,C} \left(\frac{n+p}{N_{i,SC,eff}} \right) \quad (2.48)$$

com,

$$\mu_{i,N} = \frac{\mu_{i,max}^2}{\mu_{i,max} - \mu_{i,min}} \left(\frac{T}{300} \right)^{3\alpha_i - 1,5} \quad (2.49)$$

$$\mu_{i,C} = \frac{\mu_{i,max} \cdot \mu_{i,min}}{\mu_{i,max} - \mu_{i,min}} \left(\frac{T}{300} \right)^{0,5} \quad (2.50)$$

sendo $\mu_{i,max} = 1417 \text{ cm}^2/\text{V.s}$ para elétrons e $470,5 \text{ cm}^2/\text{V.s}$ para lacunas, $\mu_{i,min} = 52,2 \text{ cm}^2/\text{V.s}$ para elétrons e $44,9 \text{ cm}^2/\text{V.s}$ para lacunas, $\theta_i = 2,285$ para elétrons e $2,247$ para lacunas, $\alpha_i = 0,68$ para elétrons e $0,719$ para lacunas e $N_{i,ref} = 9,68 \cdot 10^{16} \text{ cm}^{-3}$ para elétrons e $2,23 \cdot 10^{17} \text{ cm}^{-3}$ para lacunas. Os termos $\mu_{i,N}$ e $\mu_{i,C}$ descrevem, respectivamente, os mecanismos de espalhamento de impurezas ionizadas e portador-portador. O índice “i” nos termos das equações apresentadas pode assumir “n” para elétrons ou “p” para lacunas.

Podemos observar nas equações apresentadas a forte dependência da mobilidade com a temperatura, porém, não foi considerado o efeito devido ao campo elétrico transversal e lateral resultante da tensão aplicada ao dispositivo.

O campo elétrico transversal atrai os portadores para a primeira interface, causando redução da mobilidade devido ao espalhamento por rugosidade de superfície (μ_{sr}). Para considerar o efeito do campo elétrico lateral, pode-se usar o modelo proposto por Lombardi [48] que considera o espalhamento pela rugosidade de superfície, o efeito do espalhamento de rede e mobilidade do substrato, onde estes são combinados utilizando a regra de Mathiessen, dada por:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ac}} + \frac{1}{\mu_B} \quad (2.51)$$

onde μ_{sr} descreve o espalhamento por rugosidade de superfície, dado pela equação (2.52), μ_{ac} descreve o espalhamento de rede, dado pela equação (2.53) e μ_B a mobilidade do substrato, dado pela equação (2.54).

$$\mu_{sr} = \frac{\delta}{E_{\perp}^2} \quad (2.52)$$

onde $\delta = 2.10^{15} \text{ V/s}$ e E_{\perp} o campo elétrico transversal.

$$\mu_{ac} = \left(B \cdot \frac{T}{E_{\perp}} + C \cdot \frac{1}{E_{\perp}^{1/3}} \right)^{\frac{1}{T}} \quad (2.53)$$

sendo B e C são parâmetros de ajuste da espessura da camada de inversão.

$$\mu_B = \mu_0 + \frac{\mu_{max}(T) - \mu_0}{1 + \left(\frac{N_A}{C_r}\right)^{\alpha}} - \frac{\mu_1}{1 + \left(\frac{C_s}{N_A}\right)^{\beta}} \quad (2.54)$$

onde C_r e C_s são parâmetros de ajuste.

O campo elétrico lateral afeta a mobilidade devido a saturação da velocidade do portador. A velocidade de saturação dos portadores é dependente da temperatura e pode se expressa através do modelo proposto por Canali [49]. As equações (2.55) e (2.56) apresentam a velocidade de saturação para elétrons e lacunas, respectivamente:

$$v_{sat,n} = 10^7 \cdot \left(\frac{T}{300}\right)^{-0,87} \quad (2.55)$$

$$v_{sat,e} = 8,37 \cdot 10^6 \cdot \left(\frac{T}{300}\right)^{-0,52} \quad (2.56)$$

2.4.2.4 Transcondutância

Conforme apresentado no item 2.3.5, ao observarmos as equações (2.26) e (2.27), nota-se que a transcondutância em saturação está diretamente relacionada com a mobilidade. Com a redução da temperatura, a mobilidade aumenta e consequentemente a transcondutância também. Além disso, a transcondutância também depende do fator de corpo. Com a redução de temperatura as armadilhas de interface assumem valores significativos, não podendo mais ser desconsideradas. Assim, com a redução de temperatura ocorre um aumento das capacitâncias da armadilha de interface, se opondo ao aumento da transcondutância na região de saturação.

2.5 Transistor SOI MOSFET com canal tensionado

Após quatro décadas, a constante busca pela miniaturização dos dispositivos eletrônicos chegou próxima do limite físico dos materiais utilizados. Em dispositivos nanométricos, para controlar os efeitos de canal curto fez-se necessário aumentar a concentração de dopantes no canal e o campo elétrico vertical [7]. Porém, o aumento desses dois parâmetros reduz a mobilidade dos portadores devido ao espalhamento de impurezas e ao alto campo elétrico [3],[50]. Como uma alternativa tecnológica promissora, surgiu a tensão mecânica, capaz de aumentar a mobilidade dos portadores, e conseqüentemente, a corrente de dreno [51],[52].

A tensão mecânica pode ser tensiva ou compressiva, sendo a tensiva utilizada para dispositivo nMOS, por aumentar a mobilidade dos elétrons e a compressiva para dispositivos pMOS, por aumentar a mobilidade das lacunas.

Nos itens a seguir serão apresentados os processos de indução da tensão mecânica e também os conceitos básicos dos efeitos físicos da tensão mecânica nos semicondutores.

2.5.1 Processos de indução da tensão mecânica

A tensão mecânica pode ser aplicada de formas: uniaxial, quando a tensão é aplicada em apenas uma direção (geralmente no sentido do comprimento canal) e biaxial, quando a tensão é aplicada em dois eixos (geralmente no sentido da largura e comprimento do canal). Cada uma dessas tensões pode ser obtidas por um processo de fabricação diferente.

Atualmente diversos dispositivos e métodos de indução da tensão mecânica vêm sendo estudados. Nesta seção serão apresentados os dois métodos mais utilizados para a indução da tensão mecânica uniaxial e biaxial, obtidas, respectivamente, por meio da incompatibilidade do estresse térmico e da diferença de distância interatômica entre dois elementos.

2.5.1.1 Tensão mecânica uniaxial induzida pelo estresse térmico

Quando dois materiais com coeficientes de dilatação térmica diferentes são aquecidos, a dilatação ocorre com taxas diferentes. Isto é demonstrado na figura 2.11(a), onde α_1 e α_2 são os coeficientes de dilatação do primeiro e segundo material, respectivamente. Com a

diminuição da temperatura, estes dois materiais tendem a contrair, voltando ao seu estado inicial. O material com maior coeficiente de dilatação contrai mais que o outro, como demonstrado na figura 2.11(b). Se esses dois materiais forem unidos sob altas temperaturas, ao resfriar, o material com maior coeficiente de dilatação não consegue contrair da mesma forma, induzindo uma tensão mecânica no outro material [53],[54]. Esse processo pode ser visto na figura 2.11(c).

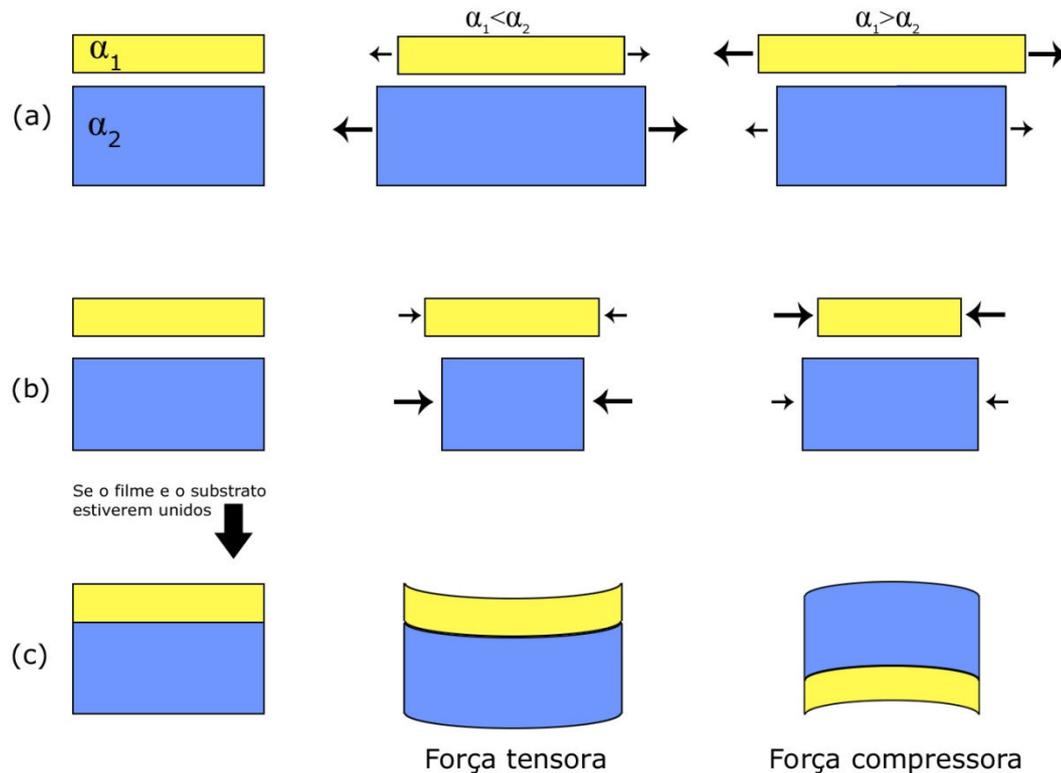


Figura 2.11 – Diagrama esquemático da formação da tensão mecânica uniaxial [55].

Um dos processos mais utilizados para a fabricação dos transistores SOI com tensão mecânica uniaxial está baseado neste conceito, conforme apresentado na figura 2.12. A indução da tensão mecânica ocorre através da deposição de uma camada de nitreto de silício Si_3N_4 (*strained Contact Etch Stop Layer* –sCESL) sobre a região de porta do transistor [56],[57]. Essa camada de nitreto induz tensão mecânica não uniforme na direção do comprimento de canal, podendo ser tensiva para transistores nMOS e compressiva para pMOS. A tensão mecânica uniaxial atua principalmente sobre a região de fonte e dreno, tornando-se mais efetiva para transistores com menores comprimentos de canal [57].

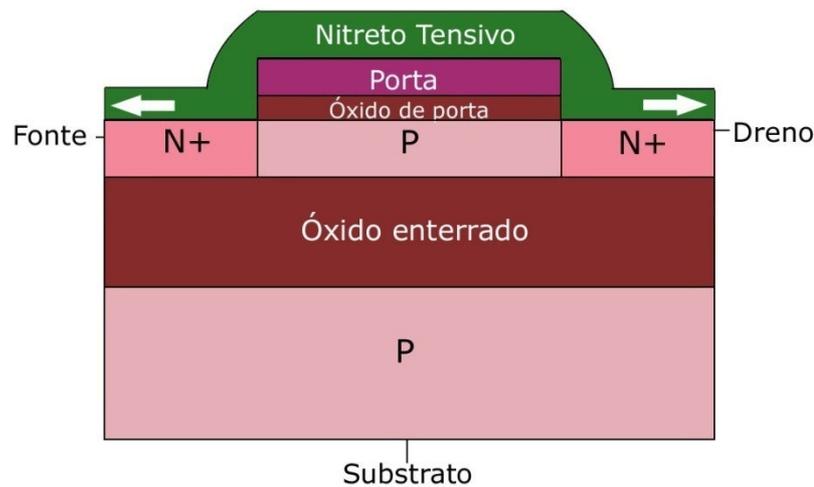


Figura 2.12 – Transistor SOI nMOS com tensão mecânica uniaxial induzida pela deposição de uma camada de nitreto de silício.

2.5.1.2 Tensão mecânica biaxial induzida pela diferença de distância interatômica

O espaçamento entre os átomos de um material, chamado de parâmetro de rede, é resultado do equilíbrio entre as forças de repulsão e atração interatômicas. Os átomos são atraídos pela afinidade eletrônica, porém, devido a grande proximidade de muitos elétrons surge a força de repulsão, que por consequência, mantém a distância de equilíbrio. O parâmetro de rede pode ser afetado por diversos fatores, como a temperatura, a valência iônica e a quantidade de átomos.

Para gerar uma lâmina de silício com tensão mecânica biaxial é utilizado uma camada de silício sobre uma liga de silício-germânio. Este processo inicia-se com crescimento por métodos de epitaxia de uma liga silício-germânio ($\text{Si}_{1-x}\text{Ge}_x$) sobre um substrato de silício, onde x é a fração atômica de germânio na liga [58]. No processo de crescimento, a concentração de germânio é reduzida gradualmente até que o material seja silício puro.

Esses dois materiais apresentam estrutura cristalina em formato de diamante, porém o parâmetro de rede destes elementos diferem em 4,2%, sendo $a_{\text{Ge}} = 0,5658$ nm e $a_{\text{Si}} = 0,5431$ nm. O parâmetro de rede desta liga pode ser determinado através de uma interpolação linear entre os parâmetros de rede do silício e do germânio, como apresentado na equação (2.57) [59].

$$a_{\text{Si}_{1-x}\text{Ge}_x} = a_{\text{Si}} + (a_{\text{Ge}} - a_{\text{Si}}) \cdot x \quad (2.57)$$

Uma aproximação mais precisa pode ser feita através da seguinte relação quadrática [59]:

$$a_{Si_{1-x}Ge_x} = 0,002733 \cdot x^2 + 0,01992 \cdot x + 0,5431 \quad [nm] \quad (2.58)$$

Devido a essa diferença de parâmetro de rede, quando a liga $Si_{1-x}Ge_x$ é crescida epitaxialmente sobre o substrato de silício, as primeiras camadas depositadas são biaxialmente comprimidas para se ajustarem ao parâmetro de rede do substrato, formando uma camada epitaxial coerente, como ilustra a figura 2.13.

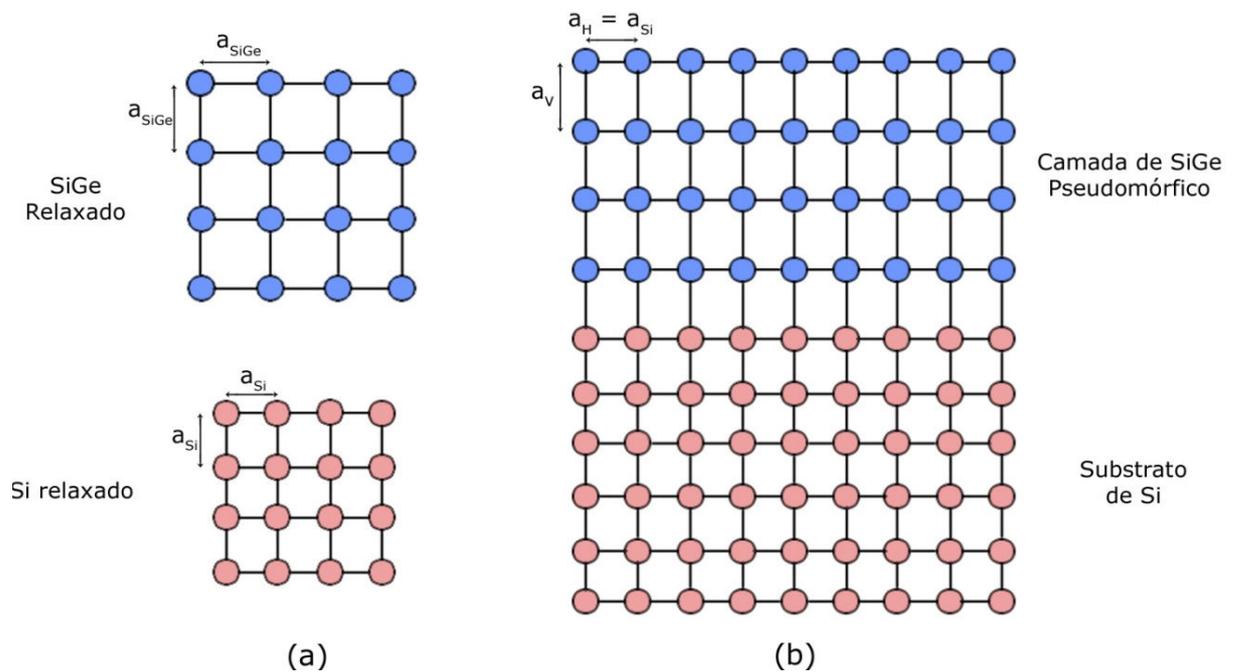


Figura 2.13 – Estruturas cúbicas do Si e do SiGe (a) e uma estrutura formada por uma camada epitaxial de SiGe sobre um substrato de Si [58].

A componente do parâmetro de rede horizontal (a_H) da liga será o mesmo do silício e a componente vertical (a_V) pode ser dada por uma aproximação pela teoria elástica [58],[60]:

$$a_V = a_{SiGe} \cdot \left[1 - 2 \cdot \frac{C_{12}^{SiGe}}{C_{11}^{SiGe}} \cdot \left(\frac{a_{Si}}{a_{SiGe}} \right) - 1 \right] \quad (2.59)$$

onde C_{11}^{SiGe} e C_{12}^{SiGe} são as constantes elásticas da liga SiGe.

Com o aumento da espessura da camada da liga, a tensão também aumenta, até atingir uma espessura crítica, onde a tensão mecânica não consegue mais ser compensada. A partir desta espessura a camada começa a relaxar através da formação de uma rede de discordâncias de misfit [58],[60] na interface SiGe-Si, essas discordâncias podem ser observadas na figura 2.14.

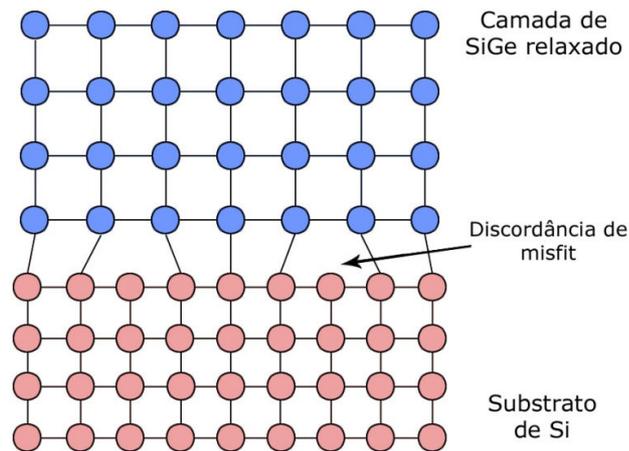


Figura 2.14 – Discordâncias de misfit na interface Si-SiGe.

Por fim, é realizado o crescimento epitaxial do silício sobre a liga SiGe relaxada, as primeiras camadas de silício são tensionadas biaxialmente, fazendo com que o parâmetro de rede do silício se ajuste ao parâmetro de rede da liga, formando assim, uma camada de silício tensionado (sSi), como ilustrado na figura 2.15.

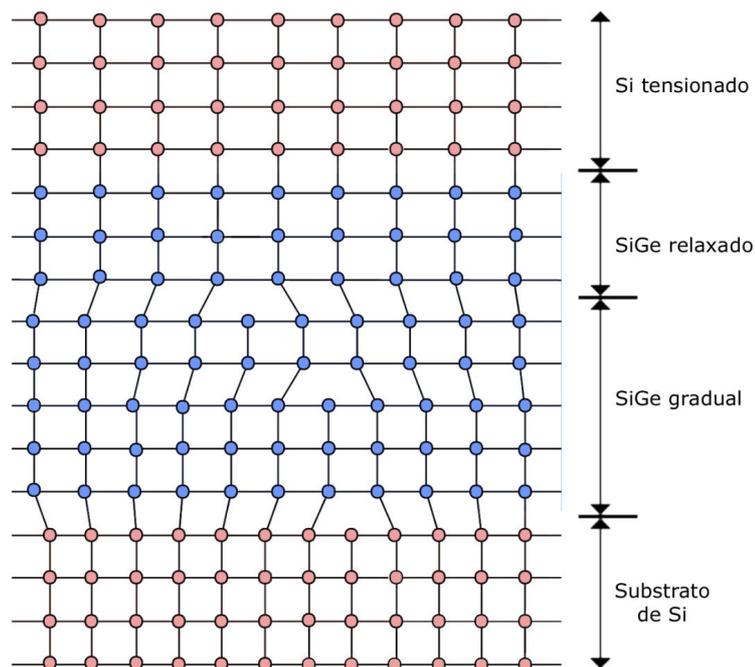


Figura 2.15 – Formação da lâmina de silício tensionado através da utilização de ligas SiGe.

Este processo pode ser utilizado para a fabricação de diversos transistores com tensão mecânica biaxial, como MOS convencional tensionado (*Strained Bulk MOS*), silício tensionado sobre isolante (*strained Silicon-on-insulator* - sSOI), silício e germânio sobre isolante (*SiGe-on-insulator* - SGOI) e germânio sobre isolante (*Ge-on-insulator* – GOI), diferenciando apenas as etapas seguintes [61].

Para a fabricação de um transistor sSOI, o silício puro do topo da estrutura gerada no processo descrito anteriormente e demonstrada na figura 2.16(a), é oxidado e unido, por um processo de adesão denominado “*wafer bonding*”, a outra lâmina de silício oxidada, como ilustrado na figura 2.16(b). Na sequência, a parcela da liga $\text{Si}_x\text{Ge}_{1-x}$ é polida utilizando a técnica CMP (*Chemical Mechanical Polishing*), restando uma lâmina SOI com silício biaxialmente tensionado sobre o óxido enterrado [60],[62], conforme demonstrado na figura 2.16(c).

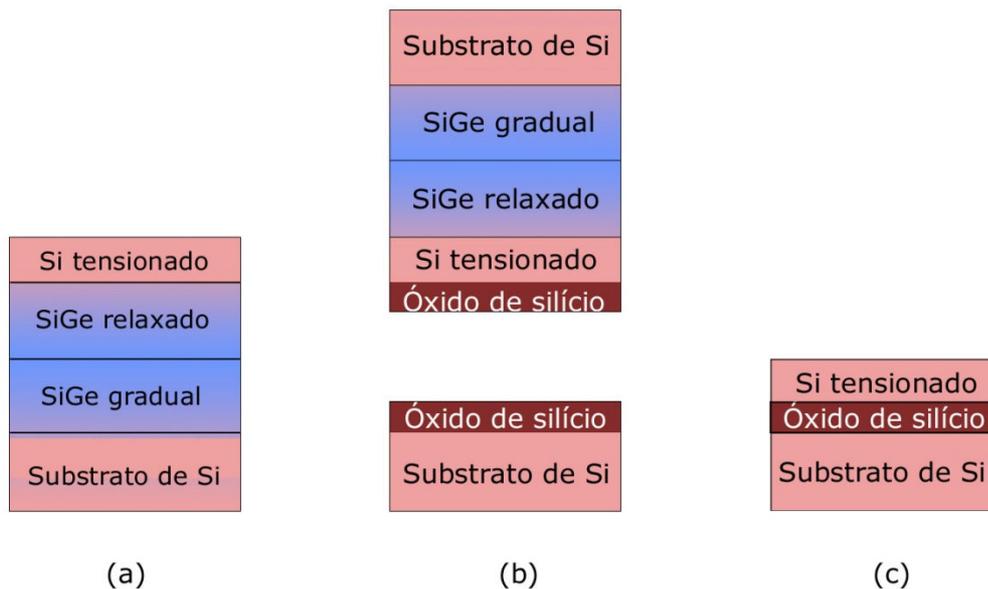


Figura 2.16 – Esquemático do processo de fabricação do transistor SOI com canal tensionado.

Esta técnica induz tensão mecânica na direção da largura e do comprimento do canal. À medida que o comprimento de canal diminui a componente da tensão mecânica também diminui, diferentemente do transistor com tensão mecânica uniaxial [57].

Neste trabalho apenas os transistores SOI com tensão mecânica biaxial (sSOI) serão estudados.

2.5.2 Relação entre tensão mecânica (stress) e deformação (strain)

A propriedade dos materiais sólidos deformarem quando uma força externa é aplicada e retornarem ao seu estado inicial quando esta força é removida, é definido como elasticidade. A força externa ou tensão mecânica aplicada ao material é conhecida como stress (σ_{ij}) e a medida da deformação como strain (ϵ_{kl}), onde o índice i, j, k e l representam as direções da força e deformação no eixo ortogonal.

A tensão mecânica é a distribuição de forças que variam de intensidade dentro de um corpo de acordo com a força externa aplicada [62]. A figura 2.17 apresenta um cubo, com dimensões infinitesimais, com as componentes da tensão mecânica em x, y e z , agindo em diferentes planos do cubo. A partir desta figura pode-se obter a matriz de coeficientes da tensão mecânica, dada pela equação (2.60). Por definição, quando a tensão mecânica for negativa a força aplicada é dita compressora e quando positiva, tensora.

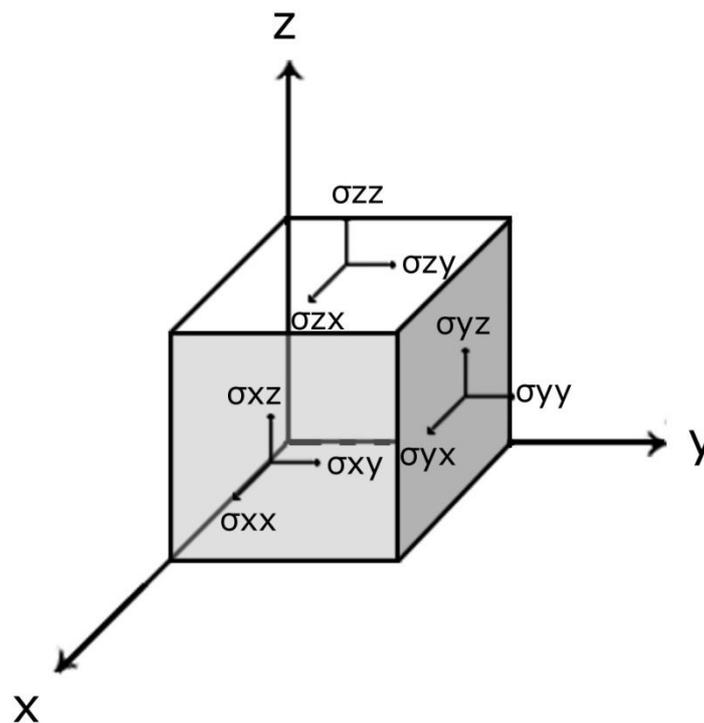


Figura 2.17 – Representação das componentes da tensão mecânica.

$$\sigma_{ij} = \begin{bmatrix} \sigma_{xx} & \sigma_{xy} & \sigma_{xz} \\ \sigma_{yx} & \sigma_{yy} & \sigma_{yz} \\ \sigma_{zx} & \sigma_{zy} & \sigma_{zz} \end{bmatrix} \quad (2.60)$$

De modo análogo, podemos definir a seguinte matriz de coeficientes para a deformação:

$$\varepsilon_{kl} = \begin{bmatrix} \varepsilon_{xx} & \varepsilon_{xy} & \varepsilon_{xz} \\ \varepsilon_{yx} & \varepsilon_{yy} & \varepsilon_{yz} \\ \varepsilon_{zx} & \varepsilon_{zy} & \varepsilon_{zz} \end{bmatrix} \quad (2.61)$$

Quando a tensão mecânica é aplicada até certo limite, que depende do material e da temperatura, a deformação é proporcional à tensão. A constante de proporcionalidade entre elas é chamada de módulo de elasticidade ou módulo de Young [63]. Quanto maior o módulo, maior será a tensão necessária para um mesmo grau de deformação, portanto mais rígido é o sólido. A máxima tensão que pode ser aplicada ao silício, de forma que este ainda continue no regime elástico, é de 130 GPa e para o óxido de silício 70 GPa. Tensões acima desses valores provocam deformações permanente, entrando no regime plástico.

Considerando que os materiais estão operando em regime elástico, pode-se aproximar essa relação tensão-deformação como linear, sendo dada pela Lei de Hooke, definida na equação (2.62).

$$\sigma_{ij} = C_{ijkl} \cdot \varepsilon_{kl} \quad (2.62)$$

onde C é a quarta ordem do módulo tensor de elasticidade.

Combinando as nove componentes da tensão mecânica com os da deformação, temos uma matriz com 81 componentes do módulo de elasticidade. Porém, devido à simetria da tensão mecânica e da deformação em condição de equilíbrio, $\sigma_{xy} = \sigma_{yx}$, $\sigma_{xz} = \sigma_{zx}$ e $\sigma_{yz} = \sigma_{zy}$ [62], essa matriz de elasticidade pode ser reduzida para 36 elementos.

$$\begin{bmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \sigma_{xy} \\ \sigma_{yz} \\ \sigma_{zx} \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} & C_{13} & C_{14} & C_{15} & C_{16} \\ C_{21} & C_{22} & C_{23} & C_{24} & C_{25} & C_{26} \\ C_{31} & C_{32} & C_{33} & C_{34} & C_{35} & C_{36} \\ C_{41} & C_{42} & C_{43} & C_{44} & C_{45} & C_{46} \\ C_{51} & C_{52} & C_{53} & C_{54} & C_{55} & C_{56} \\ C_{61} & C_{62} & C_{63} & C_{64} & C_{65} & C_{66} \end{bmatrix} \cdot \begin{bmatrix} \varepsilon_{xx} \\ \varepsilon_{yy} \\ \varepsilon_{zz} \\ \varepsilon_{xy} \\ \varepsilon_{yz} \\ \varepsilon_{zx} \end{bmatrix} \quad (2.63)$$

Também devido à simetria das estruturas cristalinas cúbicas do silício e do germânio, as constantes de elasticidade podem ser reduzidas a três componentes independentes: C_{11} , C_{12} e C_{44} . A matriz generalizada para essas estruturas pode ser dada por:

$$\begin{bmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \sigma_{xy} \\ \sigma_{yz} \\ \sigma_{zx} \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{11} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{12} & C_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & C_{44} \end{bmatrix} \cdot \begin{bmatrix} \varepsilon_{xx} \\ \varepsilon_{yy} \\ \varepsilon_{zz} \\ \varepsilon_{xy} \\ \varepsilon_{yz} \\ \varepsilon_{zx} \end{bmatrix} \quad (2.64)$$

Para o silício com $T = 300\text{K}$, $C_{11} = 1,657 \cdot 10^{12} \text{ dyn/cm}^2$, $C_{12} = 0,639 \cdot 10^{12} \text{ dyn/cm}^2$ e $C_{44} = 0,7956 \cdot 10^{12} \text{ dyn/cm}^2$ [62].

Por fim, considerando-se apenas as componentes normais ao eixo da estrutura cristalina:

$$\begin{bmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} & C_{12} \\ C_{12} & C_{11} & C_{12} \\ C_{12} & C_{12} & C_{11} \end{bmatrix} \cdot \begin{bmatrix} \varepsilon_{xx} \\ \varepsilon_{yy} \\ \varepsilon_{zz} \end{bmatrix} \quad (2.65)$$

2.5.3 Piezoresistência

O efeito piezoresistivo dos semicondutores descreve como a resistência do material é influenciada pela tensão mecânica aplicada na estrutura [62]. Essa relação pode ser expressa da seguinte forma [64]:

$$\frac{\Delta R}{R_0} = \frac{\Delta \rho}{\rho_0} \propto \text{tensão mecânica} \quad (2.66)$$

sendo ΔR a variação da resistência, $\Delta \rho$ a variação da resistividade, R_0 e ρ_0 , respectivamente, a resistência e a resistividade do material sem aplicação da tensão mecânica.

Fazendo uma aproximação de primeira ordem da equação (2.66), onde a variação da resistência é proporcional a tensão mecânica aplicada à estrutura, obtém-se [65]:

$$\frac{\Delta \rho_{ij}}{\rho_0} = \Pi_{ijkl} \cdot \sigma_{kl} \quad (2.67)$$

onde Π é a matriz dos coeficientes piezoresistivos, σ o vetor da tensão mecânica e os índices i , j , k e l são as coordenadas no plano ortogonal.

Devido à simetria da estrutura cristalina do silício a matriz dos coeficientes piezoresistivos, assim como a matriz de elasticidade, também pode ser reduzida de 81 para 36 elementos, com três coeficientes independentes, Π_{11} , Π_{12} e Π_{44} :

$$\frac{1}{\rho_0} \begin{bmatrix} \Delta\rho_{xx} \\ \Delta\rho_{yy} \\ \Delta\rho_{zz} \\ \Delta\rho_{xy} \\ \Delta\rho_{yz} \\ \Delta\rho_{zx} \end{bmatrix} = \begin{bmatrix} \Pi_{11} & \Pi_{12} & \Pi_{12} & 0 & 0 & 0 \\ \Pi_{12} & \Pi_{11} & \Pi_{12} & 0 & 0 & 0 \\ \Pi_{12} & \Pi_{12} & \Pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \Pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \Pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \Pi_{44} \end{bmatrix} \cdot \begin{bmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \sigma_{xy} \\ \sigma_{yz} \\ \sigma_{zx} \end{bmatrix} \quad (2.68)$$

2.5.4 Estrutura de faixas de energia

A tensão biaxial em um silício tensionado produzido pelo processo de crescimento epitaxial sobre uma liga silício-germânio provoca alterações na estrutura das faixas de valência e de condução, diminuindo a largura de faixa proibida (E_g) [66].

A faixa de condução de um cristal de silício não tensionado é formado por seis vales degenerados de mesma energia (Δ_6), podendo ser representados esquematicamente por elipsóides em diferentes posições no espaço-k, sendo divididos em quatro paralelos (Δ_4) e dois perpendiculares (Δ_2) ao plano de superfície (110), como demonstrado na figura 2.18(a). Para o silício sem tensão mecânica, a massa efetiva do elétron ocupando estes vales é anisotrópica, onde a massa efetiva no plano é praticamente igual à massa efetiva transversa do silício, dada por $m_t = 0,19.m_0$, que é significativamente menor do que a massa efetiva fora do plano, sendo praticamente igual a massa efetiva longitudinal do silício, dada por $m_l = 0,92.m_0$, onde m_0 é a massa efetiva do elétron livre [67]. A massa efetiva total é obtida somando-se as contribuições dos seis vales [68]:

$$m^* = \left[\frac{1}{6} \cdot \left(\frac{2}{m_l} + \frac{4}{m_t} \right) \right]^{-1} \quad (2.69)$$

Quando a estrutura é deformada através da aplicação de uma tensão mecânica biaxial tensiva ou compressiva no plano (001), ocorre um desdobramento de energia na faixa de condução. Esse desdobramento é demonstrado esquematicamente nas figuras 2.18(b) e 2.18(c), onde o aumento do tamanho do elipsóide representa o deslocamento do vale para energias mais baixas e a diminuição dos elipsóides um deslocamento para energias mais altas

[58],[69]. A figura 2.18(d) demonstra o desdobramento do nível de energia da faixa de condução para um silício tensionado [69].

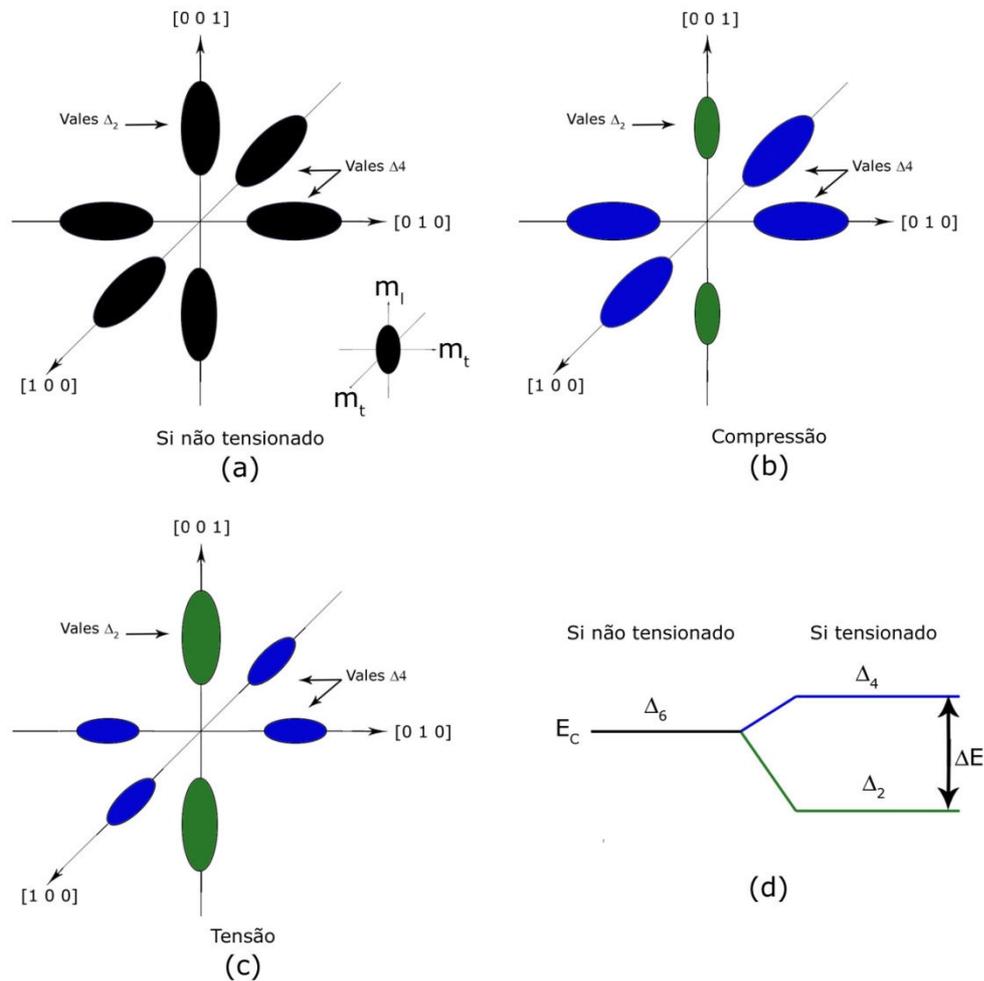


Figura 2.18 – Elipsóides representando a energia constante na faixa de condução do Si (a), do Si deformado por força compressiva (b), do silício por força tensiva (c) e a variação da faixa de energia para um Si deformado por força tensiva (d).

Em um silício não tensionado, a faixa de valência máxima é formada por três diferentes faixa, sendo elas, de lacunas pesadas, de lacunas leves e *split-off*, que apresenta um nível de energia um pouco menor, como demonstra a figura 2.19(a). Com a aplicação da tensão mecânica, ocorre um desdobramento do nível de energia da faixa de valência, fazendo com que o nível de energia da faixa de lacunas leves aumente em relação à faixa de lacunas pesadas, além de reduzir o nível de energia da faixa *split-off*, como apresentado na figura 2.19(b) [67],[69].

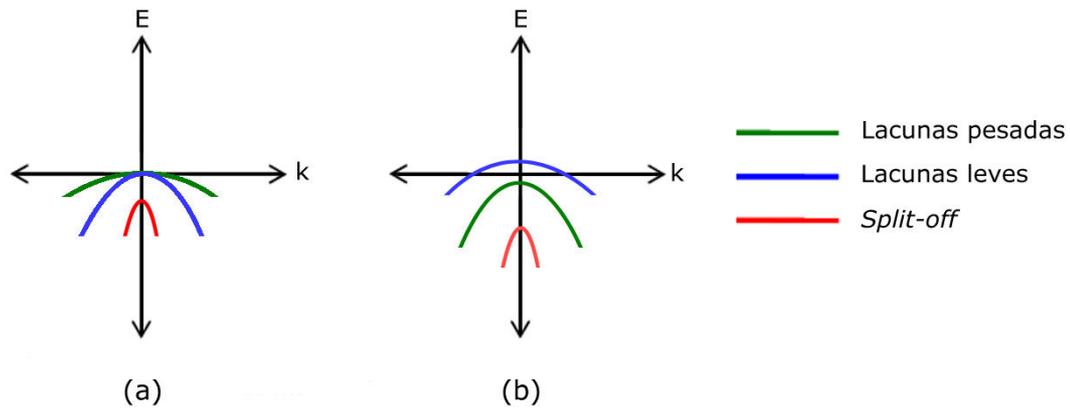


Figura 2.19 – Comportamento da faixa de valência do Si sem tensão mecânica (a) e com tensão mecânica biaxial (b).

Com a redução no nível de energia da faixa de condução mínima e o aumento no nível de energia da faixa de valência máxima, a largura da faixa de energia proibida diminui para valores inferiores a 1,1 eV.

2.5.5 Efeito na mobilidade dos portadores

Devido à diminuição do nível de energia da faixa de condução mínima, ocorre uma redistribuição dos elétrons, que passam a ocupar preferencialmente os vales perpendiculares ao plano (Δ_2), reduzindo a massa efetiva dos portadores, devido à predominância do transporte de massa efetiva transversal. Considerando a mobilidade como $\mu = q \cdot \tau / m^*$, onde τ é o tempo de vida dos portadores e m^* a massa efetiva dos elétrons, podemos observar que a redução da massa efetiva aumenta a mobilidade dos portadores em baixos campos elétricos [70].

A equação (2.70) pode ser usada para descrever a mobilidade para os portadores no silício com tensão mecânica, considerando a redistribuição dos elétrons devido à deformação na estrutura de faixas de energia do silício. Este modelo considera apenas os elementos da diagonal principal da matriz de mobilidade [71],[72].

$$\mu_{n,ii} = \mu_{n0} \cdot \left[1 + \frac{1 - \frac{m_{n,l}}{m_{n,t}}}{1 + 2 \cdot \frac{m_{n,l}}{m_{n,t}}} \cdot \left(\frac{F_{1/2} \cdot \left(\frac{F_n - E_c - \Delta E_{c,i}}{k \cdot T} \right)}{F_{1/2} \cdot \left(\frac{F_n - E_c - \Delta E_c}{k \cdot T} \right)} - 1 \right) \right] \quad (2.70)$$

onde μ_{n0} é a mobilidade dos elétrons sem a aplicação de tensão mecânica, $m_{n,t}$ e $m_{n,l}$ as massas efetivas longitudinal e transversal dos elétrons, respectivamente, $\Delta E_{c,i}$ é a variação na faixa de

condução e está relacionado à deformação de cisalhamento ao nível de energia [73], F_n o nível de quase-Fermi dos elétrons. O índice i dos termos corresponde à coordenada ortogonal, onde será calculada a mobilidade para os dois vales ao longo do eixo referido.

O desdobramento dos níveis de energia também reduz o mecanismo de espalhamento entre vales para os portadores de carga. Isto ocorre devido ao aumento do nível de energia da faixa de valência máxima, fazendo com que as lacunas ocupem preferencialmente a faixa de lacunas leves, reduzindo o transporte de massa no plano. A redução do mecanismo de espalhamento aumenta a mobilidade das lacunas em baixos campos elétrico [58],[74]. O modelo considerando o mecanismo de espalhamento entre vales pode ser dado pela seguinte equação [72]:

$$\mu_{n,ii} = \frac{3 \cdot \mu_{n0} \cdot \frac{\tau_i}{\tau_0} \cdot F_{1/2} \cdot \left(\frac{\eta - \Delta E_{c,i}}{k \cdot T} \right) + \frac{\tau_j \cdot m_{n,l}}{\tau_0 \cdot m_{n,t}} \cdot F_{1/2} \cdot \left(\frac{\eta - \Delta E_{c,j}}{k \cdot T} \right) + \frac{\tau_l \cdot m_{n,l}}{\tau_0 \cdot m_{n,t}} \cdot F_{1/2} \cdot \left(\frac{\eta - \Delta E_{c,l}}{k \cdot T} \right)}{1 + 2 \cdot \frac{m_{n,l}}{m_{n,t}} \cdot F_{1/2} \cdot \left(\frac{\eta - \Delta E_{c,i}}{k \cdot T} \right) + F_{1/2} \cdot \left(\frac{\eta - \Delta E_{c,j}}{k \cdot T} \right) + F_{1/2} \cdot \left(\frac{\eta - \Delta E_{c,l}}{k \cdot T} \right)} \quad (2.71)$$

onde τ_0 é o tempo de vida total dos portadores no silício sem tensão mecânica, τ_i o tempo de vida total dos portadores nos vales do silício tensionado e η a diferença entre o nível de quase-Fermi dos elétrons e a energia de condução ($F_n - E_c$).

2.5.6 Efeito na tensão de limiar

A aplicação de tensão mecânica reduz a tensão de limiar do dispositivo. Esta redução ocorre devido ao aumento da afinidade eletrônica e diminuição da largura de faixa proibida [75], decorrentes das deformações introduzidas na estrutura de faixa de energia do silício. A tensão de limiar em função da tensão mecânica para um nMOSFET com tensão mecânica uniaxial e biaxial, pode ser dada, respectivamente, por [76]:

$$q \cdot V_{Th(\sigma)} = (n - 1) \cdot \left[\Delta E_{g(\sigma)} + k \cdot T \cdot \ln \frac{N_{V(0)}}{N_{V(\sigma)}} \right] \quad (\text{tensão uniaxial}) \quad (2.72)$$

$$q \cdot V_{Th(\sigma)} = \Delta E_{c(\sigma)} + (n - 1) \cdot \left[\Delta E_{g(\sigma)} + k \cdot T \cdot \ln \frac{N_{V(0)}}{N_{V(\sigma)}} \right] \quad (\text{tensão biaxial}) \quad (2.73)$$

onde ΔE_c é a alteração na faixa de condução do silício induzida pela tensão mecânica aplicada (σ), n é efeito de corpo, ΔE_g a variação da largura de faixa proibida, $N_{V(0)}$ e $N_{V(\sigma)}$ as densidades de estados na faixa de valência com e sem aplicação de tensão, respectivamente.

2.5.7 Dependência da tensão biaxial com as dimensões do dispositivo

O aumento da mobilidade dos portadores devido à aplicação da tensão mecânica biaxial diminui com a redução do comprimento de canal. Isto ocorre devido ao relaxamento da deformação ao longo do canal do dispositivo [77]. O relaxamento da tensão mecânica biaxial ocorre nas interfaces laterais, tanto na direção da largura quanto do comprimento do canal, sendo observado principalmente nos primeiros 100 nm [77]. A tensão mecânica no interior do canal mantém-se constante. A figura 2.20 ilustra esta variação ao longo do comprimento da camada de silício tensionado de um transistor sSOI planar totalmente depletado:

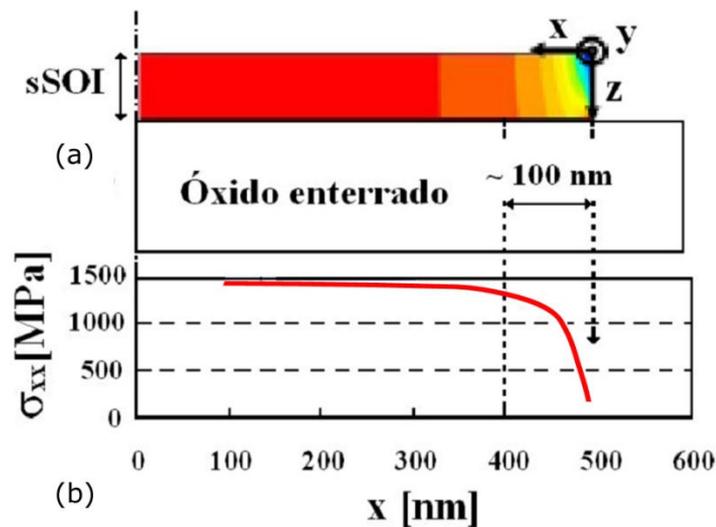


Figura 2.20 – Variação bidimensional da tensão mecânica na direção da largura de uma ilha de silício (a) e distribuição unidimensional à 1 μm abaixo do óxido de porta [77].

Com a redução das dimensões dos transistores SOI com tensão mecânica biaxial, o relaxamento nas laterais do canal torna-se significativo, reduzindo a tensão mecânica efetiva no canal, e assim reduzindo as melhorias da tensão mecânica nos dispositivos.

3 SIMULADOR NUMÉRICO DE DISPOSITIVOS

Com o intuito de acelerar o tempo de desenvolvimento das pesquisas e reduzir os custos, são utilizadas ferramentas como Technology CAD (*Computer-Aided Design*), ou simplesmente TCAD.

As ferramentas TCAD englobam um amplo pacote de programas que permitem simular processos de fabricação de um dispositivo, simular a operação de dispositivos bidimensionais ou tridimensionais, visualizar estruturas geradas, curvas, parâmetros físicos e elétricos dos dispositivos e também calibrar os simuladores para melhor aproximação com a realidade.

O pacote TCAD utilizado nas maiores universidades do Brasil é o desenvolvido pela Silvaco[®] que, até o presente momento, não disponibiliza suporte para a simulação de estruturas com tensão mecânica biaxial. Por esse motivo, a ferramenta escolhida para a realização deste trabalho foi o TCAD Sentaurus, desenvolvido pela Synopsys[®], que apresenta um amplo conjunto de modelos para esta finalidade.

Os programas do TCAD Sentaurus utilizados neste trabalho são apresentados na tabela 3.1, juntamente com o seu equivalente no TCAD Silvaco.

| TCAD Sentaurus | TCAD Silvaco | Descrição |
|-----------------------------------|-------------------------------|----------------------------|
| <i>Sentaurus Structure Editor</i> | <i>DevEdit e Athenas</i> | Editor de estruturas |
| <i>Sentaurus Device</i> | <i>Atlas</i> | Simulador de dispositivos |
| <i>Tecplot SV</i> | <i>Tonyplot e Tonyplot 3D</i> | Visualizador de estruturas |
| <i>Inspect</i> | <i>Tonyplot</i> | Visualizados de resultados |

Tabela 3.1 – Equivalência entre os programas do TCAD Sentaurus e TCAD Silvaco.

Nos itens a seguir será dada uma breve introdução sobre os softwares do TCAD Sentaurus e os modelos utilizados.

3.1 Editor de dispositivos: *Sentaurus Structure Editor*

O *Sentaurus Structure Editor* (SDE) é um editor utilizado para gerar dispositivos bidimensionais e tridimensionais, além de emular etapas de processos tridimensionais.

O dispositivo pode ser gerado em modo texto, ou em modo interativo através do ambiente gráfico ou combinando comandos de texto dentro do ambiente gráfico. Dessa forma são declaradas as regiões, o material e a concentração de dopantes de cada região, eletrodos, tensão mecânica, refinamento de grade e diversos outros parâmetros desejados, criando um dispositivo virtual com uma aproximação real. Por fim, é gerado um arquivo de saída com uma matriz de pontos não uniforme dessa estrutura, chamada grade, na qual, para cada ponto, são registradas as informações equivalentes à sua localização no plano para ser utilizada posteriormente na simulação do dispositivo.

Um exemplo de um script para criação de uma estrutura pode ser visto no apêndice A.

3.2 Simulador de dispositivos: *Sentaurus Device*

O *Sentaurus Device* (SDevice) tem a função de simular numericamente o comportamento elétrico de um dispositivo semicondutor ou de um conjunto de dispositivos semicondutores formando um circuito. As simulações podem ser unidimensional (1D), bidimensional (2D) ou tridimensional (3D).

Para simular a resposta elétrica de um dispositivo, é aplicado um conjunto de equações, que são resolvidas numericamente através de interpolações nos cruzamentos entre as linhas e colunas da matriz de pontos do dispositivo, gerada pelo editor de estruturas ou pelo emulador de processos. Estas equações incluem a equação de Poisson, equação de continuidade para elétrons e lacunas, densidades de corrente, além de um avançado conjunto de modelos físicos e analíticos que podem ser incluídos de acordo com a necessidade do estudo a ser realizado.

Um exemplo de simulação pode ser encontrado no apêndice B.

3.3 Visualizador de estruturas: Tecplot SV

O Tecplot SV é utilizado para visualizar todas as estruturas geradas pelas ferramentas inclusas no pacote TCAD Sentaurus. Permite visualizar aspectos como regiões, concentração de dopantes, grade, tensão mecânica, deformação, contatos, além de parâmetros provenientes de simulações, como campo elétrico, densidade de corrente e lacunas, potencial elétrico, cargas no espaço, entre outros.

3.4 Visualizador de resultados: Inspect

O Inspect além de visualizador é também um analisador de curvas, possibilitando a utilização de funções matemáticas que permitem a extração de parâmetros e informações das curvas obtidas, além de exportá-las em arquivos de textos para serem usadas em outros programas matemáticos.

3.5 Modelos utilizados

O seguinte conjunto de modelos foi adotado com o objetivo aproximar o funcionamento do dispositivo simulado com um dispositivo real.

- *PhuMob (Philips Unified Mobility Model)*: Modelo de mobilidade unificado Philips, proposto por Klaasen [46]. É dado pela equação (2.42), descrevendo de forma unificada a mobilidade dos portadores minoritários e majoritários. Também descreve a dependência da mobilidade com a temperatura considerando os mecanismos de degradação da mobilidade devido ao espalhamento por impurezas e portador-portador.
- *Enormal*: Modelo de degradação da mobilidade nas interfaces proposto por Lombardi. Descrito pela equação (2.51), este modelo considera o efeito do alto campo elétrico transversal, que aumenta a interação dos portadores com a interface semiconductor-isolante, aumentando a degradação devido aos mecanismos de espalhamento por fônons acústicos e pela rugosidade na superfície. Além disso, inclui dependências com a temperatura e com a concentração de dopantes.

- *HighFieldSaturation*: Modelo de mobilidade proposto por Canali que considera o alto campo elétrico, onde a mobilidade não é mais proporcional ao campo elétrico devido a velocidade de saturação dos portadores. Este modelo também considera a dependência com a temperatura e é dado pelas equações (2.53) e (2.55).
- *IncompleteIonization*: Este modelo considera a dependência da mobilidade com a temperatura devido a ionização incompleta dos portadores, considerando também, as cargas associadas aos defeitos de superfície, armadilhas de interface e o congelamento de impurezas, sendo descrito pelas equações (2.40) e (2.41).
- *SRH (Shockley–Read–Hall)*: Modelo de geração-recombinação de portadores, este processo envolve a troca de portadores entre a faixa de condução e de valência. Foi utilizado com dois sub modelos, *DopingDep* e *TempDep*, que consideram, respectivamente os efeitos da concentração de dopantes e o efeito da redução da temperatura em conjunto com tempo de vida dos portadores na recombinação.
- *Avalanche*: Modelo que considera a ionização por impacto com dependência da temperatura. É uma variação do modelo de Chynoweth, proposto por van Overstraeten e de Man [78].
- *BandGapNarrowing (OldSlotboom)*: Este é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido ao alto campo elétrico.

A tabela 3.2 apresenta os modelos utilizados no TCAD Sentaurus e os equivalentes no TCAD Silvaco.

| Sentaurus | Atlas |
|----------------------|--------------------|
| Phumob | Kla |
| Enormal | CVT |
| HighFieldSaturation | FLDMOB |
| IncompleteIonization | Incomplete e Ioniz |
| SRH | SRH |
| Avalanche | Impact Selb |
| BandGapNarrowing | BGN |

Tabela 3.2 – Equivalência entre os modelos do TCAD Sentaurus e TCAD Silvaco.

Para as simulações dos dispositivos simulados com tensão mecânica foram acrescentados os seguintes modelos:

- *DeformationPotential*: Este modelo considera o efeito da deformação do cristal nos vales de energia, devido à aplicação da tensão mecânica, resultando na deformação da estrutura de faixas de energias do silício.
- *DOS (density of states)*: Modelo que considera a alteração na massa efetiva dos elétrons e na densidade de estados devido à deformação do cristal, resultante da aplicação de tensão mecânica. Considera também, a deformação da estrutura de faixas de energia do silício.
- *Subband*: Modelo de mobilidade para dispositivos com tensão mecânica. Foi utilizado em conjunto com dois submodelos, *Doping* e *Scattering*, que consideram, respectivamente, a influência do nível de Fermi na redistribuição dos portadores e o espalhamento entre vales. Este modelo é descrito pelas equações (2.70) e (2.71).

4 DISPOSITIVOS UTILIZADOS E RESULTADOS

Nesta seção serão apresentadas as características das estruturas utilizadas, a calibração do simulador TCAD Sentaurus e os resultados obtidos experimentalmente e através de simulações numéricas bidimensionais.

4.1 Características dos dispositivos

Para a realização deste trabalho foram simulados transistores SOI nMOSFETs totalmente depletados com tecnologia planar de porta única com comprimento mínimo de canal de 65 nm, similares aos desenvolvidos e fabricados pelo *Interuniversity Microelectronics Centre* – IMEC, Leuven, Bélgica. Estes dispositivos são constituídos por uma porta de silício policristalino com espessura de 100 nm, isolada por uma camada de óxido de silício com espessura 1,5 nm, filme de silício e óxido enterrado com espessuras, respectivamente, de 15 nm e 150 nm. Para reduzir a resistência série parasitária as regiões de fonte e dreno foram elevadas em 25 nm [79]. A região do canal foi dopada com $N_A = 3 \cdot 10^{16} \text{ cm}^{-3}$, as regiões de fonte e dreno com $N_D = 1 \cdot 10^{20} \text{ cm}^{-3}$ e extensão de fonte e dreno com $N_D = 1 \cdot 10^{19} \text{ cm}^{-3}$.

4.2 Calibração do simulador TCAD Sentaurus

Em um primeiro instante, foi necessário escolher um conjunto de modelos físicos e matemáticos e, em seguida, realizar a calibração destes. Para isso, foi adotado como base inicial um conjunto que incluísse todos os efeitos relevantes descritos na seção 2. Foi dada preferência à modelos próximos aos já conhecidos e utilizados no TCAD Silvaco ao longo de alguns anos, incluindo algumas referências utilizadas neste trabalho [42], [55],[80],[81].

4.2.1 Comparação entre modelos do TCAD Sentaurus e TCAD Silvaco

Para a validação dos modelos escolhidos foram realizadas comparações entre o conjunto dos dois simuladores com objetivo de aumentar a confiabilidade do estudo.

Foram simulados transistores SOI nMOSFET totalmente depletados com comprimentos de canal distintos, variando de 100 nm à 1 μm . Essas duas estruturas foram geradas através dos editores de dispositivos Sentaurus Structure Editor e Atlas. A figura 4.1 apresenta a seção transversal do transistor SOI nMOSFET de 140 nm gerado no Sentaurus Structure Editor, indicando as regiões de fonte, dreno, canal e LDD (região de dreno fracamente dopada – *Lightly Doped Drain*) e óxido enterrado. A figura 4.2 apresenta a concentração de dopantes ao longo do comprimento do transistor nas regiões de fonte, dreno, LDD e canal.

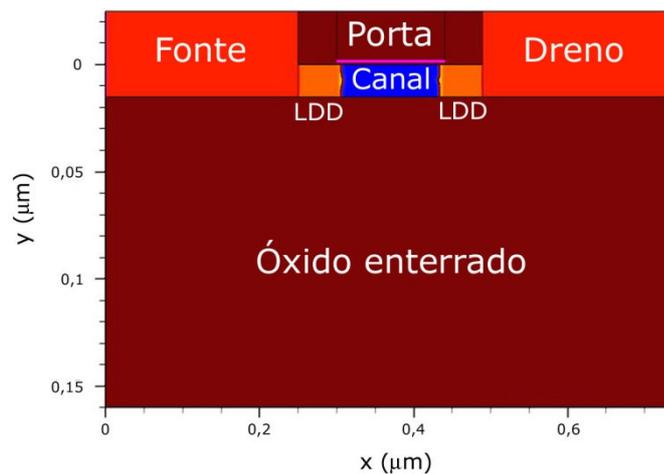


Figura 4.1 – Seção transversal de um nMOSFET gerado no Sentaurus Estructure Editor indicando as regiões de fonte, dreno, canal e LDD.

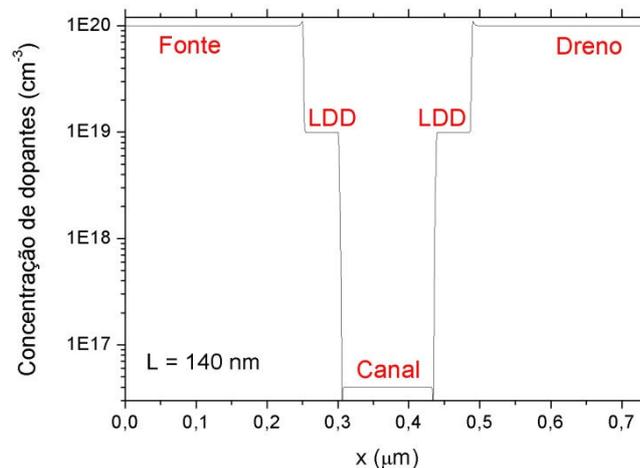


Figura 4.2 – Corte realizado a 1 nm da primeira interface demonstrando a distribuição da concentração de dopantes ao longo do comprimento de canal.

4.2.1.1 Corrente de dreno em função da tensão de porta ($I_{DS} \times V_{G1}$) em temperatura ambiente

As características da corrente de dreno em função da tensão aplicada à porta ($I_{DS} \times V_{G1}$) foram obtidas através de simulações numéricas bidimensionais no Sentaurus Device e no Atlas. Foram realizadas simulações variando o comprimentos de canal de 100nm a 1 μ m, com V_{G1} variando de -0,5 V a 1,2 V com passo de 5 mV, baixo valor de tensão de dreno ($V_{DS} = 50$ mV) e operando em temperatura ambiente (300K).

A figura 4.3 apresenta estas curvas para transistores com comprimento de canal de 140 nm, 500 nm e 900 nm em escala linear (a) e semi-logarítmica (b), a figura 4.4 apresenta a curva da transcondutância em função da tensão aplicada à porta, obtida através da equação (2.25), sendo $g_m = dI_{DS}/dV_{G1}$.

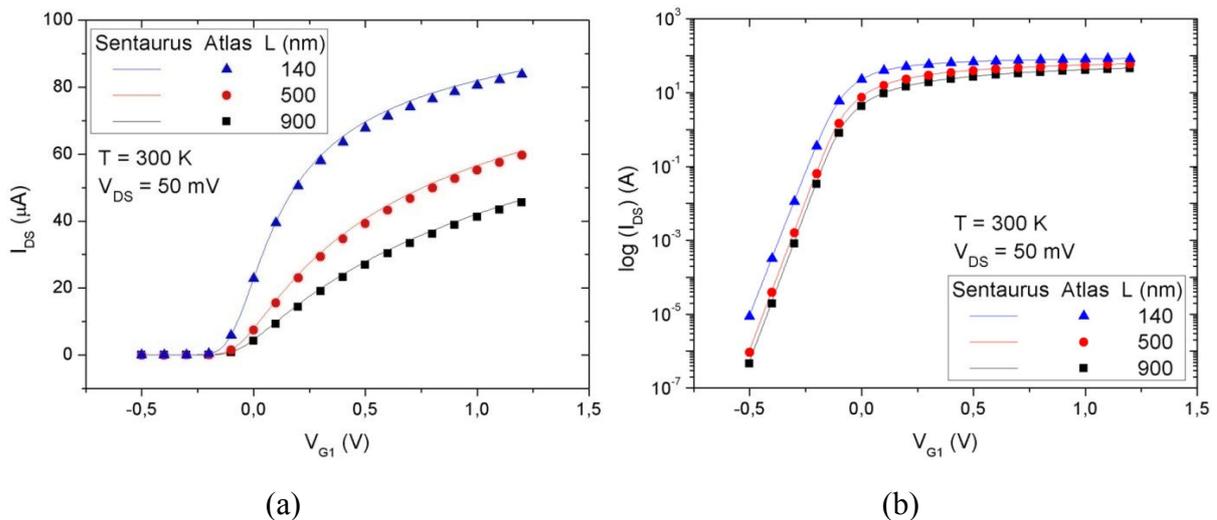


Figura 4.3 – Comparação das curvas de $I_{DS} \times V_{G1}$ em escala linear (a) e semi-logarítmica (b) simuladas no Sentaurus Device e no Atlas.

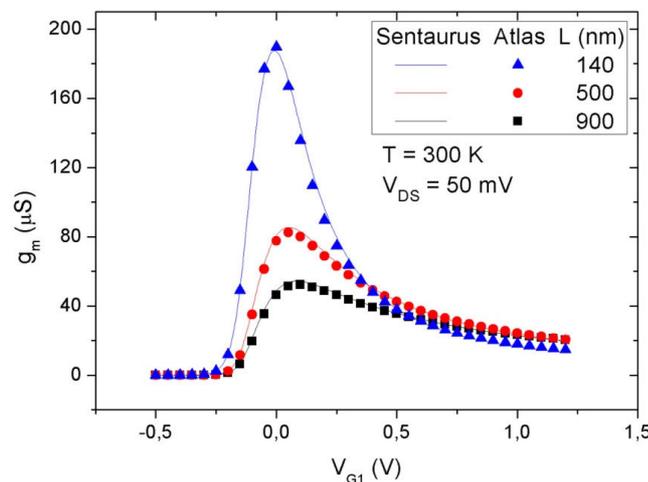


Figura 4.4 – Comparação das curvas de $g_m \times V_{G1}$ simuladas no Sentaurus Device e no Atlas.

A figura 4.5 apresenta uma comparação das curvas de tensão de limiar (a), transcondutância máxima ($g_{m,max}$) (b) e inclinação de sublimiar (c) em função do comprimento de canal obtidas nos dois simuladores, com temperatura de 300 K, tensão de dreno de 50 mV e tensão de porta variando de -0,5 V à 1,2 V com intervalo de 5 mV. A tensão de limiar foi obtida através da derivada de segunda ordem da curva $I_{DS} \times V_{G1}$, a transcondutância máxima foi obtida a partir da derivada de $I_{DS} \times V_{G1}$ e a inclinação de sublimiar foi obtida a partir da equação (2.23)

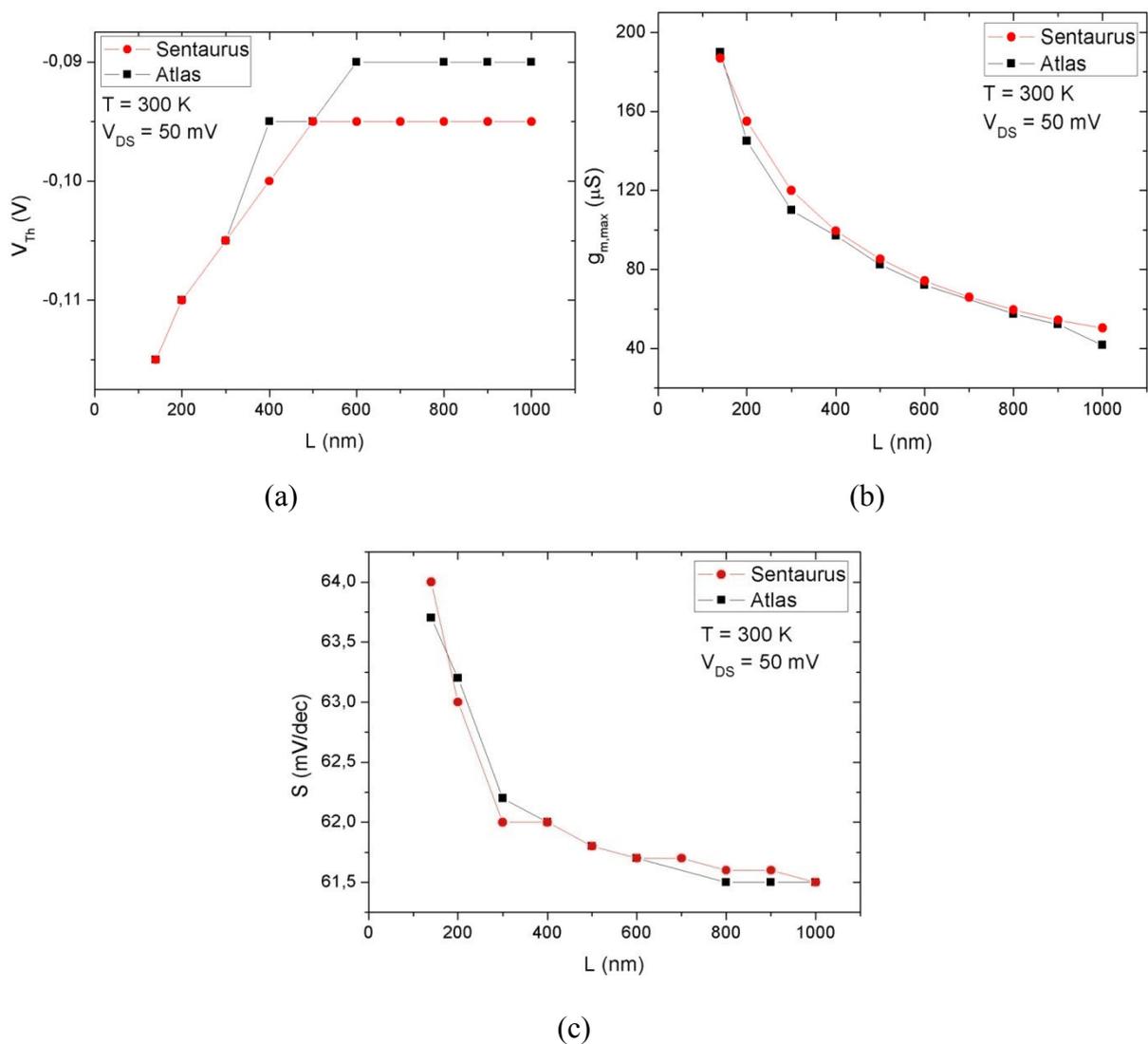


Figura 4.5 – Comparação das curvas de $V_{Th} \times L$ (a), $g_{m,max} \times L$ (b) e $S \times L$ (c), obtidos por simulações utilizando o Ssentaurus Device e Atlas.

As variações observadas nas curvas anteriores, principalmente na tensão de limiar, estão dentro da tolerância devido ao erro induzido pelo passo de 5 mV. Dessa forma, conclui-se que existe equivalência entre o conjunto de modelos escolhidos nos dois simuladores.

4.2.1.2 Corrente de dreno em função da tensão de porta ($I_{DS} \times V_{G1}$) em baixas temperaturas

Conforme apresentado na seção 2.4.1.2, devido à ionização incompleta dos portadores em baixa temperatura foi necessário o acréscimo de um modelo que considerasse este efeito. O modelo escolhido para o Sentaurus Device foi o *incompleteionization* e para o Atlas o *incomplete* seguido de um complemento que considera a ionização completa no silício para altas concentrações de dopantes, *ioniz*. Os dois modelos baseiam-se no mecanismo de espalhamento por impurezas neutras, considerando as impurezas não ionizadas em baixas temperaturas e sua influência sobre a mobilidade para concentrações de dopantes acima do valor crítico (N_{Dcrit} e N_{Acrit}) [72],[82].

Devido a uma divergência entre os modelos utilizados nos dois simuladores quanto ao valor crítico de concentração de dopantes, foi necessário um ajuste no modelo do Sentaurus, onde N_{Dcrit} foi alterado de $1.10^{22} \text{ cm}^{-3}$ para $3.10^{18} \text{ cm}^{-3}$, igualando os modelos nos dois simuladores e o valor de acordo com a referência [45].

Foram obtidas nos dois simuladores as características da corrente de dreno em função da tensão aplicada a porta para transistores com comprimento de canal de 100 nm à 1 μm , variando a temperatura de 150 K a 300 K e com baixa tensão de dreno ($V_{DS} = 50 \text{ mV}$). A figura 4.6 apresenta as curvas $I_{DS} \times V_{G1}$ em escala linear (a) e semi-logarítmica (b) e a figura 4.7 a curva $g_m \times V_{G1}$, todas variando a temperatura e para um transistor com comprimento de canal de 500 nm. Observa-se mais uma vez que existe equivalência entre os modelos escolhidos nos dois simuladores.

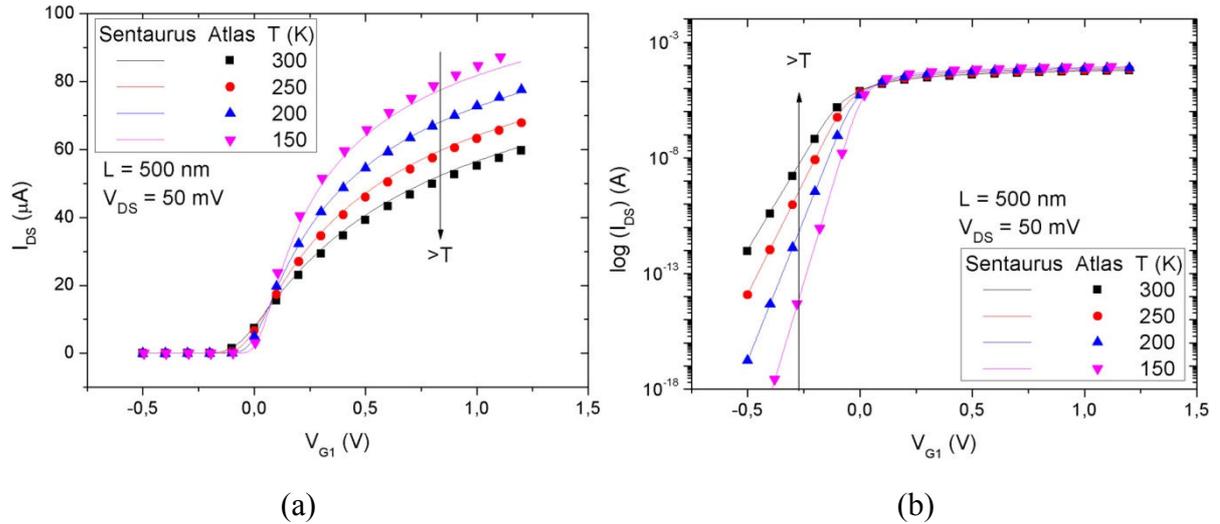


Figura 4.6 - Comparação das curvas de $I_{DS} \times V_{G1}$ em escala linear (a) e semi-logarítmica (b) variando a temperatura, simuladas no Sentaurus Device e no Atlas.

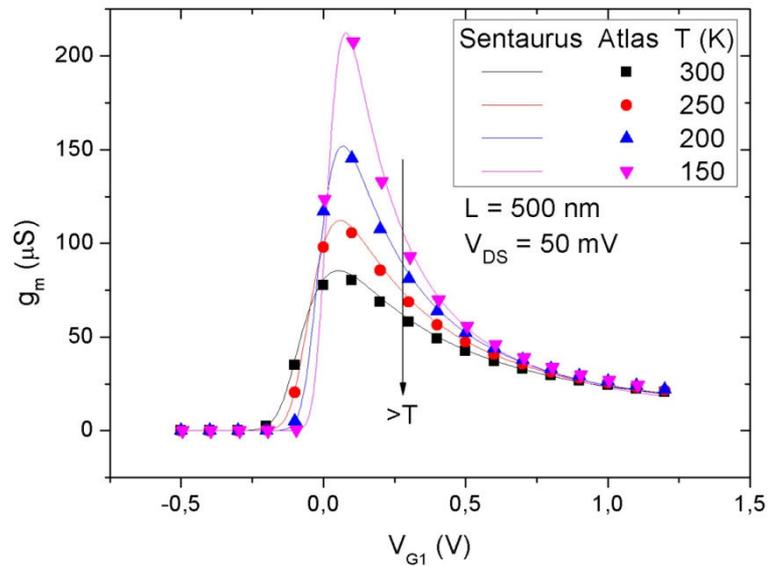


Figura 4.7 - Comparação das curvas de $g_m \times V_{G1}$ variando a temperatura, simuladas no Sentaurus Device e no Atlas.

4.2.1.3 Corrente de dreno em função da tensão aplicada ao dreno ($I_{DS} \times V_{DS}$)

Conforme apresentado na seção 2.3.6, quando altas tensões são aplicadas ao dreno dos transistores MOSFETs, o campo elétrico gerado acelera os elétrons que fluem no canal com energia suficiente para gerar pares de elétrons-lacunas devido ao impacto com a rede cristalina na região próxima ao dreno. Por esse motivo foi necessário o acréscimo do modelo de ionização por impacto nas simulações de $I_{DS} \times V_{DS}$.

No Sentaurus Device o modelo escolhido foi o Avalanche, proposto por van Overstraeten e de Man [78] e, para o Atlas, o modelo Impact Selb, proposto por Selberherr [83]. Ambos são uma variação do modelo clássico proposto por Chynoweth [84].

A figura 4.8 apresenta uma curva de corrente de dreno em função da tensão aplicada ao dreno, com V_{DS} variando de 0 V à 2 V com passo de 5 mV, com sobretensão de condução (V_{GT}) de 200 mV, sendo V_{GT} dado pela equação (4.1).

$$V_{GT} = V_{G1} - V_{Th} \quad (4.1)$$

As curvas de corrente de dreno em função da tensão de dreno para os transistores com comprimento de canal de 140 nm e 900 nm estão demonstradas na figura 4.8, mostrando mais uma vez a equivalência dos modelos escolhidos e finalizando assim um primeiro conjunto de modelos para a realização das simulações.

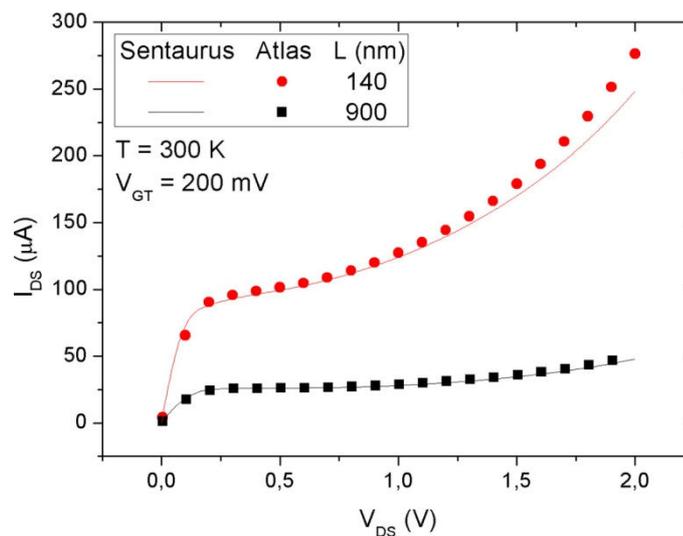


Figura 4.8 – Comparação das curvas de I_{DS} x V_{DS} com V_{GT} de 200 mV, simuladas no Sentaurus Device e no Atlas para transistores de 140 nm e 900 nm.

4.2.2 Comparação entre curvas simuladas e experimentais

Com o conjunto de modelos escolhido, foi necessário realizar a sua calibração. Para isso, os resultados obtidos através da simulação de um dispositivo gerado pelo editor de estruturas do Sentaurus foram comparados com os resultados obtidos de forma experimental utilizando os transistores fabricados pelo IMEC. O transistor utilizado foi um SOI nMOSFET com características similares ao simulado e com comprimento de canal de 160 nm, 400 nm, 600 nm e 900 nm.

4.2.2.1 Corrente de dreno em função da tensão de porta ($I_{DS} \times V_{G1}$)

Ao comparar as curvas de corrente de dreno em função da tensão de porta, notou-se que o valor da máxima mobilidade dos portadores descrito no modelo de mobilidade PhuMob era muito superior ao obtido experimentalmente. Por esta razão foi necessário um ajuste empírico neste parâmetro, sendo alterado o valor da mobilidade máxima de $1,417.10^3 \text{ cm}^2/\text{V.s}$ para $300 \text{ cm}^2/\text{V.s}$

A figura 4.9 apresenta as curvas experimentais e simuladas (utilizando o ajuste de mobilidade máxima), para transistores SOI convencionais com comprimento de canal de 900 nm, 600 nm e 160 nm. As curvas de corrente de dreno em função da tensão aplicada à porta (a) foram obtidas com tensão de porta variando de -0,6 V à 1,0 V com intervalo de 10 mV, baixa tensão de dreno ($V_{DS} = 50 \text{ mV}$) e em temperatura ambiente ($T = 300 \text{ K}$). A figura 4.9(b) apresenta as curvas de transcondutância em função da tensão aplicada à porta, obtidas através da primeira derivada das curvas de $I_{DS} \times V_{G1}$

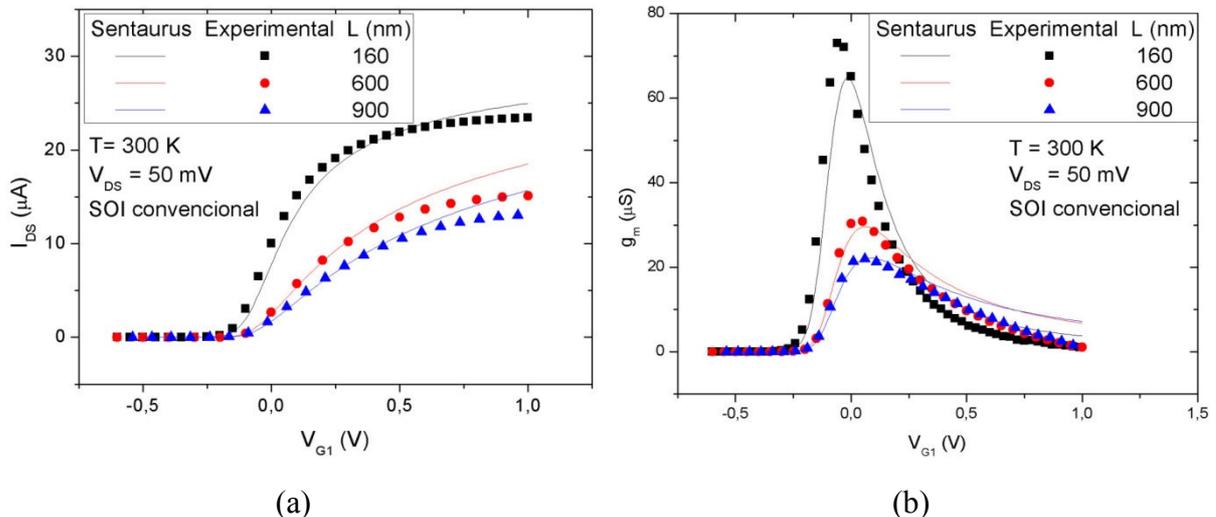


Figura 4.9 – Curvas $I_{DS} \times V_{G1}$ (a) e $g_m \times V_{G1}$ (b) de um transistor SOI com comprimento de canal de 160nm, 600 nm e 900 nm, onde são comparados os resultados experimentais com os simulados, usando o modelo de mobilidade com o valor de mobilidade máxima ajustado.

Nota-se que as curvas simuladas e a experimentais apresentam a mesma tendência para baixos valores de tensão aplicados à porta. Porém, apresentam uma diferença na degradação da mobilidade para valores mais altos de tensão. Isso ocorre devido ao simulador não considerar a resistência série associada ao dispositivo. Podemos fazer uma análise

simplificada da resistência série usando a equação (4.2), onde R_S é a resistência série e V a tensão total do circuito.

$$V = V_{DS} - 2 \cdot I_{DS} \cdot R_S \quad (4.2)$$

Verifica-se que quanto maior a corrente de dreno, maior será a influência da resistência série. Porém, os parâmetros serão extraídos para baixas tensões de porta onde há um bom ajuste entre os resultados experimentais e simulados, como demonstra a tabela 4.1, apresentando uma comparação entre os parâmetros elétricos obtidos destas curvas.

| | | | |
|-----------------------------|--------------|-------------------------|------------|
| L = 160 nm | V_{Th} (V) | $g_{m,Mmax}$ (μ S) | S (mV/dec) |
| Sentaurus (modelo ajustado) | -0,11 | 67 | 64,9 |
| Experimental | -0,12 | 72 | 65,2 |
| | | | |
| L = 600 nm | V_{Th} (V) | $g_{m,max}$ (μ S) | S (mV/dec) |
| Sentaurus (modelo ajustado) | -0,09 | 29 | 61,7 |
| Experimental | -0,08 | 31 | 62,0 |
| | | | |
| L = 900 nm | V_{Th} (V) | $g_{m,max}$ (μ S) | S (mV/dec) |
| Sentaurus (modelo ajustado) | -0,08 | 22 | 61,5 |
| Experimental | -0,09 | 22 | 62,0 |

Tabela 4.1 – Comparação entre os parâmetros medidos e simulados..

4.2.2.2 Corrente de dreno em função da tensão aplicada ao dreno (I_{DS} x V_{DS})

Foi observado que a ionização por impacto introduzida pelo modelo Avalanche foi muito superior à experimental. Por esta razão, foi necessário fazer alterações nos coeficientes de ionização por impacto dos elétrons, seguindo a referência [80]. Os coeficientes utilizados no modelo do Sentaurus foram obtidos de forma empírica por Van Overstraeten e de Man em [78], sendo eles $a_{(low)} = a_{(high)} = 7,03 \cdot 10^5 \text{ cm}^{-1}$, $b_{(low)} = b_{(high)} = 1,231 \cdot 10^6 \text{ V/cm}$, onde para baixos campo elétricos (de $1,75 \cdot 10^5 \text{ V/cm}$ à $4 \cdot 10^5 \text{ V/cm}$) são aplicados os valores $a_{(low)}$ e $b_{(low)}$ e para altos campos elétricos (de $4 \cdot 10^5 \text{ V/cm}$ à $6 \cdot 10^5 \text{ V/cm}$) os valores de $a_{(high)}$ e $b_{(high)}$. Por padrão os valores para os elétrons em alto e baixo campo elétrico são iguais. Os novos valores utilizados para os coeficientes de ionização por impacto para os elétrons foram: $a_{(low)} = a_{(high)} = 2 \cdot 10^6 \text{ cm}^{-1}$ e $b_{(low)} = b_{(high)} = 2,5 \cdot 10^6 \text{ V/cm}$. Devido à pequena influência das lacunas os valores dos seus coeficientes foram mantidos.

As curvas experimentais e simuladas de I_{DS} x V_{DS} , com tensão de dreno variando de 0 à 1,0 V, V_{GT} variando de 200 à 600 mV e em temperatura ambiente estão demonstradas na figura 4.10.

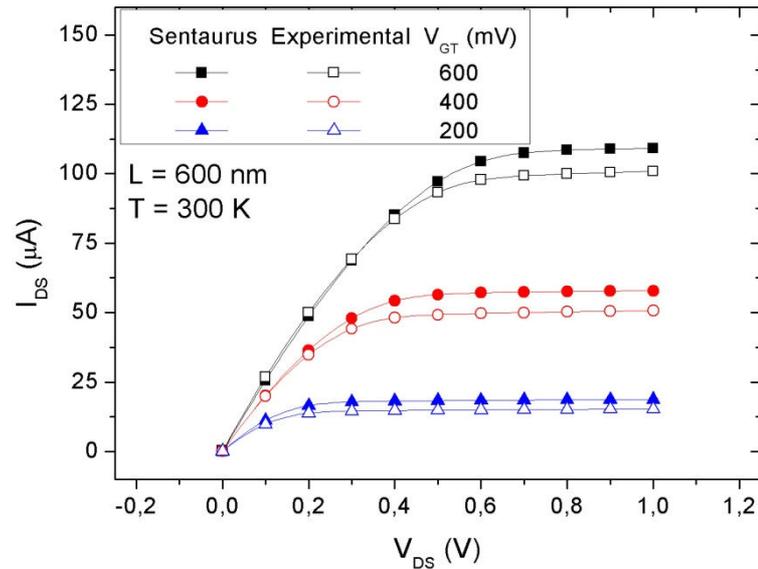


Figura 4.10 – Curvas de I_{DS} x V_{DS} de um transistor SOI com comprimento de canal de 600 nm, em temperatura ambiente ($T = 300$ K), variando a sobre tensão de porta (V_{GT}). São comparados os resultados experimentais e simulados.

4.3 Características dos dispositivos com tensão mecânica

Os transistores SOI nMOSFET com tensão mecânica biaxial utilizados apresentam as mesmas características, dimensões e tecnologia dos transistores SOI nMOSFET sem tensão mecânica apresentados anteriormente. Os dispositivos foram gerados através do editor de estruturas do TCAD Sentaurus (*Sentaurus Estructure Editor*) de forma similar aos desenvolvidos e fabricados pelo *Interuniversity Microelectronics Centre – IMEC*, Leuven, Bélgica, nos quais a tensão mecânica é obtida através da utilização de lâminas SOI tensionadas biaxialmente (sSOI).

4.3.1 Aplicação da tensão mecânica e simulação do relaxamento

Para obter uma estrutura com características similares aos dispositivos reais, fabricados pelo IMEC, seria necessário realizar a simulação do processo de fabricação utilizando outra ferramenta no TCAD Sentaurus, chamada *Sentaurus Process*. Para isso, seria necessário o conhecimento de inúmeras variáveis de processo que não foram divulgadas pelo IMEC. Dessa forma foi necessária uma estratégia de simulação utilizando as estruturas das simulações anteriores, acrescentando uma tensão mecânica de 1,5 GPa ao longo do comprimento e da largura do canal.

Com o intuito de aproximar a estrutura simulada ao dispositivo real, foi necessário simular o relaxamento da tensão mecânica nos primeiros 100 nm nas laterais dos dispositivos, conforme descrito na seção 2.5.7. Dessa forma, em um dispositivo de comprimento de canal largo, a tensão mecânica apresenta uma tensão nula nas laterais e variando até 1,5 GPa no centro do canal, sendo que essa variação ocorre nos primeiros 100 nm, conforme descrito pela referência [77]. Para isso a estrutura foi dividida ao meio, no sentido do comprimento de canal, e aplicada uma função analítica descrevendo a tensão mecânica em cada uma das metades. Foi utilizada a equação (4.3) na metade esquerda, sendo espelhada para a metade direita [55].

$$\sigma_{xx,esq} = \frac{A_1 - A_2}{1 + e^{(x-x_0)/dx}} + A_2 \quad (4.3)$$

onde A_1 e A_2 representam, respectivamente, as assíntotas horizontais do início e do fim da curva. Para esses transistores $A_1 = 0$ e $A_2 = 1,5$ GPa, x_0 o centro da curva, onde $\sigma_{xx}=(A_1+A_2)/2$, localizado a 50 nm da interface lateral e dx a inclinação da função no ponto x , ajustada para 0,01 a fim de obter a variação desejada dentro dos 100 nm. A curva obtida está demonstrada na figura 4.11.

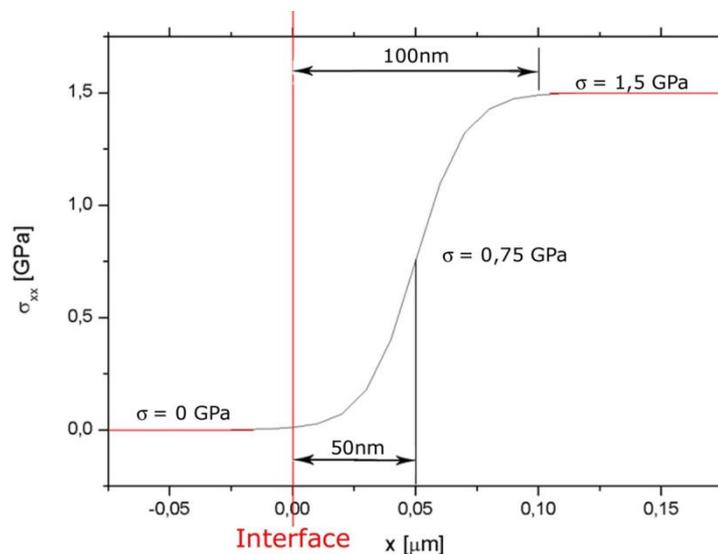


Figura 4.11 – Curva utilizada para aproximar o efeito do relaxamento da tensão mecânica nas interfaces laterais dos dispositivos (equação (4.3)).

Essa equação foi aplicada na metade esquerda ao longo do comprimento da estrutura e espelhada para a metade direita, sempre partindo da interface lateral para o centro. Dessa forma, para transistores com comprimento de canal menor que 200 nm começa a ocorrer a sobreposição do relaxamento da tensão mecânica, fazendo com que estes não atinjam o valor

máximo de 1,5 GPa no centro. A figura 4.12 demonstra a distribuição da tensão mecânica ao longo do comprimento de canal de um transistor de 100 nm, onde ocorre a superposição das duas curvas resultando em um pico de tensão mecânica de 750 MPa no centro do canal [77].

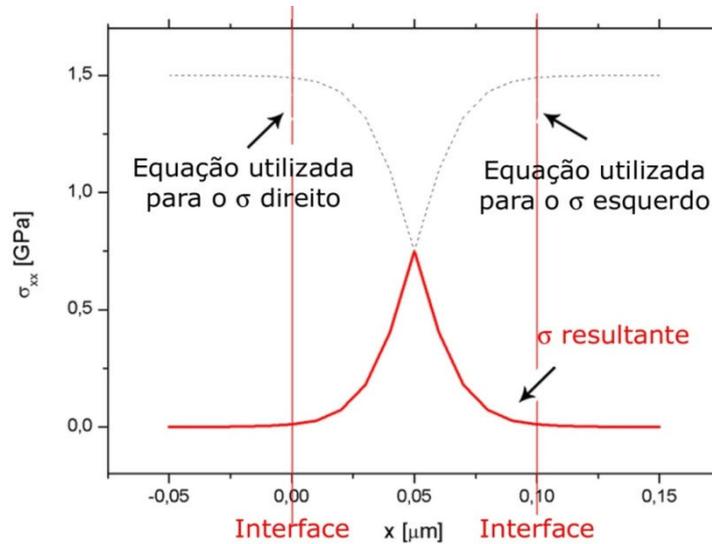


Figura 4.12 – Distribuição da tensão mecânica ao longo do comprimento de canal para um dispositivo com $L = 100$ nm.

O corte transversal da distribuição da tensão mecânica de um transistor com comprimento de canal de $1\mu\text{m}$, 500 nm, 160 nm, 100 nm está demonstrado na figura 4.13.

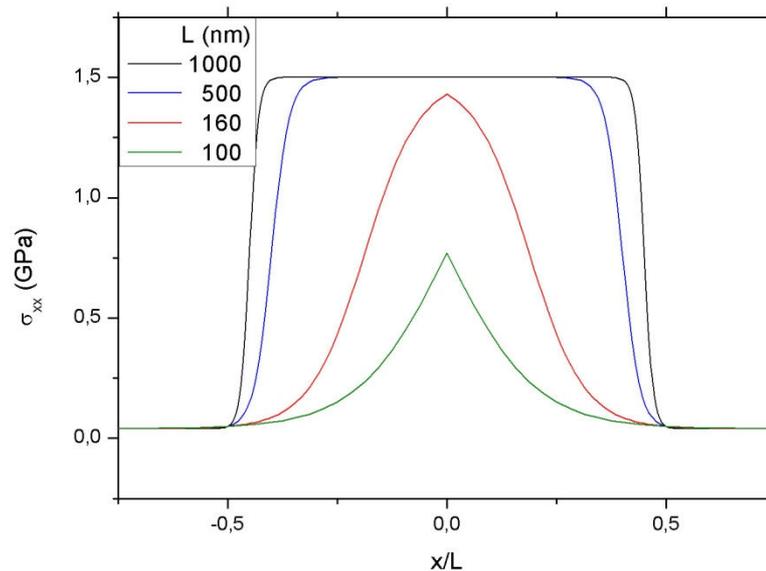


Figura 4.13 – Corte longitudinal mostrando a distribuição da tensão mecânica ao longo do comprimento de canal de transistores com diferentes comprimentos de canal.

O simulador numérico bidimensional assume que a largura do dispositivo é de 1 μm , dessa forma, replicando todas as informações ao longo do mesmo. Devido essa dimensão, a tensão mecânica ao longo do comprimento de canal (σ_{zz}) foi adotada como constante, pois o relaxamento é mínimo, variando 1,1 GPa à 1,5 GPa, ocorrendo essa variação dentro dos primeiros 100 nm [77], [55].

Dessa forma, verifica-se a diminuição da tensão mecânica efetiva ao longo do comprimento do canal para transistores com comprimento menor que 200 nm, estando de acordo com as referências [77] e [55].

4.3.2 Modelos utilizados nas simulações com tensão mecânica

Para obter as curvas dos transistores SOI nMOSFET com canal tensionado, foram acrescentados modelos capazes de descrever o comportamento descrito na seção 2.5, como o efeito da deformação das faixas de energia, alteração na massa efetiva e densidade de estados, a influência do nível de Fermi na redistribuição dos portadores e o espalhamento entre vales, conforme descrito na seção 3.5.

4.4 Efeito da tensão mecânica biaxial em transistores SOI

Com o conjunto de modelos definido e ajustado, deu-se início ao estudo do efeito da tensão mecânica nos transistores SOI nMOSFET. Para facilitar a leitura, os transistores SOI convencionais e SOI biaxialmente tensionados serão referidos apenas como SOI e sSOI, respectivamente.

Com o intuito de validar o conceito teórico introduzido e auxiliar o entendimento do mesmo, foram obtidas através de simulações as curvas características da corrente de dreno em função da tensão aplicada à porta para os transistores SOI e sSOI, com comprimento de canal variando de 100 nm à 1 μm em temperatura ambiente (300 K), totalizando 10 comprimentos de canal. E de forma experimental para transistores SOI e sSOI com características similares aos simulados com comprimento de canal de 900 nm, 600 nm, 400 nm e 160 nm. As curvas foram obtidas com baixa tensão de dreno ($V_{DS} = 50 \text{ mV}$) e conseqüentemente, baixo campo elétrico. Destas curvas foram extraídos alguns parâmetros elétricos como a transcondutância máxima, tensão de limiar e inclinação de sublimiar.

4.4.1 Transcondutância

Conforme apresentado nos conceitos teóricos, a principal influência da tensão mecânica em transistores MOSFET's ocorre no aumento da mobilidade dos portadores. Como pode ser observado nas equações (2.26) e (2.27) a transcondutância está diretamente relacionada com a mobilidade. Dessa forma, com baixos valores de campo elétrico para reduzir a influência de outros fatores, podemos utilizar este parâmetro para melhor avaliar o aumento da mobilidade em transistores SOI com canal biaxialmente tensionados, usando como referencia transistores SOI convencionais.

A figura 4.14 apresenta as curvas de transcondutância em função da tensão aplicada à porta para transistores SOI e sSOI, simulados e medidos, com comprimento de canal de 600 nm e 900 nm. Estas curvas foram obtidas derivando-se as curvas de $I_{DS} \times V_{G1}$.

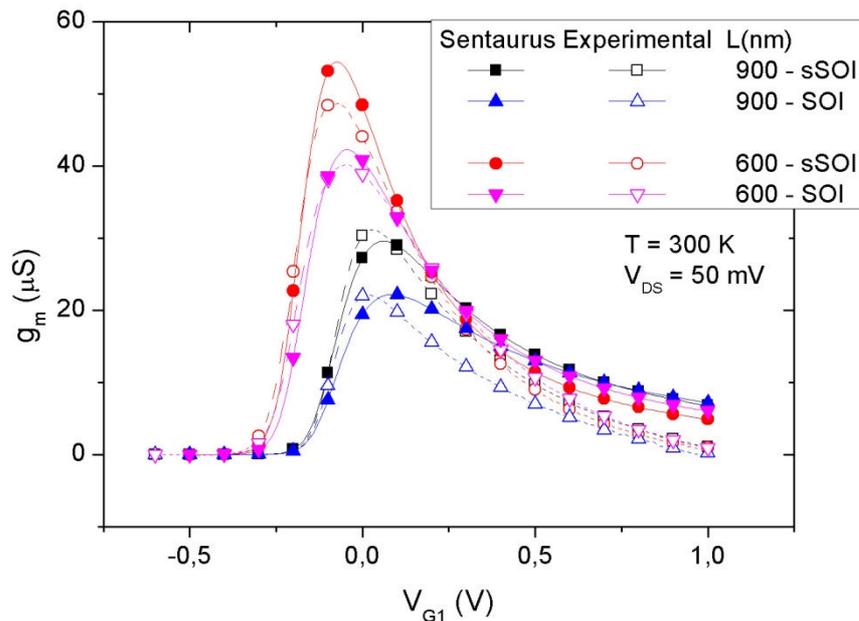


Figura 4.14 – Curvas simuladas e experimentais da transcondutância em função da tensão aplicada à porta para transistores SOI e sSOI com comprimento de canal de 600 nm e 900 nm.

Observa-se que o pico da transcondutância, que representa a transcondutância máxima, é maior para os transistores SOI biaxialmente tensionados em relação aos convencionais, indicando o aumento da mobilidade máxima dos portadores.

Para melhor visualizar este aumento da mobilidade máxima, estão demonstradas na figura 4.15 as curvas de transcondutância máxima e aumento percentual da transcondutância

máxima de um transistor sSOI em relação a um SOI convencional, ambas em função do comprimento de canal.

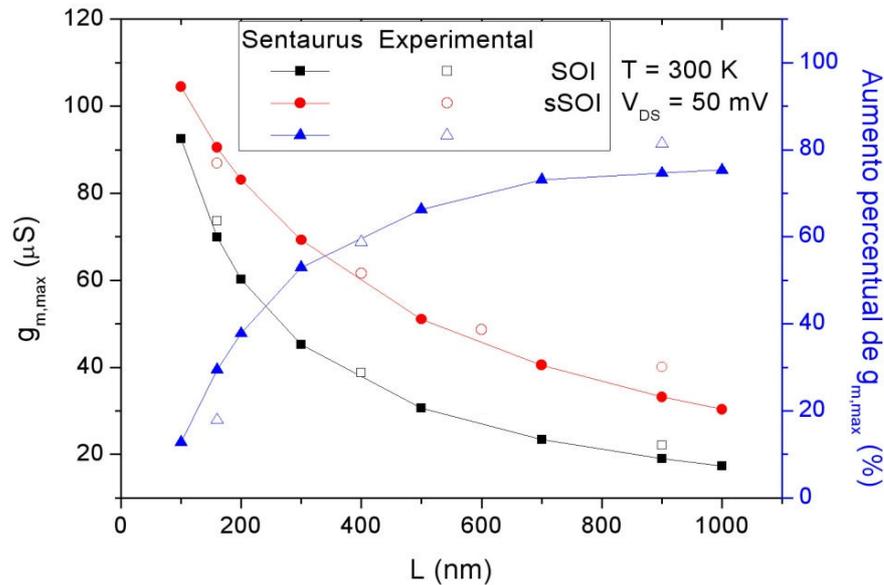


Figura 4.15 – Curvas de transcondutância máxima e aumento percentual da transcondutância máxima em função do comprimento de canal, obtidos através de simulações e experimentalmente para transistores SOI convencional e sSOI.

Observa-se efeito da tensão mecânica resultando no aumento da mobilidade máxima, sendo ele de aproximadamente 75% para um transistor sSOI de 1μm e 13% para um transistor sSOI de 100 nm. Essa atenuação do aumento da mobilidade máxima para os menores comprimentos de canal ocorre devido à diminuição da tensão mecânica efetiva, resultante do relaxamento lateral. Além do efeito da tensão mecânica, verifica-se também a dependência da transcondutância com o comprimento de canal, ocorrendo um aumento de $g_{m,max}$ a medida em que L diminui, estando de acordo com as equações (2.26) e (2.27).

4.4.2 Tensão de limiar

A tensão de limiar para um transistor com tensão mecânica biaxial pode ser descrita pela equação (2.73) e, conforme apresentado na seção 2.5.6, a tensão mecânica provoca variações na largura de faixa proibida ($\Delta E_{g(\sigma)}$), no nível de energia da faixa de condução ($\Delta E_{c(\sigma)}$) e na densidade da faixa de valência ($N_{v(\sigma)}$) e, por consequência, diminui a tensão de limiar dos dispositivos com canal tensionado. Essa redução da tensão de limiar está apresentada na figura 4.16.

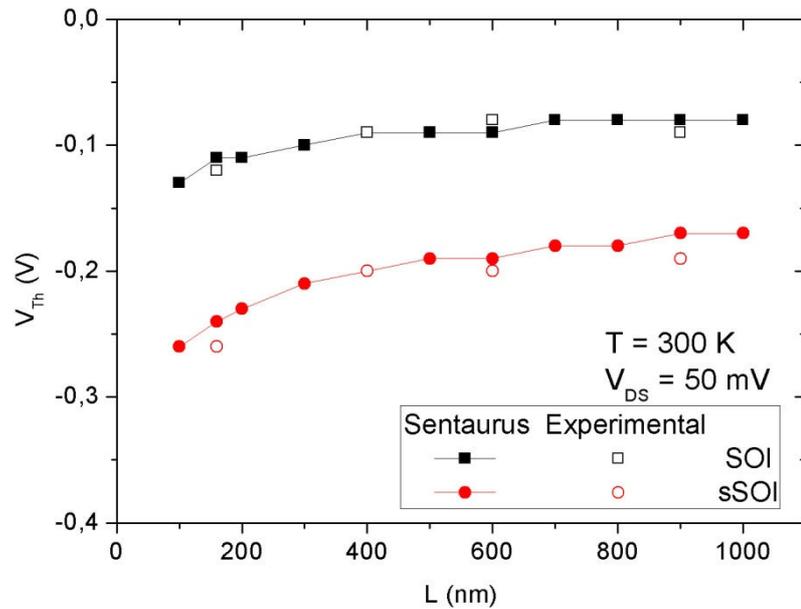


Figura 4.16 – Curvas de tensão de limiar em função do comprimento de canal para transistores SOI e sSOI, obtidas através de simulações e experimentalmente.

Para os transistores com maior comprimento de canal, a variação foi de aproximadamente 100 mV. Observa-se também, que para os transistores SOI e sSOI com maiores comprimentos de canal a tensão de limiar é praticamente constante, apresentando uma redução para os menores comprimentos de canal devido à ocorrência do efeito de canal curto.

4.4.3 Inclinação de sublimiar

A figura 4.17 apresenta as curvas da inclinação de sublimiar em função do comprimento de canal para transistores SOI e sSOI, obtidas através da equação (2.24).

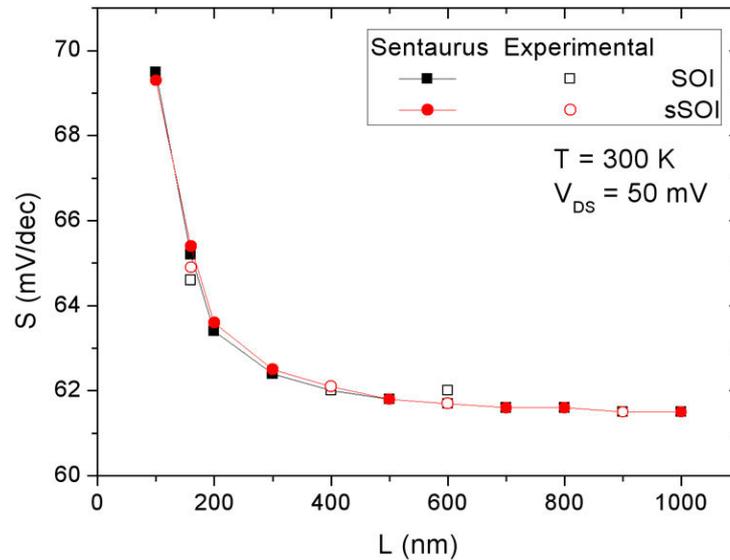


Figura 4.17 – Curvas de tensão de limiar em função do comprimento de canal para transistores SOI e sSOI, obtidas através de simulações e experimentalmente.

Desta curva nota-se que não há variação significativa entre os dispositivos com e sem a presença de tensão mecânica. No entanto, comprova-se a degradação da inclinação de sublimiar para os menores comprimentos de canal devido à ocorrência do efeito de canal curto.

4.5 Efeitos da redução de temperatura em transistores SOI e sSOI

Para o estudo dos efeitos da redução de temperatura em transistores SOI convencionais e biaxialmente tensionados, foram obtidas as curvas características da corrente de dreno em função da tensão aplicada à porta para os transistores convencionais com comprimento de canal variando de 65 nm à 1 μm e temperatura de 60 K à 300 K, totalizando 14 comprimentos de canal e 6 temperaturas diferentes. Para os transistores tensionados com comprimento de canal variando de 65 nm à 1 μm , com temperatura variando de 100 K à 300 K, totalizando 8 comprimentos de canal e 5 temperaturas diferentes. As curvas foram obtidas com baixa tensão de dreno ($V_{DS} = 50 \text{ mV}$) e conseqüentemente, baixo campo elétrico.

4.5.1 Corrente de dreno em função da tensão aplicada à porta

Assim como a tensão mecânica, a principal influência da redução de temperatura na operação dos transistores MOSFETs ocorre no aumento da mobilidade dos portadores. A

corrente de dreno está diretamente relacionada com a mobilidade, como pode ser visto nas equações (2.21) e (2.22).

A figura 4.18 demonstra o aumento do nível de corrente de dreno em função da tensão aplicada à porta com a redução de temperatura, sendo este devido ao aumento da mobilidade. Nesta figura são apresentadas as curvas dos transistores SOI convencionais com comprimento de canal de 65 nm (a), 500 nm (b) e 1 μm (c), respectivamente, com temperatura variando de 60 K à 300 K.

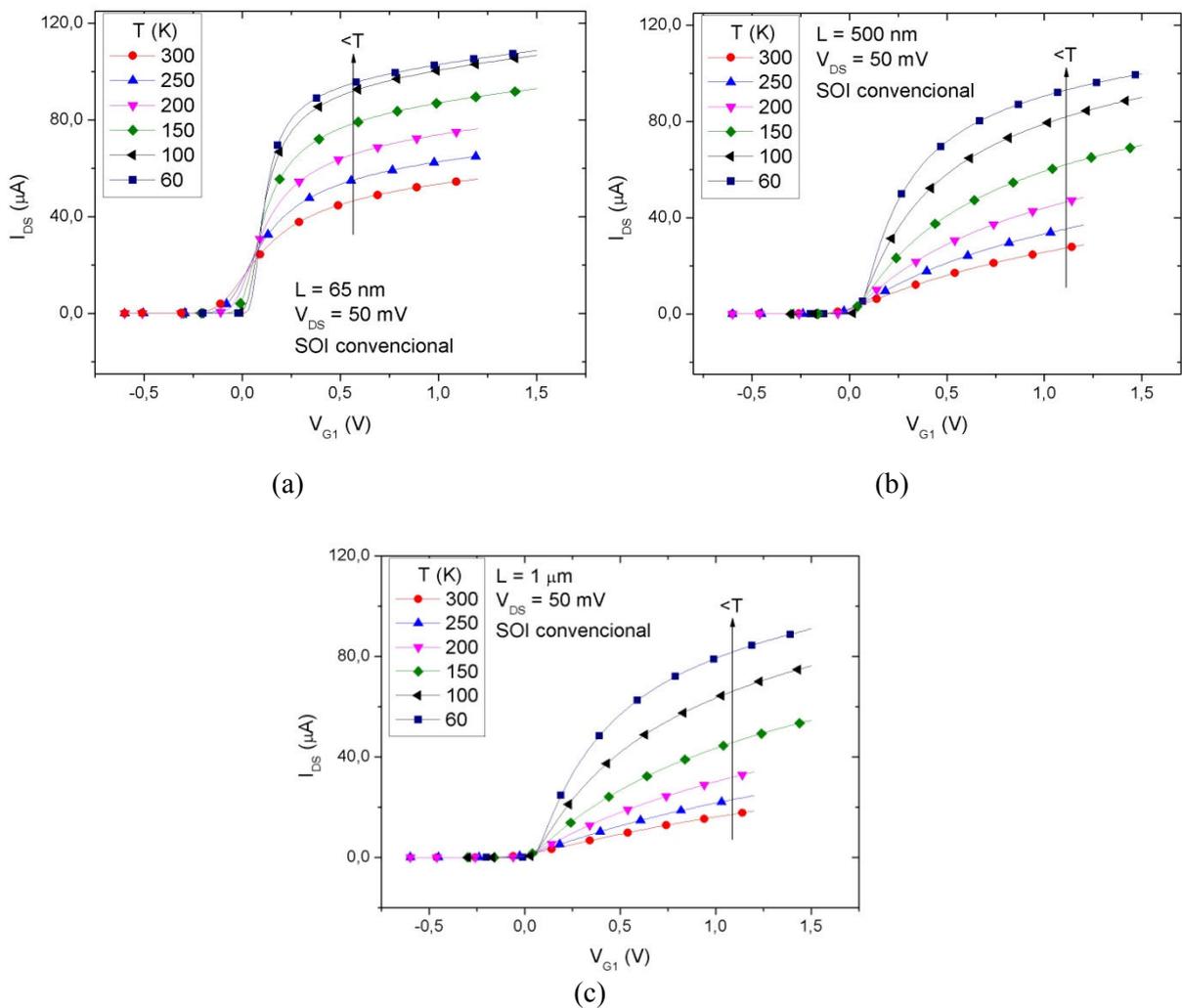


Figura 4.18 – Curvas I_{DS} x V_{G1} em função da temperatura para um transistor SOI convencional com comprimento de canal de 65 nm (a), 500 nm (b) e 1 μm (c).

A associação do efeito da tensão mecânica com a redução da temperatura sobre a corrente de dreno pode ser observada na figuras 4.19, onde são apresentadas as curvas I_{DS} x V_{G1} para transistores com comprimento de canal, de 100 nm (a), 500 nm (b) e 1 μm (c), com temperatura variando de 100 K a 300 K.

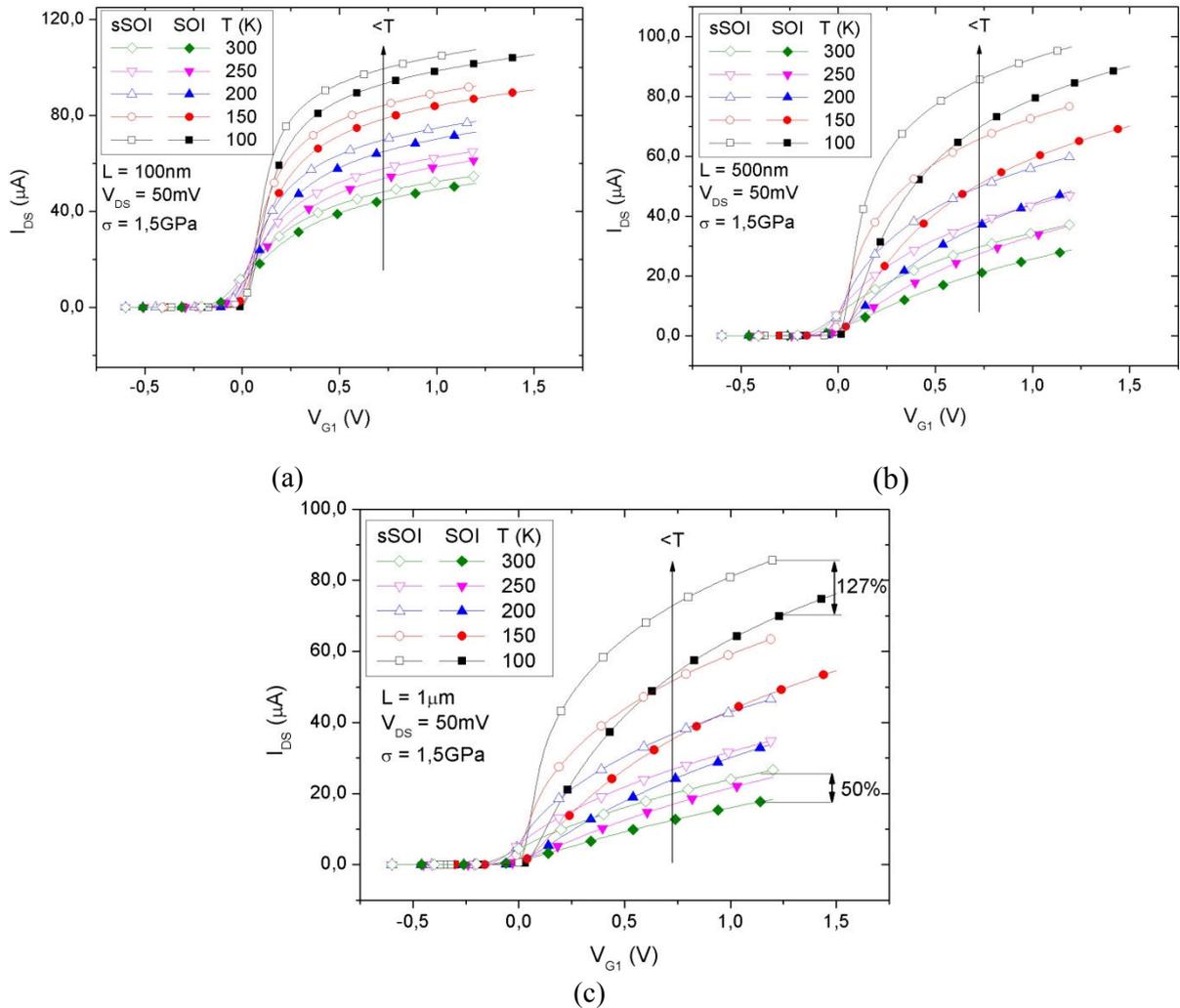


Figura 4.19 – Curvas $I_{DS} \times V_{G1}$ para transistores SOI e sSOI com comprimentos de canal de 100 nm (a), 500 nm (b) e 1 μm (c), demonstrando o efeito da tensão mecânica associado à redução de temperatura.

Analisando as curvas anteriores, nota-se que em temperatura ambiente o aumento do nível de corrente devido a tensão mecânica biaxial para um transistor com comprimento de canal de 1 μm foi de aproximadamente 50%. Associando o efeito da redução de temperatura esse aumentou chegou a quase 127%.

4.5.2 Transcondutância

A transcondutância está diretamente relacionada com a mobilidade dos portadores, como demonstram as equações (2.26) e (2.27). Dessa forma, com baixos valores de campo elétrico para reduzir a influência de outros fatores, este parâmetro pode ser utilizado para melhor avaliar o comportamento da mobilidade com a redução de temperatura. A transcondutância em função da tensão aplicada à porta para transistores SOI convencionais

com comprimento de canal de 65 nm e 1 μm foi obtida derivando-se as curvas $I_{\text{DS}} \times V_{\text{G1}}$ e está demonstrada nas figuras 4.20(a) e (b), respectivamente.

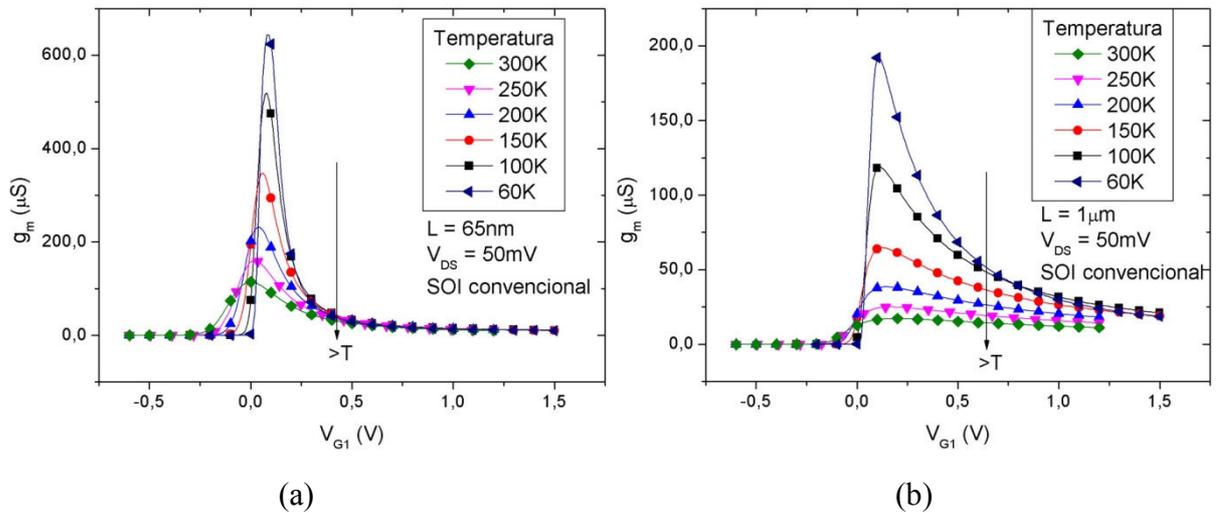


Figura 4.20 - Curvas $g_m \times V_{\text{G1}}$ para transistores SOI com comprimento de canal de 65 nm (a) e 1 μm (b), com temperatura variando de 60 K à 300 K.

Observar-se que o pico da transcondutância, que representa a transcondutância máxima, aumenta com a redução de temperatura, indicando o aumento da mobilidade máxima dos portadores. Além disso, observa-se também, o aumento da degradação da transcondutância com a redução da temperatura, refletindo o aumento da degradação da mobilidade. Esta degradação deve-se ao aumento do campo elétrico efetivo, relacionado ao aumento do potencial de Fermi com a redução da temperatura [42].

Para melhor visualizar o comportamento da mobilidade máxima com a variação da temperatura, a transcondutância máxima em função da temperatura e do comprimento de canal para transistores SOI convencionais estão demonstradas nas figuras 4.21 e 4.22, respectivamente.

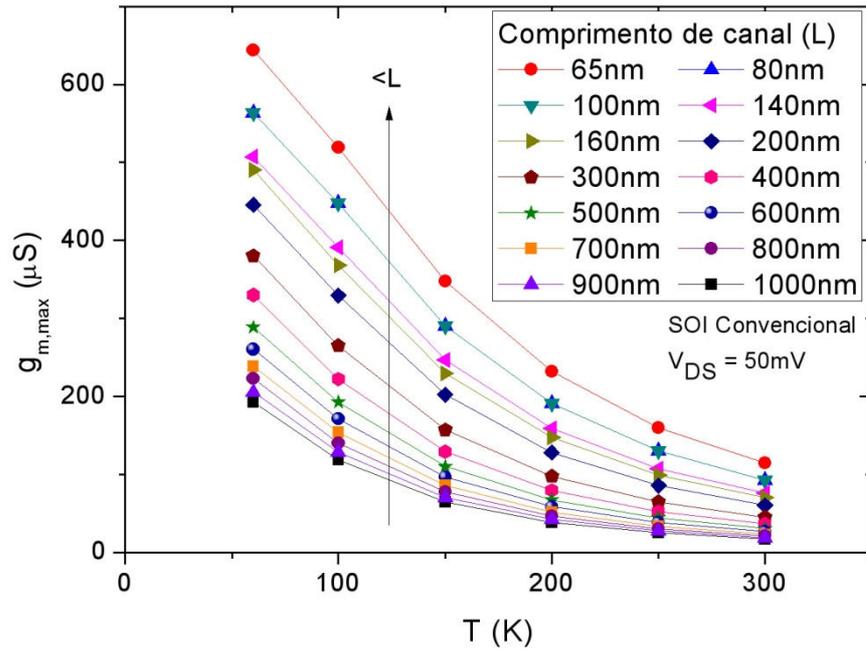


Figura 4.21 – Curvas de transcondutância máxima em função da temperatura, variando de 60 K à 300 K para transistores SOI convencionais com comprimento de canal de 65 nm à 1 µm.

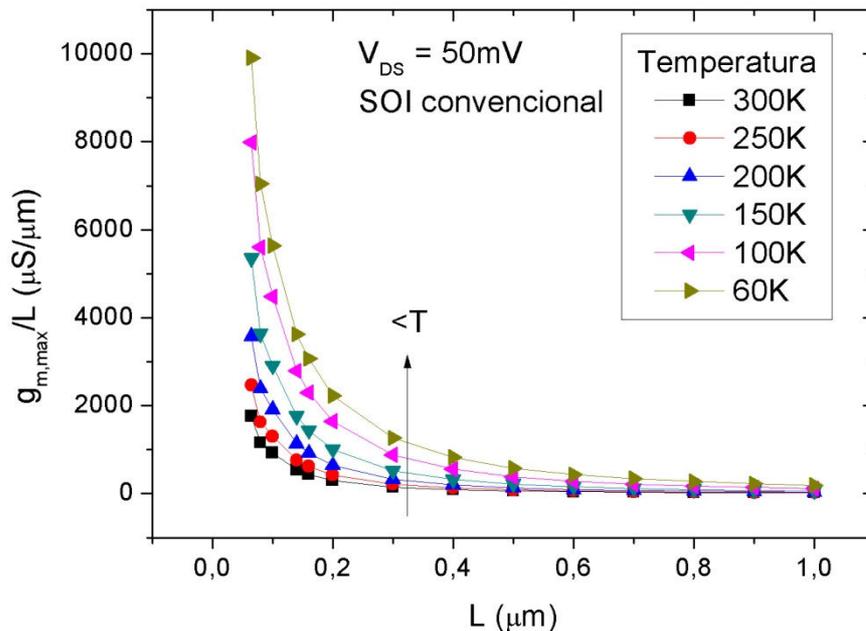


Figura 4.22 - Curvas de transcondutância máxima normalizada em função do comprimento de canal, para transistores SOI convencionais com comprimento de canal variando de 65 nm à 1 µm, em diversas temperaturas.

Como previsto, observa-se o aumento da transcondutância máxima, em consequência ao aumento da mobilidade máxima dos portadores, com a redução de temperatura. E também o aumento da transcondutância máxima com redução do comprimento de canal, estando de acordo com as equações (2.26) e (2.27).

A associação dos efeitos da tensão mecânica com a redução da temperatura pode ser observada na figura 4.23 e 4.24, onde são apresentadas as curvas da transcondutância máxima em função do comprimento de canal e temperatura, respectivamente, para os transistores SOI com canal tensionado (sSOI), tendo como referência os transistores SOI convencionais.

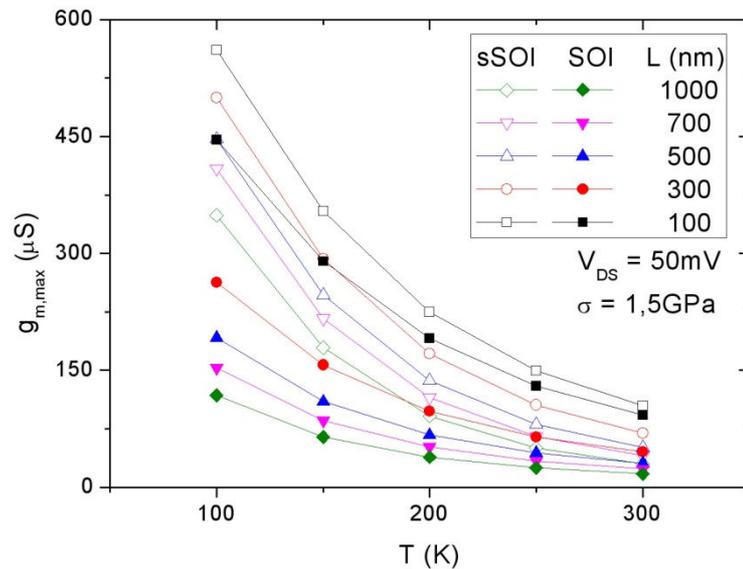


Figura 4.23 - Curvas de $g_{m,max} \times T$ em função do comprimento de canal comparando os transistores SOI convencionais e SOI com tensão mecânica biaxial.

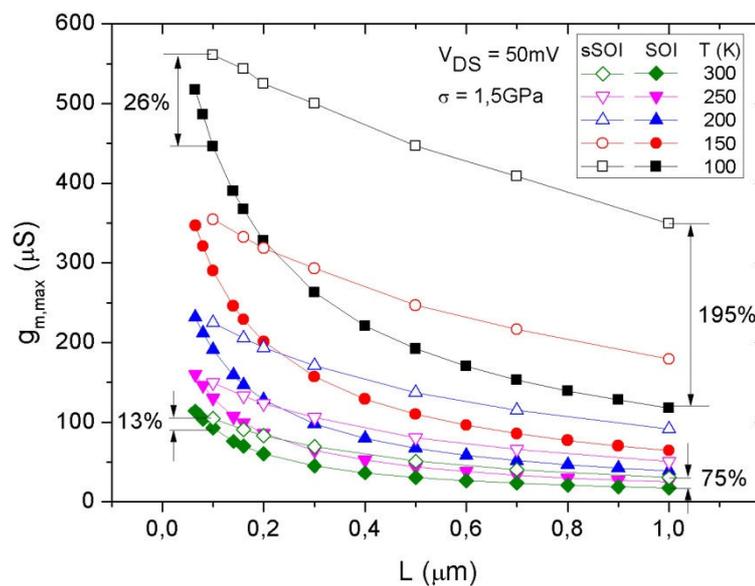


Figura 4.24 - Curvas de $g_{m,max}/L \times L$ em função da temperatura comparando os transistores SOI convencionais e SOI com tensão mecânica biaxial.

O efeito da tensão mecânica resultando no aumento da mobilidade máxima pode ser visto mais uma vez, sendo ele maior para os maiores comprimentos de canal. A atenuação do

aumento da mobilidade máxima para os menores comprimentos ocorre devido à diminuição da tensão mecânica efetiva, resultante do relaxamento lateral.

Verifica-se a superposição dos efeitos da tensão mecânica com a redução de temperatura ocorrendo maior aumento da mobilidade em temperaturas mais baixas. Este efeito pode ser melhor analisado nas figuras 4.25 e 4.26, onde são apresentados os aumentos percentuais da transcondutância máxima em função da temperatura e do comprimento de canal, respectivamente.

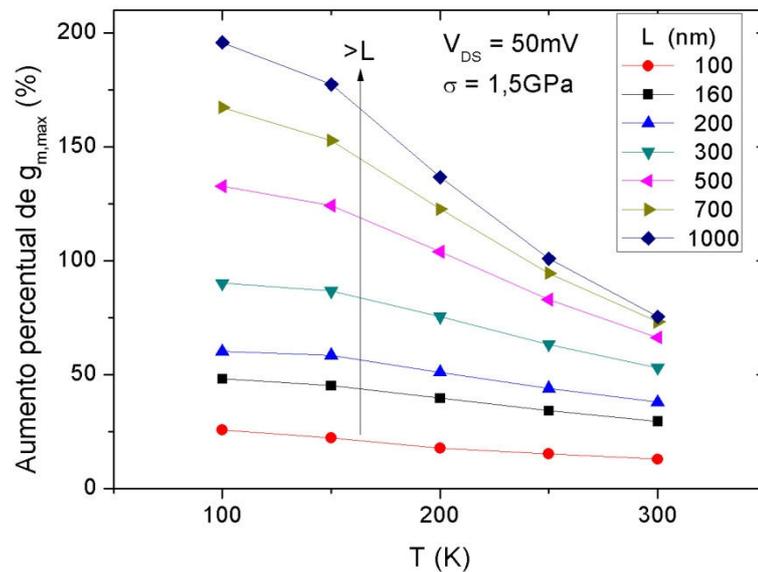


Figura 4.25 – Curvas apresentando o ganho percentual de $g_{m,max}$ dos transistores SOI tensionados em relação aos convencionais em função da temperatura.

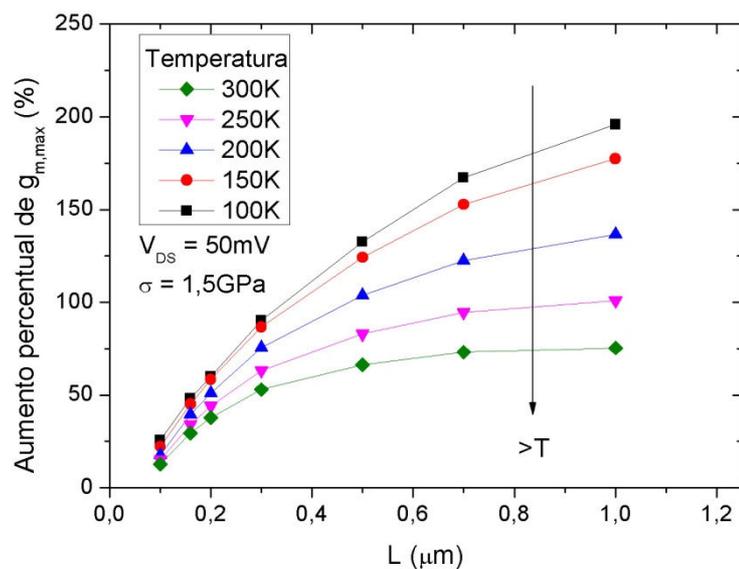


Figura 4.26 - Curvas apresentando o ganho percentual de $g_{m,max}$ dos transistores SOI tensionados em relação aos convencionais em função do comprimento de canal.

Estas curvas demonstram o benefício propiciado pela tensão mecânica, onde em temperatura ambiente ($T = 300\text{ K}$) o ganho de transcondutância é de aproximadamente 75% para transistores de $1\ \mu\text{m}$, enquanto o ganho é de aproximadamente 13% para transistores de 100 nm , demonstrando o pouco efeito da tensão mecânica biaxial para transistores SOI com menores comprimentos de canal. Além disso, nota-se também, que a redução de temperatura tornou ainda mais eficaz os efeitos da tensão mecânica, aumentando o ganho de transcondutância para valores próximos de 195% para um transistor sSOI com comprimento de canal de $1\ \mu\text{m}$ operando com temperatura de 100 K , enquanto esse ganho foi de apenas 26% para um transistor sSOI de 100 nm operando na mesma temperatura.

4.5.3 Tensão de limiar

Conforme apresentado na seção 2.4.2.1, a tensão de limiar aumenta com a redução de temperatura devido ao aumento do potencial de Fermi. Essa influência da temperatura sobre a tensão de limiar está demonstrada para um transistor SOI convencional na figura 4.27.

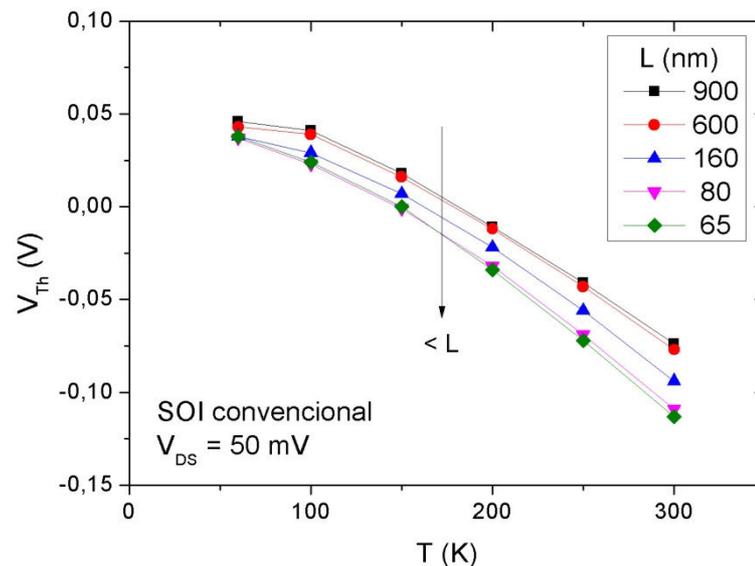


Figura 4.27 – Curvas de tensão de limiar em função da temperatura para transistores SOI convencionais com diversos comprimentos de canal.

Além do aumento da tensão de limiar com a redução de temperatura, verifica-se que conforme o comprimento de canal é reduzido, a tensão de limiar diminui. Isto ocorre devido ao efeito de canal curto.

O efeito da temperatura na tensão de limiar pode ser melhor observado na figura 4.28, onde fica mais evidente a variação da tensão de limiar com a redução do comprimento de canal e que quanto menor a temperatura, menor será essa variação

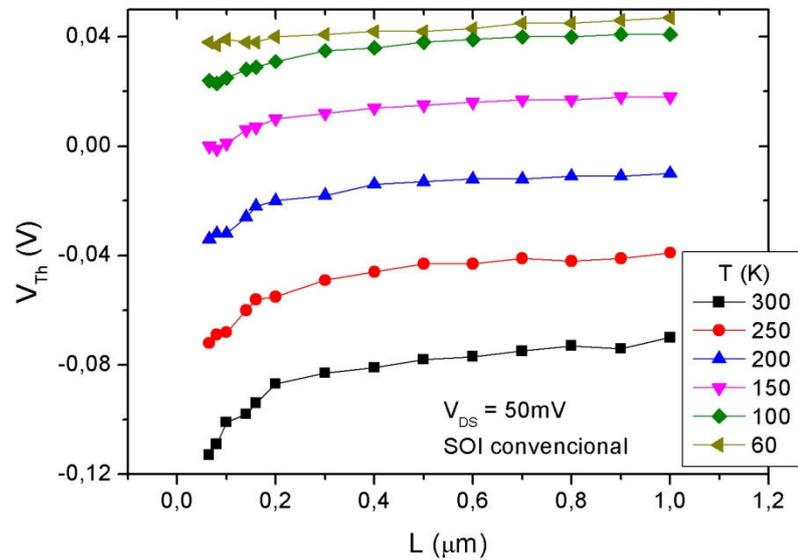


Figura 4.28 – Curvas de tensão de limiar em função do comprimento de canal para transistores SOI convencionais operando em diversas temperaturas.

A tensão mecânica biaxial diminui a tensão de limiar dos dispositivos, isso ocorre devido as variações na largura de faixa proibida ($\Delta E_{g(\sigma)}$), no nível de energia da faixa de condução ($\Delta E_{c(\sigma)}$) e na densidade da faixa de valência ($N_{v(\sigma)}$), conforme apresentado na seção 2.5.6 e descrita pela equação (2.73). A figura 4.29 apresenta a redução da tensão de limiar devido à tensão mecânica associada ao efeito da redução de temperatura.

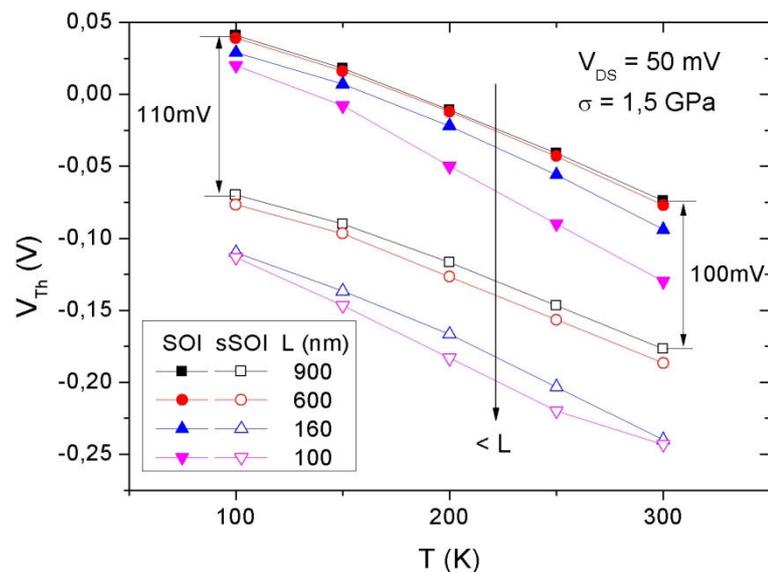


Figura 4.29 – Curvas de tensão de limiar em função da temperatura comparando transistores sSOI com SOI convencionais, ambos com comprimentos de canal de 1 μ m, 500 nm e 100nm.

A tensão de limiar dos transistores com canal tensionado em função do comprimento de canal e da temperatura está demonstrada na figura 4.30.

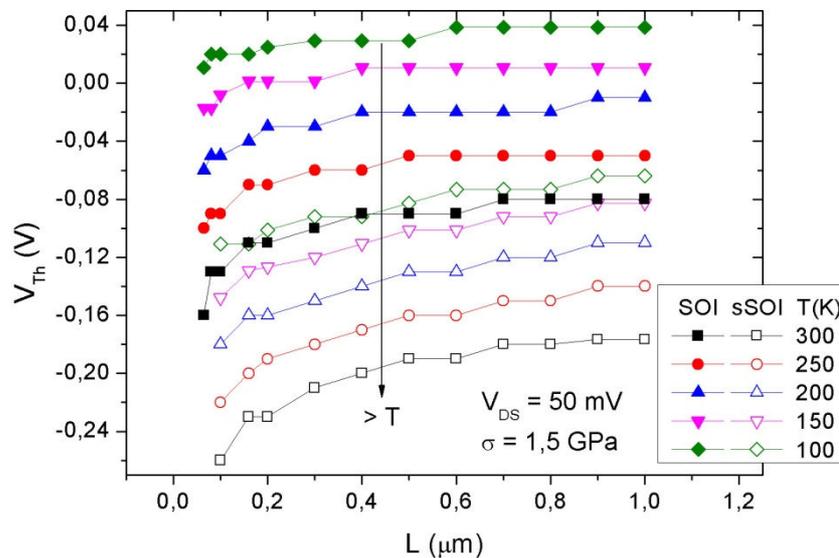


Figura 4. 30 – Curvas de tensão de limiar em função do comprimento de canal, variando a temperatura de 100 K à 300 K, comparando transistores sSOI e SOI convencional,

Das curvas apresentadas, vê-se uma redução de 100 mV na tensão de limiar para um transistor sSOI com comprimento de canal de 900 nm em temperatura ambiente em relação a um transistor SOI convencional de mesmo comprimento. Essa diferença permanece constante em temperaturas mais baixas, estando os 10 mV de variação dentro do erro de tolerância introduzido pelo passo.

4.5.4 Inclinação de sublimiar

Uma das principais vantagens da operação dos transistores MOSFETs em baixas temperaturas está relacionada à redução da inclinação de sublimiar. Conforme apresentado na seção 2.3.4, a inclinação de sublimiar é um parâmetro que pode ser utilizado para medir a velocidade de resposta dos transistores. As curvas de inclinação de sublimiar em função do comprimento de canal e da temperatura para um transistor SOI convencional são demonstradas nas figuras 4.31 e 4.32, respectivamente.

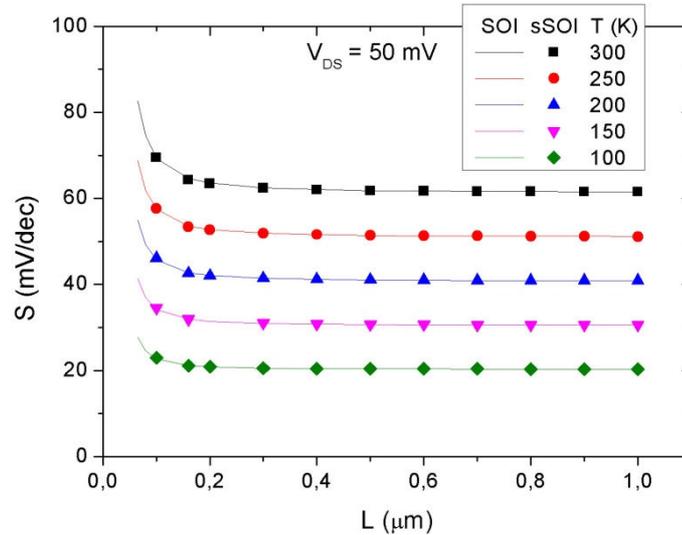


Figura 4.31 – Curvas $S \times L$ em função da temperatura para transistores SOI convencionais.

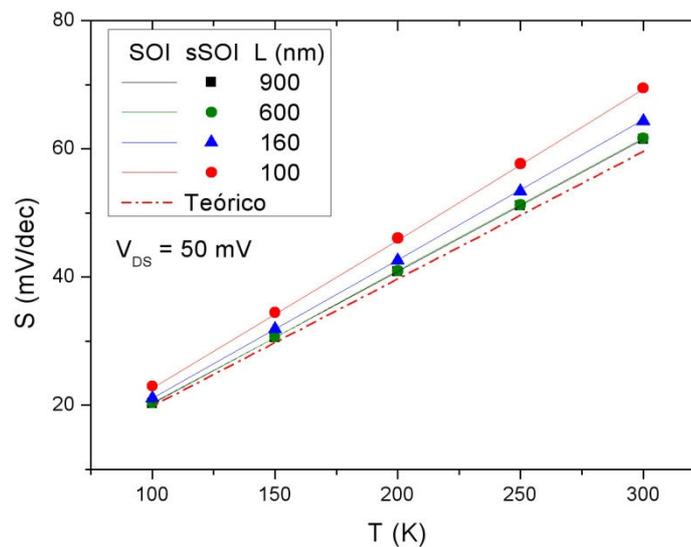


Figura 4.32 - Curvas de $S \times T$ em função do comprimento de canal para transistores SOI convencionais.

Pode-se observar nestas curvas que os dispositivos com maiores comprimentos de canal apresentam inclinação de sublimar com valores próximos ao teórico, obtido através da equação (2.24), com $n = 1$. Conforme esperado, a inclinação de sublimar diminui com a redução de temperatura, aproximando ainda mais dos valores teóricos. No entanto, na figura 4.31, nota-se de forma evidente, a presença do efeito de canal curto para os menores comprimentos de canal, onde ocorre um aumento da inclinação de sublimar para os transistores com menor comprimento de canal, podendo ser observado que este efeito é atenuado com a redução de temperatura.

Assim como apresentado na seção 4.4.2, não houve alteração significativa na inclinação de sublimar dos transistores sSOI em relação ao SOI convencional.

4.6 Parâmetros analógicos

Com a miniaturização dos dispositivos eletrônicos e aumento da velocidade de operação, as propriedades analógicas dos dispositivos sofrem degradação devido aos efeitos indesejados, como o efeito de canal curto e degradação da condutância de saída. O parâmetro utilizado para essa análise analógica de dispositivos é o ganho intrínseco de tensão (A_V).

O ganho intrínseco de tensão (A_V) de um transistor MOSFET operando como amplificador de tensão é dado pela equação (4.4) [85].

$$A_V = \frac{g_m}{g_D} \quad (4.4)$$

onde g_D é a condutância de saída, ou condutância de dreno e representa a variação da corrente de dreno em função da tensão aplicada ao dreno, ou seja, quanto menor a variação da corrente de dreno em função da tensão aplicada ao dreno, menor será a condutância e maior o ganho intrínseco de tensão.

A condutância de dreno em saturação pode ser obtida através da derivada da curva de I_{DS} x V_{DS} , sendo dada pela equação (4.5) [85].

$$g_{Dsat} = \frac{dI_{Dssat}}{dV_{DS}} = \frac{W \cdot \mu_n \cdot C_{ox1}}{2 \cdot L \cdot n} \cdot (V_{G1} - V_{Th1})^2 \cdot \lambda \quad (4.5)$$

Conforme apresentado, com a redução de temperatura temos o aumento da mobilidade dos portadores, e assim, o aumento da transcondutância. Da mesma forma, podemos observar na equação (4.5) que o aumento da mobilidade também provoca um aumento (degradação) da condutância de dreno. Além disso, em baixas temperaturas e com altas tensões de dreno o fenômeno de ionização por impacto torna-se mais significativo, acrescentando uma parcela adicional à corrente de dreno devido à geração de pares elétrons-lacunas e, conseqüentemente, causando um aumento ainda maior da condutância de dreno.

As figura 4.33 e 4.34 apresentam, respectivamente, as curvas de transcondutância e de condutância de dreno em função do comprimento de canal para transistores SOI convencional e sSOI, em temperatura ambiente. As curvas foram obtidas através de simulações e medidas experimentais. Para a realização das medidas foram utilizados transistores SOI convencional e sSOI com comprimento de canal de 900 nm, 600 nm e 400 nm, fabricados pelo IMEC e com

características similares aos simulados. A transcondutância foi obtida a partir da primeira derivada da curva de $I_{DS} \times V_{G1}$ com $V_{DS} = 600$ mV e a transcondutância foi extraída no ponto onde $V_{GT} = 400$ mV (sendo $V_{GT} = V_{G1} - V_{Th}$). A condutância de dreno foi obtida a partir da primeira derivada das curvas de $I_{DS} \times V_{DS}$ com $V_{GT} = 400$ mV e a transcondutância foi extraída no ponto onde $V_{DS} = 600$ mV.

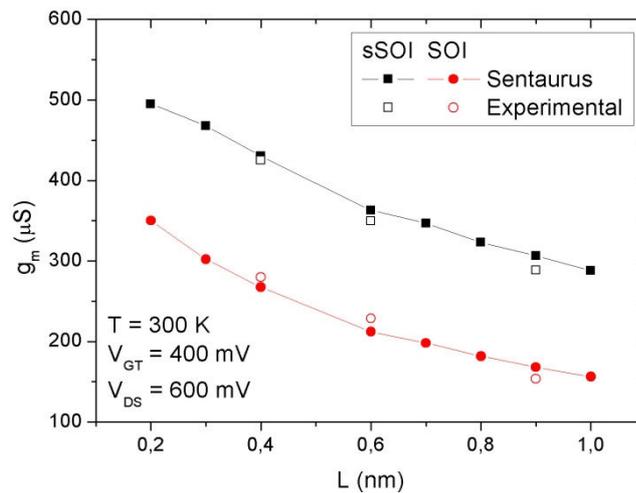


Figura 4.33 - Curvas experimentais e simuladas de $g_m \times L$ com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI, em temperatura ambiente.

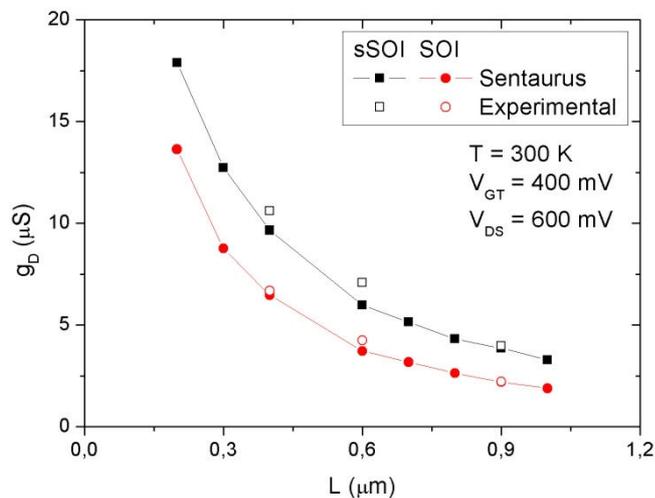


Figura 4.34 – Curvas experimentais e simuladas de $g_D \times L$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI, em temperatura ambiente.

Das figuras apresentadas, verifica-se o aumento da transcondutância e da condutância de dreno para os transistores sSOI em relação aos transistores SOI convencional, devido ao aumento da mobilidade dos portadores proporcionado pela presença da tensão mecânica biaxial. Além disso, nota-se o aumento desses dois parâmetros devido à relação inversamente

proporcional com o comprimento de canal, como pode ser observado nas equações (2.26) e (4.5).

A partir destas curvas, utilizando a equação 4.4, foram obtidas as curvas de ganho intrínseco de tensão, sendo apresentadas na figura 4.35.

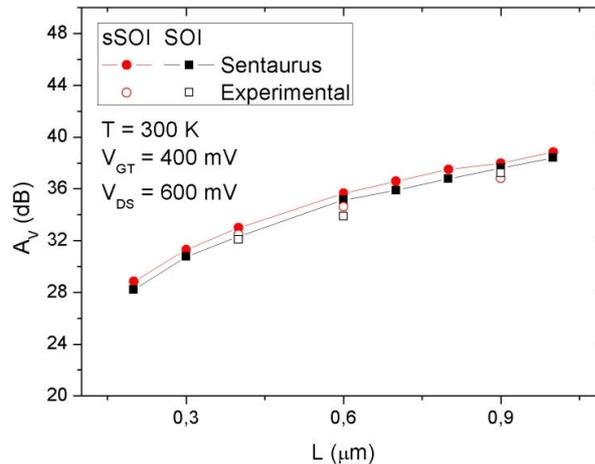


Figura 4.35 - Curvas experimentais e simuladas de $A_v \times L$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI, em temperatura ambiente.

Observa-se que o ganho intrínseco de tensão não apresenta uma variação significativa, sendo ela menor que 0,5 dB. Isto demonstra que apesar do aumento da transcondutância, como verificado anteriormente, esse ganho é compensado pela degradação da condutância de dreno, fazendo com que apresentem valores de A_v próximos. Porém, nota-se uma diminuição do ganho intrínseco de tensão com a redução do comprimento de canal.

O efeito da redução de temperatura associado à tensão mecânica pode ser visto nas figuras 4.36 e 4.37, onde são apresentadas as curvas de condutância de dreno em função da temperatura e do comprimento de canal, respectivamente. As curvas foram obtidas com $V_{GT} = 400$ mV e os dados extraídos no ponto onde $V_{DS} = 600$ mV.

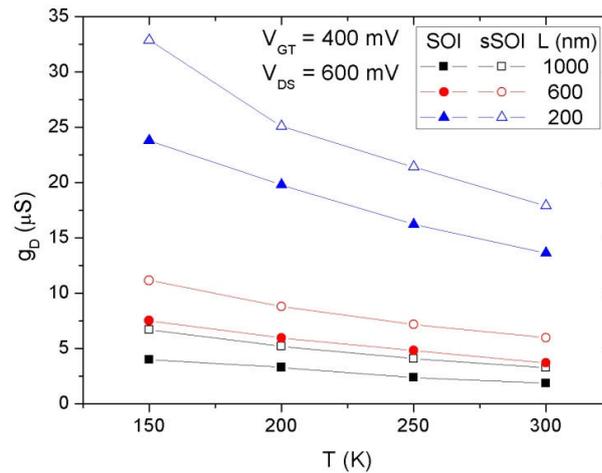


Figura 4.36 - Curvas de $g_D \times T$ com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI com comprimento de canal de 1 μm , 600 nm e 200 nm.

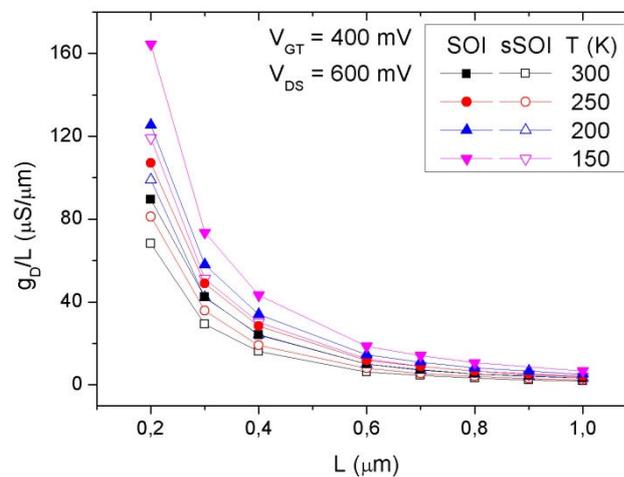


Figura 4.37 - Curvas de $g_D \times L$ com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI em diversas faixas de temperatura.

Analisando as figuras, percebe-se que a redução de temperatura também provoca um aumento na condutância de dreno, sendo esse aumento ainda maior quando associados os efeitos da redução de temperatura com a tensão mecânica. Além disso, nota-se mais uma vez, a dependência da condutância de dreno com o comprimento de canal, apresentando maior degradação para os menores comprimentos.

As figuras 4.38 e 4.39 apresentam as curvas de transcondutância em função da temperatura e do comprimento de canal, respectivamente. Estas curvas foram obtidas com $V_{DS} = 600$ mV e a transcondutância extraída no ponto onde $V_{GT} = 400$ mV.

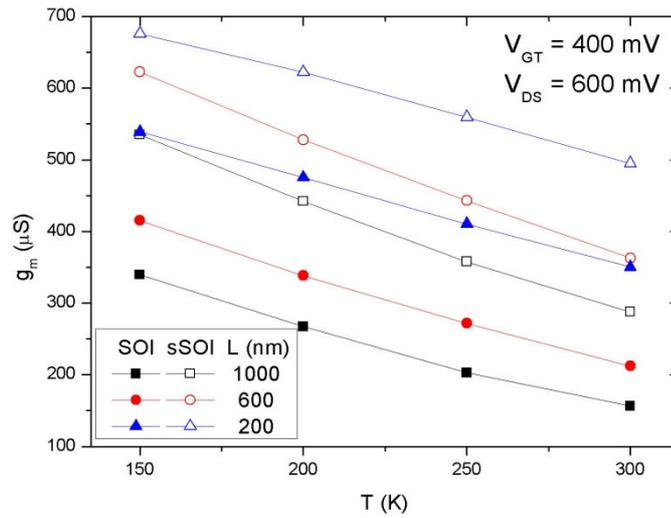


Figura 4.38 - Curvas de $g_m \times T$ com V_{GT} de 400 mV e V_{DS} = 600 mV para transistores SOI convencionais e sSOI com comprimento de canal de 1 μm , 600 nm e 200 nm.

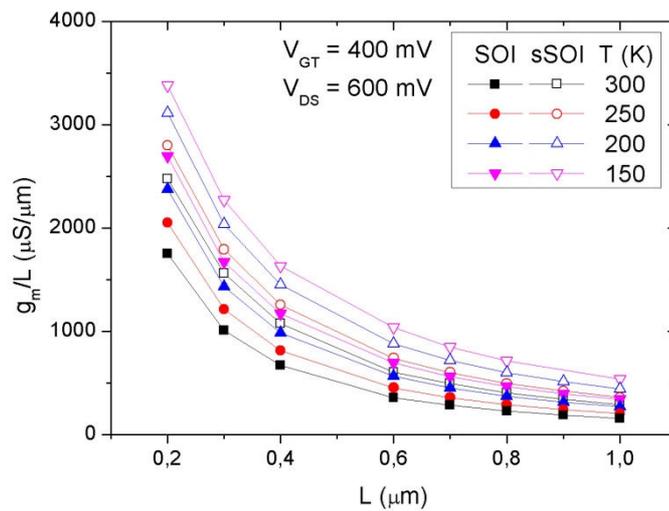


Figura 4.39 - Curvas de g_m normalizado $\times L$, com V_{GT} de 400 mV e V_{DS} = 600 mV para transistores SOI convencionais e sSOI em diversas faixas de temperatura.

Conforme esperado, a redução de temperatura e a presença da tensão mecânica provocaram um aumento na transcondutância, sendo esse aumento maior quando associados os dois efeitos. E observa-se mais uma vez, a dependência da transcondutância com o comprimento de canal.

Utilizando a equação 4.4 foram obtidas as curvas de ganho intrínseco de tensão, sendo demonstradas nas figuras 4.40 e 4.41.

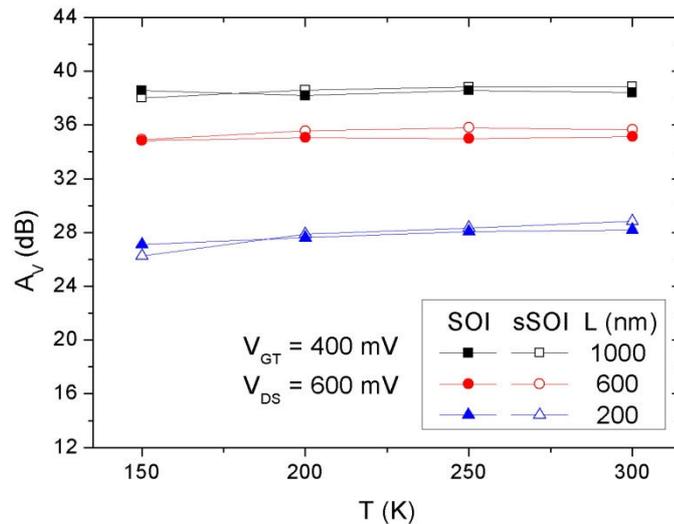


Figura 4.40 - Curvas de $A_V \times T$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI com comprimento de canal de 1 μm , 600 nm e 200 nm.

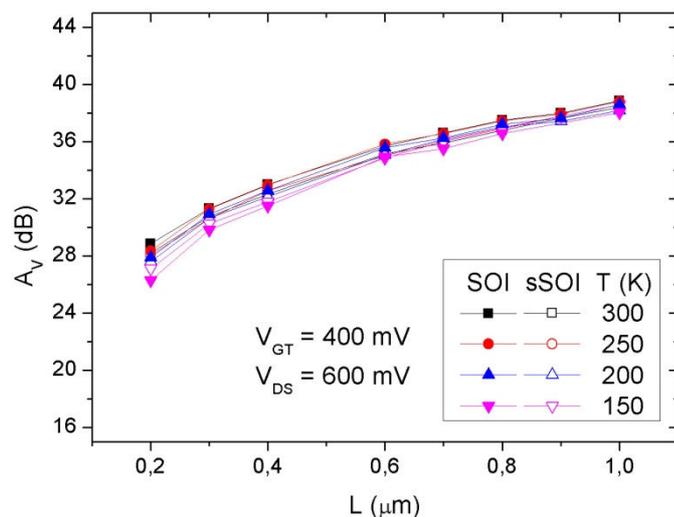


Figura 4.41 - Curvas de $A_V \times L$, com V_{GT} de 400 mV e $V_{DS} = 600$ mV para transistores SOI convencionais e sSOI em diversas faixas de temperatura.

Assim como apresentado anteriormente, pode-se observar que o ganho intrínseco de tensão não apresenta uma variação significativa, sendo ela menor que 0,5 dB, tanto com a redução de temperatura quanto com a presença de tensão mecânica. Dessa forma, demonstrando que apesar do aumento da transcondutância devido à redução de temperatura e à tensão mecânica biaxial, como verificado anteriormente, esse ganho é compensado pela degradação da condutância, fazendo com que apresentem não ocorra variação significativa no ganho intrínseco de tensão de transistores sSOI em relação ao SOI convencional e nem com a variação da temperatura.

A figura 4.42, apresenta curvas de ganho intrínseco de tensão para transistores SOI e sSOI com comprimento de canal de 160 nm, extraídas com $V_{DS} = 550$ mV, $V_{GT} = 400$ mV e temperatura variando de 300 K à 150 K, obtidas experimentalmente [86].

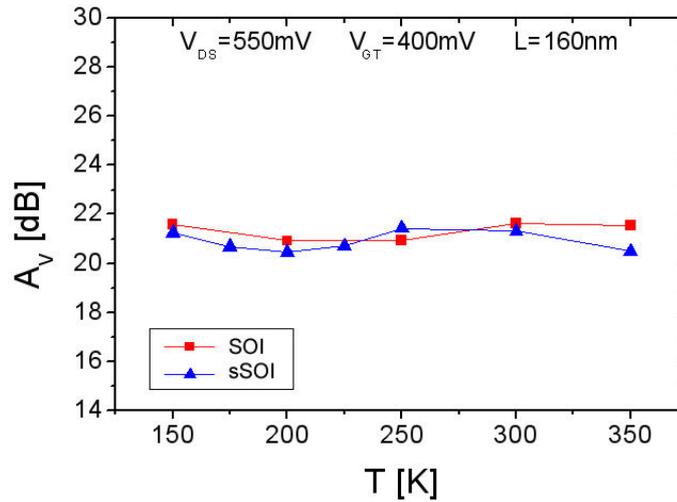


Figura 4.42 - Curvas de $A_V \times T$ com V_{GT} de 600 mV e $V_{DS} = 550$ mV para transistores SOI, obtidas experimentalmente [86].

De acordo a referência [86], o transistor biaxialmente tensionado não apresentou aumento expressivo no ganho intrínseco de tensão quando comparado a um SOI convencional em todas as faixas de temperatura. Validando, assim, os resultados obtidos através de simulações e apresentados anteriormente.

5 CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho apresentou um estudo sobre os efeitos da tensão mecânica biaxial em transistores SOI MOSFETs de camada fina, operando em uma faixa de temperaturas que compreende desde a temperatura ambiente, até 60 K. Foram utilizados transistores SOI convencionais com características similares como referência.

As estruturas utilizadas foram geradas em um editor de estruturas, com características e dimensões similares aos transistores SOI e sSOI de comprimento de canal de 65 nm fabricados pelo Interuniversity Microelectronics Center – IMEC, Leuven, Bélgica e posteriormente foram realizadas inúmeras simulações bidimensionais, utilizando o simulador TCAD Sentaurus, desenvolvido pela Synopsys[®].

Para escolher um conjunto de modelos confiável e que abrangesse todos os efeitos físicos necessários, as primeiras simulações numéricas bidimensionais foram realizadas no Sentaurus Device e no Atlas, comparando a equivalência de cada modelo. Em seguida, as curvas obtidas no Sentaurus Device foram comparadas com resultados experimentais, onde se tornou necessário fazer um ajuste de parâmetros nos modelos de mobilidade, ionização incompleta dos portadores e ionização por impacto, obtendo resultados de simulação bem próximos aos dos dispositivos reais.

As primeiras simulações foram o levantamento da curva de corrente de dreno em função da tensão aplicada à porta para transistores SOI convencionais, observando o efeito da redução de temperatura nos parâmetros elétricos do dispositivo. Em seguida, as mesmas curvas foram realizadas variando o comprimento de canal, com o intuito de observar os efeitos de canal curto. Essas curvas foram obtidas com baixa tensão de dreno para que o transistor estivesse operando em triodo, assim possibilitando extrair os parâmetros elétricos, como tensão de limiar, máxima transcondutância e inclinação de sublimiar. Observou-se que os transistores operando em temperaturas criogênicas apresentaram ganho de mobilidade dos portadores, refletindo no aumento do nível de corrente, ganho de transcondutância, redução da inclinação de sublimiar, sendo que em temperaturas mais baixas o seu valor se aproximou ainda mais dos limites teóricos, além da atenuação dos efeitos de canal curto.

Posteriormente, foram gerados os transistores SOI com tensão mecânica biaxial através de um editor de estruturas. Para evitar a necessidade de reproduzir todas as etapas do processo de fabricação em um simulador, foram adotadas estratégias de simulação seguindo os conceitos teóricos e dados de referências para a distribuição de tensão mecânica ao longo do canal. No editor foram utilizadas as estruturas anteriores, acrescentando a tensão mecânica de forma que houvesse um relaxamento nas laterais do dispositivos, fazendo com que em transistores com menor comprimento de canal houvesse uma redução da tensão mecânica efetiva.

Para as novas simulações foram acrescentados modelos necessários para considerar os efeitos da tensão mecânica. Assim como para o transistor SOI convencional, foram obtidas as curvas de corrente de dreno em função da tensão aplicada à porta, variando a temperatura de 300 K à 100 K, não podendo reduzir mais devido a limitações dos modelos de tensão mecânica. Os resultados obtidos demonstraram o aumento do nível de corrente e da transcondutância máxima, sendo ainda mais proeminentes em baixas temperaturas, ocorrendo uma superposição de efeitos. O ganho de mobilidade reflete em ganho de transcondutância, chegando à cerca de 75% para os transistores de 1 μm operando em temperatura ambiente, e cerca de 200% em temperatura de 100K. Porém, devido ao relaxamento nas interfaces laterais da estrutura, foi verificada a redução da tensão mecânica efetiva para transistores com menores comprimentos de canal, reduzindo o ganho.

Como continuidade deste trabalho é proposto à realização de medidas experimentais em baixas temperaturas para confirmar os resultados obtidos através de simulações. Realizar o estudo das aplicações dos transistores SOI com canal biaxialmente tensionado em circuitos. E estudar outros parâmetros analógicos, como distorção harmônica.

REFERÊNCIAS

- [1] SEDRA, A. S.; SMITH, K. C., **Microeletrônica**, São Paulo: MAKRON Books, 2000.
- [2] RYMASZEROSKI, E. J.; Dense, Denser, Denser, **Journal Electron Master**, v.18, no.2, p.217-220, 1989.
- [3] COLINGE, J.P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.
- [4] LERAY, J.L. et al. From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena. **IEEE Transactions on Nuclear Science**, vol.35, n.6, p.1355 – 1360, 1988.
- [5] KRULL, W. A.; LEE, J. C. Demonstration of the benefits of SOI for high temperature operation. In: **Proceedings of SOS/SOI Technology Workshop**, p. 69, 1988.
- [6] YOSHIMI, M. et al; Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronics Letters**, v.24, n.17, p.1078-1079, 1988.
- [7] YOUNG, K.K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v.36, n.2, p.399-402, 1989.
- [8] COLINGE, J. P. Subthreshold slope of thin-film SOI MOSFET's. **IEEE Transactions on Electron Devices letters**, v. 7, n. 4, p. 244-246, 1986.
- [9] AUBERTON-HERVÉ, A. J. et al. **Digest of Symposium on VLSI Technology**. p.66, 1988.
- [10] CHEN, H. S.; LI, S. S. **Solid-State Electronics** v. 35, n. 9, p. 1233, 1992.
- [11] CRISTOLOVEANU, S., Institute of Microelectronics, Electromagnetism and Photonics (UMR 5531), ENSERG, BP 257, 38016 Grenoble Cedex 1, France New physics mechanisms enabled by advanced SOI CMOS engineering.

- [12] FOSSUM, J.G. et al. SOI design for competitive CMOS VLSI. **IEEE Transactions on Electron Devices**, v.37, n.3, p.724-729, 1990.
- [13] COLINGE, J.P. Hot-electron effects in silicon-on-insulator n-channel MOSFETs. **IEEE Transactions on Electron Devices**, v.34, n.10, p.2173-2177, 1987.
- [14] SU, L.T. et al; Hot-carrier effects in fully depleted SOI nMOSFETs. **IEEE IEDM Technical Digest**, p.349-352, 1992.
- [15] REIMBOLD, G.; AUBERTON-HERVE, A.-J. Aging analysis of nMOS of a 1.3- μm partially depleted SIMOX SOI technology comparison with a 1.3- μm bulk technology. **IEEE Transactions on Electron Devices**, v.40, n.2, p.364-370, 1993.
- [16] GALLON, C. et al; Effect of Process Induced Strain in 35 nm FDSOI Devices with Ultra-Thin Silicon Channels, **SSDM**, 2005.
- [17] MIZUNO, T.; SUGIYAMA, N.; TEZUKA, T.; NUMATA, T. et al.; High-performance strained SOI CMOS devices using thin film SiGe-on-insulator technology, **IEEE Transactions on Electron Devices**, v. 50, n. 4, p. 988-994, 2003.
- [18] KIRSCHMAN, R. K.; Low-Temperature Electronics, **IEEE Circuits and Devices Magazine**, vol. 6, n. 2, p. 12-24, 1990.
- [19] HAMMOUD, A. et al; Electronic Components and Circuits for Extreme Temperature Environments, Proceedings of the 2003 10th. **IEEE International Conference on Electronics, Circuits and Systems**, vol. 1, p. 44-47, 2003.
- [20] CRISTOLOVEANU, S., LI, S.S., “**Electrical Characterization of Silicon-on-Insulator Materials and Devices**”, Kluwer Academic Publishers, 2nd Edition, 1995.
- [21] KRISHNAN, S.; FOSSUM, J.G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v.14, n.4, p. 32-37, 1998.
- [22] YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; WADA, T.; TANGO, H. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. **IEEE Transactions on Electron Devices**, v.36, n.3, p.493-503, 1989.

- [23] GROESENEKEN, G.; COLINGE, J.P.; MAES, H.E.; ALDERMAN, J.C.; HOLT, S. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v.11, n.8, p.329-331, 1990.
- [24] YONG, K.K.; Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Device Letters**, v.36, n.2, p.399-402, 1989.
- [25] GAUTIER, J.; SUN, J.Y.-C. On the transient operation of partially depleted SOI n-MOSFETs. **IEEE Electron Device Letters**, v.16, n.11, p.497-499, 1995.
- [26] LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. **IEEE Transactions on Electron Devices**, v.30, p.1244-1251, 1983.
- [27] KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFETs. **IEEE Transaction on Electron Devices**, v.41, n.7, p.1217-1221, 1994.
- [28] FLANDRE, D.; EGGERMONT, J.-P.; DE CEUSTER, D.; JESPER, P.; Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v.30, n.23, p.1933-1934, 1994.
- [29] LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v.30, p.1244-1251, 1983.
- [30] ORTIZ-CONDE, A. et al, **A review of recente MOSFET threshold voltage extraction methods**. Microelectronics Reliability, 2002.
- [31] COLINGE, J.P.; COLINGE, C.A; **Physics of Semiconductor Devices**. Massachusetts (EUA): Kluwer Academic Publishers, 2002.
- [32] LIM, H.K.; FOSSUM, J.G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v.31, p.401- 408, 1984.
- [33] SZE, S.M.; **Physics of semiconductor devices**, 2nd Ed. New York (EUA): John Wiley and Sons, 1981.
- [34] BREWS, J.R.; Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, p. 1282-1291, 1979.

- [35] COLINGE, J.P.; Advanced CMOS devices made in thin SOI films. **Extended Abstracts of 5th International Workshop on Future Electron Devices**, Miyagi-Zao, Japão, pp. 105-112, 1988.
- [36] VEERARAGHAVAN, S.; FOSSUM, J.G. A. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v.36, n. 3, p. 522-528, 1989.
- [37] DIERICKX, B. et al, **IEEE Trans. On Electron Devices**, v.35, p. 1120, 1988.
- [38] WALKER, H. R., **Fundamentos de física 4: Óptica e física moderna**, Rio de Janeiro: LTC, 2003.
- [39] GUTIERREZ, E. A. et al; **Low Temperature Electronics: Physics, Devices, Circuits and Applications**, Academic Press, 1991.
- [40] NISHIDA, M.; ONODERA, H.; An Anomalous Increase of Threshold Voltages with Shortening the Channel Lengths for Deeply Boron-Implanted n-Channel MOSFETs, **IEEE Transactions on Electron Devices**, vol. 28, no. 9, p. 1101, 1981.
- [41] HANAFLI, H.; NOBLE, W. P.; BASS, R. S.; VARAHRAMYAN, K.; LII, Y.; DALLY, A. J.; A Model for Anomalous Short-Channel Behavior in Submicron MOSFETs, **IEEE Electron Devices Letters**, vol. 14, no. 12, p. 575, 1993.
- [42] SOUZA, M.; **Modelagem, simulação e fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas**. 2008. 197 f., Tese (Doutorado) – Escola Politécnica da Universidade de São Paulo, São Paulo, 2008.
- [43] SELBERHERR, S. MOS Device Modeling at 77K, **IEEE Transactions on Electron Devices**, v. 36, n. 8, pp. 1464-1474, 1989.
- [44] MARTINO, J. A.; PAVANELLO, M. A.; VERDONOCK, P. B. **Caracterização Elétrica e Dispositivos MOS**, São Paulo: Pioneira Thomson Learning, 2003. cap. 2, p. 45-46.
- [45] DORKEL, J. M.; LETURCQ, Ph.; Carrier mobilities in silicon semi-empiric related to temperature, doping and injection level, **Solid-State Electronics**, v.24, p.821-825, 1981.

- [46] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – I. Model Equations and Concentration Dependence, **Solid-State Electronics**, v. 35, no. 7, p. 953-959, 1992.
- [47] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – II. Temperature Dependence of Carrier Mobility and Lifetime, **Solid-State Electronics**, v. 35, no. 7, p. 961-967, 1992.
- [48] LOMBARDI, C., MANZINI, S., SAPORO, A. e VANZI, M., A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, **IEEE trans on Computer Aided Design**, Vol 7, No 11, pp 1164-1171, 1988.
- [49] CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their relation to electric field and temperature, **IEEE Transactions on Electron Devices**, v. 22, p. 1045-1047, 1975.
- [50] Synopsys, Simulations of Strained-Silicon CMOS Devices, 2007.
- [51] RIM, K. et al; Strained Si CMOS (SS CMOS) technology: opportunities and challenges, **Solid-State Electronics**, v. 47, n. 7, p. 1133-1139, 2003.
- [52] HOYT, J. L. et al; Strained silicon MOSFET technology, **IEDM Digest of Technical Papers**, p. 23-26, 2002.
- [53] OHRING, M.; **Materials science of thin films deposition and structure**, 2nd Ed., San Diego, CA: Academic Press, 794p., 2002.
- [54] FRANSILLA, S.; **Introduction to microfabrication**, Chichester: John Wiley, 432p., 2004.
- [55] DORIA, R. T., **Efeito da Tensão Mecânica em Transistores de Múltiplas Portas Operando em Temperaturas Criogênicas**. 2010. 137 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2010.
- [56] LAUER, I.; ANTONIADIS, D.; **Enhancement of electron mobility in ultrathin-body silicon-on-insulator MOSFETs with uniaxial strain**, **IEEE Electron Device Letters**, v. 26, n. 5, p. 314-316, 2005.

- [57] AUGENDRE, E. et al; On the scalability of source/drain current enhancement in thin film sSOI; **Proceedings of ESSDERC**, p. 301-304, 2005.
- [58] MÖRSCHBÄCHER, M. J., **Relaxação estrutural de camadas pseudomólicas de SiGe(100) induzida pela implantação iônica de He ou Si e tratamento térmico**. 2005 142f., Tese (Doutorado) – Instituto de Física da UFRGS, Porto Alegre, 2005.
- [59] DISMUKES, J. P.; EKSTROM, L.; PAFF, R. J.; Lattice parameter and density in germanium-silicon alloys, **The Journal of Physical Chemistry**, v. 68, n. 10 , p. 3021-3027, 1964.
- [60] GOYAL, P., **Design and Simulation of Strained-Si/Strained-SiGe Dual Channel Hetero-structure MOSFETs**. 2007 122 f., Dissertação (Mestrado) – Rochester Institute of Technology, New York, 2007.
- [61] LANGDO, T. A. et al: Strained Si on insulator technology: from materials to devices. **Science Direct**, p. 1357-1367, 2004.
- [62] HERNAN, A. R., **Modeling of mechanical stress in silicon isolation technology and its influence on device characteristics**. 1999, Tese (Doutorado) – University of Florida, Florida, 1999.
- [63] HOSSAIN, N., JU J., WARNEKE B., PISTER K., Characterization of the Young's modulus of CMOS thin films, in Mechanical Properties of Structural Films (C. L. Muhlstein and S. B. Brown, eds.), **ASTM Special Technical Publication**, pp. 1–13, Julho 2001.
- [64] DHARTA S., **Analytical Mobility Modeling for Strained Silicon-Based Devices**. 2007, Tese (doutorado) – Technischen Universität Wien, Wien, 2007.
- [65] RICHTER, J. et al: Piezoresistance of silicon and strained Si_{0.9}Ge_{0.1}, **Science Direct**, p. 388-396, 2005.
- [66] MAITI, C. K. et al; **Strained-Si Heterostructure field effect devices**. Florida: Taylor & Francis, 2007.
- [67] LYN, Y. **Advanced gate stacks for strained silicon devices**. 2005, Tese (Doutorado) – North Carolina State University, Raleigh, 2005.

- [68] MOHTA, N., THOMPSON, S. E., Mobility Enhancement, the next vector to extend Moore's law. **IEEE Circuits & Device Magazine**, set/out 2005, p. 18-23.
- [69] SURI, R.; **Device Design of Sub-100nm Fully-depleted Silicon-on-Insulator (SOI)**. 2006, Dissertação (Mestrado) – North Carolina State University, Raleigh, 2006.
- [70] RIM, K.; Fabrication and Analysis of Deep Submicron Strained-Si N-MOSFET's. **IEEE Transactions on electron devices**, v. 47, n. 7, p. 1406-1415, 2000.
- [71] EGLEY, J. L.; CHIDAMBARRAO, D.; Strain effects on device characteristics: Implementation in drift-diffusion simulators, **Solid State Electronics**, v.36, n. 12, p. 1653-1664, 1993.
- [72] Sentaurus Device User guide, Versão C-2009.06, Junho 2009.
- [73] UNGERSBOECK, E.; DHAR, S.; KARLOWATZ, G.; SVERDLOV, V. et. al.; The effects of general strain on the band structure and electron mobility of silicon, **IEEE Transactions on Electron Devices**, v. 54, n. 9, p. 2183-2190, 2007.
- [74] LIU, C. W. at al: Mobility-Enhancement, Recent progress using new materials, process-induced strain, and package strain. **IEEE Circuits & Devices Magazine**, maio/jun 2005, p. 21-36.
- [75] NAYFEH, H. M., HOYT, J. L., A Physically Based Analytical Model for the Threshold Voltage of Strained-Si n-MOSFETs. **IEEE Transactions on Electron Devices**, v. 51, n. 12, p.2069-2071, 2004.
- [76] LIM, J. at al: Comparison of Threshold-Voltage Shifts for Uniaxial and Biaxial Tensile-Stressed n-MOSFETs, **IEEE Electron Device Letters**, v. 25 n, 11, p731-733, 2004.
- [77] ANDRIEU, F.; DUPRÉ, C.; ROCHETTE, F.; FAYNOT, O. et al.; 25nm Short and narrow strained FDSOI with TiN/HfO₂ gate stack, **Symposium on VLSI Technology Digest of Technical Papers**, p. 134-135, 2006.
- [78] OVERSTRAETEN, V., MAN, H., Measurement of the Ionization Rates in Diffused Silicon p-n Junctions, **Solid-State Electronics**, vol. 13, no. 1, pp. 583–608, 1970.

- [79] WAITE, A. N. et al: Raised Source / Drain (RSD) for 50nm MOSFETs – Effect of Epitaxy Layer Thickness on Short Channel Effects.
- [80] JUNIOR, J. M. da S., **Estudo do efeito de redução de barreira induzida pelo dreno em temperaturas criogênicas para transistores SOI ultra-submicrométricos**. 2009 96 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2009.
- [81] SOUZA, M. A. S de, **Operação criogênica de transistores SOI-MOS sob a ação de tensão mecânica uniaxial no canal**. 2009 111 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2009.
- [82] ATLAS Users' Manual, Device simulation software, Junho, 2008.
- [83] SELBERHERR, S., **Analysis and Simulation of Semiconductor Devices**, Wien, New York: Springer-Verlag, 1984.
- [84] CHYNOWETH, A.G., **Ionisation Rates for Electrons and Holes in Silicon**, Phys. Rev. 109 (1958): 1537-1540.
- [85] SILVEIRA, F. et al; A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v.31, n.9, p.1314-1319, 1996.
- [86] SOUZA, M.; MARTINO, J. A.; SIMOEN, C.; PAVANELLO, M. A.; Analog Operation of Uniaxially and Biaxially Strained FD SOI nMOSFETs at Cryogenic Temperatures. **EUROSOI 2008 - Conference Proceedings**, January, Ireland, v. 1, p. 77-78 2008..

APÊNDICE A – ARQUIVO DE ENTRADA PARA GERAR UMA ESTRUTURA sSOI MOSFET

```

;*****
;DIMENSOES
;*****
;L = 1um
;tsi = 15nm
;toxporta = 1,5nm
;toxenterrado = 150nm
;NA = 3e16 cm-3
;ND = 1e20 cm-3
;Stress = 1500 GPa
;*****

(define meio 0.8)
(define canal 1.3)
(define drenol 1.35)
(define drenol2 1.6)

;;*****
;;DEFINICAO DAS REGIOES
;;*****

(sdegeo:create-rectangle (position 0 -0.025 0.0 )
                          (position 0.25 0.015 0.0 )
                          "Silicon" "Region_Fonte" )

(sdegeo:create-rectangle (position 0.25 -0.025 0.0 )
                          (position drenol 0 0.0 )
                          "Oxide" "Region_OxidoPorta" )

(sdegeo:create-rectangle (position 0.25 0 0.0 )
                          (position drenol 0.015 0.0 )
                          "Silicon" "Region_Canal" )

(sdegeo:create-rectangle (position drenol -0.025 0.0 )
                          (position drenol2 0.015 0.0 )
                          "Silicon" "Region_Dreno" )

(sdegeo:create-rectangle (position 0 0.015 0.0 )
                          (position drenol2 0.165 0.0 )
                          "Oxide" "Region_OxidoEnterrado" )

;;*****
;;CONTATOS
;;*****

(sdegeo:define-contact-set "Contato_Fonte" 4 (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Contato_Fonte")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0 -0.005 0))))
"Contato_Fonte")

(sdegeo:define-contact-set "Contato_Dreno" 4 (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Contato_Dreno")

```

```

(sdegeo:define-2d-contact (list (car (find-edge-id (position dren02 -0.005
0)))) "Contato_Dreno")

(sdegeo:define-contact-set "Contato_Porta" 4 (color:rgb 1 0 0) "##" )
(sdegeo:imprint-rectangular-wire (position 0.30 -0.025 0.0) (position
canal -0.0015 0.0) )
(sdegeo:set-current-contact-set "Contato_Porta")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0.3 -0.01325
0)))) "Contato_Porta")
(sdegeo:define-2d-contact (list (car (find-edge-id (position meio -0.0015
0)))) "Contato_Porta")
(sdegeo:define-2d-contact (list (car (find-edge-id (position canal -0.01325
0)))) "Contato_Porta")

(sdegeo:define-contact-set "Contato_Substrato" 4 (color:rgb 1 0 0) "##" )
(sdegeo:set-current-contact-set "Contato_Substrato")
(sdegeo:define-2d-contact (list (car (find-edge-id (position meio 0.165
0)))) "Contato_Substrato")

;;*****
;;MASCARAS DE REFERENCIA
;;*****

;Dopagem
(sdedr:define-refeval-window "RefEvalWin_LDFonte" "Rectangle" (position
0.25 0 0) (position 0.3 0.015 0) )
(sdedr:define-refeval-window "RefEvalWin_LDDreno" "Rectangle" (position
canal 0 0) (position dren01 0.015 0) )
(sdedr:define-refeval-window "RefEvalWin_Fonte" "Rectangle" (position 0 -
0.025 0) (position 0.25 0.015 0) )
(sdedr:define-refeval-window "RefEvalWin_Dreno" "Rectangle" (position
dren01 -0.025 0) (position dren02 0.015 0) )

;Grade
(sdedr:define-refeval-window "RefEvalWin_OxidoSilicio" "Rectangle"
(position 0.25 0.000 0) (position dren01 -0.0015 0) )
(sdedr:define-refeval-window "RefEvalWin_SilicioOxido" "Rectangle"
(position 0.25 0.015 0) (position dren01 0.0165 0) )
(sdedr:define-refeval-window "RefEvalWin_Canal" "Rectangle" (position 0.3
0.000 0) (position canal 0.015 0) )
(sdedr:define-refeval-window "RefEvalWin_Fonte_Baixo" "Rectangle"
(position 0.0 0 0) (position 0.25 0.0165 0) )
(sdedr:define-refeval-window "RefEvalWin_Dreno_Baixo" "Rectangle"
(position dren01 0 0) (position dren02 0.0165 0) )

;;*****
;;DOPAGEM
;;*****

;Dopagem constante
(sdedr:define-constant-profile "ConstantProfileDefinition_Canal"
"BoronActiveConcentration" 3e+16)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Canal"
"ConstantProfileDefinition_Canal" "Region_Canal")

```

```

;Dopagem Analitica
(sdedr:define-analytical-profile-placement
"AnalyticalProfilePlacement_Fonte" "FonteDreno" "RefEvalWin_Fonte" "Both"
"NoReplace" "Eval")
(sdedr:define-gaussian-profile "FonteDreno" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 1e+20 "ValueAtDepth" 1e+19 "Depth" 0.01 "Gauss"
"Length" 0.001)

(sdedr:define-analytical-profile-placement
"AnalyticalProfilePlacement_Dreno" "FonteDreno" "RefEvalWin_Dreno" "Both"
"NoReplace" "Eval")
(sdedr:define-gaussian-profile "FonteDreno" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 1e+20 "ValueAtDepth" 1e+19 "Depth" 0.01 "Gauss"
"Length" 0.001)

(sdedr:define-analytical-profile-placement
"AnalyticalProfilePlacement_LDFonte" "LD_FonteDreno" "RefEvalWin_LDFonte"
"Both" "NoReplace" "Eval")
(sdedr:define-gaussian-profile "LD_FonteDreno" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 1e+19 "ValueAtDepth" 1e+19 "Depth" 0.01 "Gauss"
"Length" 0.0017)

(sdedr:define-analytical-profile-placement
"AnalyticalProfilePlacement_LDDreno" "LD_FonteDreno" "RefEvalWin_LDDreno"
"Both" "NoReplace" "Eval")
(sdedr:define-gaussian-profile "LD_FonteDreno" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 1e+19 "ValueAtDepth" 1e+19 "Depth" 0.01 "Gauss"
"Length" 0.0017)

;;*****
;;GRADE
;;*****

(sdedr:define-refinement-size "RefinementDefinition_FonteDreno" 0.01 0.01 0
0.01 0.01 0 )
(sdedr:define-refinement-placement "RefinementPlacement_Fonte"
"RefinementDefinition_FonteDreno" "RefEvalWin_Fonte" )

(sdedr:define-refinement-size "RefinementDefinition_FonteDreno" 0.01 0.01 0
0.01 0.01 0 )
(sdedr:define-refinement-placement "RefinementPlacement_Dreno"
"RefinementDefinition_FonteDreno" "RefEvalWin_Dreno" )

(sdedr:define-refinement-size "RefinementDefinition_FonteDreno_Baixo" 0.005
0.005 0 0.003 0.003 0 )
(sdedr:define-refinement-placement "RefinementPlacement_FonteBaixo"
"RefinementDefinition_FonteDreno_Baixo" "RefEvalWin_Fonte_Baixo" )

(sdedr:define-refinement-size "RefinementDefinition_FonteDreno_Baixo" 0.005
0.005 0 0.003 0.003 0 )
(sdedr:define-refinement-placement "RefinementPlacement_DrenoBaixo"
"RefinementDefinition_FonteDreno_Baixo" "RefEvalWin_Dreno_Baixo" )

(sdedr:define-refinement-size "RefinementDefinition_LD" 0.003 0.002 0 0.003
0.002 0 )
(sdedr:define-refinement-placement "RefinementPlacement_LDDreno"
"RefinementDefinition_LD" "RefEvalWin_LDDreno" )

(sdedr:define-refinement-size "RefinementDefinition_LD" 0.003 0.002 0 0.003
0.002 0 )

```

```

(sdedr:define-refinement-placement "RefinementPlacement_LDFonte"
"RefinementDefinition_LD" "RefEvalWin_LDFonte" )

(sdedr:define-refinement-size "RefinementDefinition_Canal" 0.01 0.002 0
0.003 0.002 0 )
(sdedr:define-refinement-placement "RefinementPlacement_Canal"
"RefinementDefinition_Canal" "RefEvalWin_Canal" )

(sdedr:define-refinement-size "RefinementDefinition_OxidoSilicio" 0.001
0.0002 0 0.0005 0.0002 0 )
(sdedr:define-refinement-placement "RefinementPlacement_SilicioOxido"
"RefinementDefinition_OxidoSilicio" "RefEvalWin_SilicioOxido" )

(sdedr:define-refinement-size "RefinementDefinition_OxidoSilicio" 0.001
0.0002 0 0.0005 0.0002 0 )
(sdedr:define-refinement-placement "RefinementPlacement_OxidoSilicio"
"RefinementDefinition_OxidoSilicio" "RefEvalWin_OxidoSilicio" )

(sdedr:define-refinement-size "RefinementDefinition_OxidoPorta" 0.1 0.1 0
0.1 0.1 0 )
(sdedr:define-refinement-region "RefinementPlacement_OxidoPorta"
"RefinementDefinition_OxidoPorta" "Region_OxidoPorta" )

(sdedr:define-refinement-size "RefinementDefinition_OxidoEnterrado" 0.1 0.1
0 0.1 0.1 0 )
(sdedr:define-refinement-region "RefinementPlacement_OxidoEnterrado"
"RefinementDefinition_OxidoEnterrado" "Region_OxidoEnterrado" )

;;*****
;;STRESS
;;*****

(sdedr:define-refeval-window "esq" "Rectangle" (position 0 -0.025 0)
(position meio 0.015 0) )
(sdedr:define-refeval-window "dir" "Rectangle" (position meio -0.025 0)
(position drenos2 0.015 0) )

(define a1      1.5e+9)
(define a2      40e+6)
(define x0      0.050)
;fonte+lld+x0
(define x_e     0.35)
;fonte+lld+canal-x0
(define x_d     1.25)
(define dx      0.01)

(define funcaoXX_d (string-append "(" (number->string a2) ")")+(((" (number-
>string a1) ") - (" (number->string a2) ") ) / (1+(exp((x-(" (number->string
x_d) "))) / (" (number->string dx) "))))" ))
(define funcaoZZ_d (string-append "(" (number->string a2) ")")+(((" (number-
>string a1) ") - (" (number->string a2) ") ) / (1+(exp((x-(" (number->string
x_d) "))) / (" (number->string dx) "))))" ))
(define funcaoXX_e (string-append "(" (number->string a1) ")")+(((" (number-
>string a2) ") - (" (number->string a1) ") ) / (1+(exp((x-(" (number->string
x_e) "))) / (" (number->string dx) "))))" ))
(define funcaoZZ_e (string-append "(" (number->string a1) ")")+(((" (number-
>string a2) ") - (" (number->string a1) ") ) / (1+(exp((x-(" (number->string
x_e) "))) / (" (number->string dx) "))))" ))

```

```
(sdedr:define-analytical-profile "tensaoXX_d" "StressXX" "a=1" funcaoXX_d
0.0 "general")
(sdedr:define-analytical-profile "tensaoXX_e" "StressXX" "a=1" funcaoXX_e
0.0 "general")
(sdedr:define-analytical-profile-placement "p_tensaoXX_d" "tensaoXX_d"
"dir" "Both" "Replace" "Eval" "dir" 0 "evalwin")
(sdedr:define-analytical-profile-placement "p_tensaoXX_e" "tensaoXX_e"
"esq" "Both" "Replace" "Eval" "esq" 0 "evalwin")

(sdedr:define-analytical-profile "tensaoZZ_d" "StressZZ" "a=1" funcaoZZ_d
0.0 "general")
(sdedr:define-analytical-profile "tensaoZZ_e" "StressZZ" "a=1" funcaoZZ_e
0.0 "general")
(sdedr:define-analytical-profile-placement "p_tensaoZZ_d" "tensaoZZ_d"
"dir" "Both" "Replace" "Eval" "dir" 0 "evalwin")
(sdedr:define-analytical-profile-placement "p_tensaoZZ_e" "tensaoZZ_e"
"esq" "Both" "Replace" "Eval" "esq" 0 "evalwin")

;*****

(sde:build-mesh "mesh" "-F tdr" "PASTA/PROJETO")

(exit)
```

APÊNDICE B – ARQUIVO DE ENTRADA PARA SIMULAÇÃO DE UMA ESTRUTURA sSOI MOSFET

```

File {* input files:
  Grid = "arquivo_msh.tdr"
  Doping = "arquivo_msh.tdr"
  Piezo = "arquivo_msh.tdr"
  Parameter = "Silicon.par"
  * output files:
  Plot = "arquivo.tdr"
  Current = "arquivo.plt"
  Output = "arquivo"
}

Electrode {
  { Name="Contato_Fonte"      Voltage=0.000 }
  { Name="Contato_Dreno"     Voltage=0    }
  { Name="Contato_Porta"     Voltage=-0.6 Barrier=-0.55}
  { Name="Contato_Substrato" Voltage=0.000 }
}

Physics {
  Mobility(PhuMob
    Enormal
    HighFieldSaturation
    IncompleteIonization)

  Recombination (SRH (DopingDep TempDependence)
    Avalanche (vanOverstraeten Eparalell))

  EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))

  IncompleteIonization

  Temperature = 300
}

Physics (Material="Silicon") {
  Piezo(
    Model(DOS (eMass hMass)
    DeformationPotential
    Mobility(eSubband(Doping Scattering) ))
  )
}

Plot {
  eDensity hDensity eCurrent hCurrent

```

```
Potential SpaceCharge ElectricField
eMobility hMobility eVelocity hVelocity
Doping DonorConcentration AcceptorConcentration
StressXX StressYY StressZZ
}

Math {
  RelErrControl
  Iterations = 75
  ExitOnFailure
  Method = pardiso
  Number_Of_Threads = 2
  StackSize = 200000000
}

Solve {
  Poisson
  Coupled { Poisson Electron hole }

  Quasistationary ( InitialStep=0.05 Maxstep=0.05 Minstep=1e-20
    Goal{ Name="Contato_Dreno" Voltage=0.05 } )
    { Coupled { Poisson Electron hole} }

  Quasistationary ( InitialStep=0.00555556 Maxstep=0.00555556
Minstep=1e-20
    Goal{ Name="Contato_Porta" Voltage=1.2 } )
    { Coupled { Poisson Electron hole} }
}
```